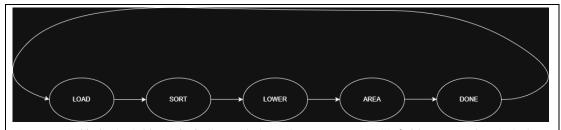
2025 Digital IC Design Homework 5

NAME	E 章元豪						
Student ID	N2613	N26132314					
Simulation Result							
Functional		S		Pre-Layout	D		
simulation				simulation	Pass		
#							
Synthesis Result							
Total logic elements			2,487 / 55,856 (4%)				
Total memory bits			0 / 2,396,160 (0%)				
Total registers			514				
Embedded multiplier 9-bit elements				6/308 (2%)			
Clock period (ns)			20.4				
Total Cycle used				2609			
Flow Summary							
< <filter>></filter>							
Flow Status Su			Suc	uccessful - Fri Jun 06 06:14:31 2025			
Quartus Prime Version		20.1.1 Build 720 11/11/2020 SJ Lite Edition					
		MCI	MCH				
Top-level Entity Name			MCI	1CH			
		Cyc	Cyclone IV E				
			EP4	4CE55F23A7			
			Fina				
			87 / 55,856 (4 %)				
3			514				
			36 /	5/325(11%)			
Total virtual pins 0							
				2,396,160 (0 %)			
·				/ 308 (2 %)			
Total PLLs 0 / 4 (0 %)							
Description of your design							



我是照講義中的演算法來實作。首先,在 LOAD 階段會輸入 20 個點的座標,接著從中找出 Y 座標最小、X 座標最小的那個點作為 Anchor。接下來,利用 Anchor 當作基準,計算每個點的極角座標,並使用 Insertion Sort將所有點依照極角大小排列。排序完成後,進入 LOWER 階段,也就是Graham Scan 的主體:透過外積(Cross Product)來判斷是否是左轉,只有形成左轉的點才會被保留在 Stack 中,從而構成一個正確的凸包(Convex Hull)。最後,在 AREA 階段使用 Shoelace Formula 計算多邊形的面積,計算完成後進入 DONE 狀態並輸出結果。