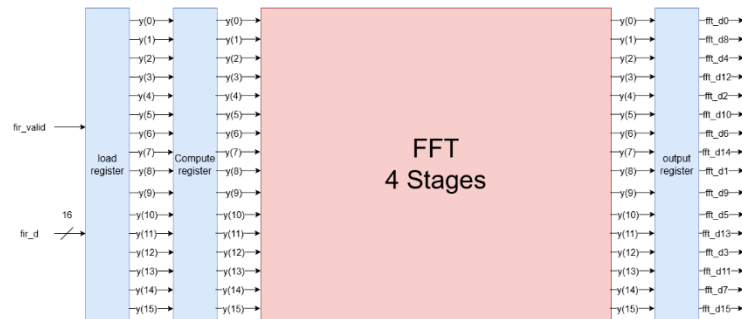


# 2025 Digital IC Design Homework 3

NAME	章元豪		
Student ID	N26132314		
Simulation Result			
Functional simulation	Pass	Pre-Layout simulation	Pass
<div><pre># </pre></div>			



基本上 butterfly Unit 就是按照助教的電路圖來接就行，然後接之前要睡飽或是喝咖啡，不然很容易接錯。分四個 stage 來計算，因為這裡涉及最多運算單元，所以會大幅度地影響到 clock width。

在輸入部分，`fir_d` 會持續地送入資料且不採用 handshake 機制，因此我就不設計額外的狀態機來管理資料流。我採用了類似 pipeline 的方式，讓輸入資料流經 load register 後，直接提供給 compute register 做 FFT 運算。每當累積完 16 筆資料後，即可立即進行 FFT 計算。計算過程與下一批資料的讀入可並行處理，因此只要在下一次 16 筆資料完全接收前完成當前的 FFT 運算，並利用兩個 clock 將計算結果輸出即可。