

پروژه درس آزمون منطقی و معماری کامپیوتر

مهندسی کامپیوتر، دانشکده فنی، دانشگاه گیلان

استاد: مهسا غلامی

میخواهیم با استفاده از برد FPGA و کدنویسی VHDL، یک رای دهنده ی دیجیتال Live را به صورت زیر پیاده کنیم:

۱. با فشردن کلید اول، ابتدا پیام خوش آمدگویی (2025) نشان داده شود. (۱ نمره)

۲. سپس با فشردن کلید دوم و سوم، به ترتیب رای های نفر اول و دوم با یک کلاک مشخص به ترتیب روی سون سگمنت نشان داده شود. (۱ نمره)

۳. لازم ب ذکر است که زمانی که تعداد رای ها یکی از شرکت کننده ها بیشتر شد، پیام Goal روی سون سگمنت نشان داده شود. (۱ نمره)

۴. با فشردن کلید چهارم، عبارت Goal به شکل رقص نور حرکت کند یا از یک سمت وارد و از سمت دیگر خارج شود. (۱ نمره)

نکته: اعداد دو رقمی روی دوتا سون سگمنت پیاده سازی شود. (دو تا دوتا سون سگمنت برای هر شخص) (۵/۰ نمره اضافی)

نمره کل پروژه: ۴ نمره

موفق باشید.