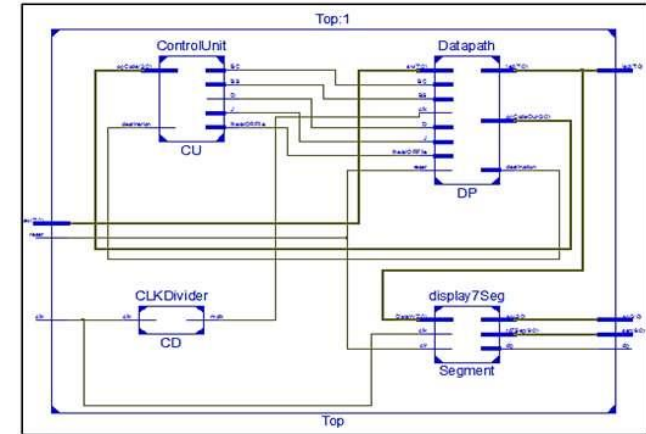
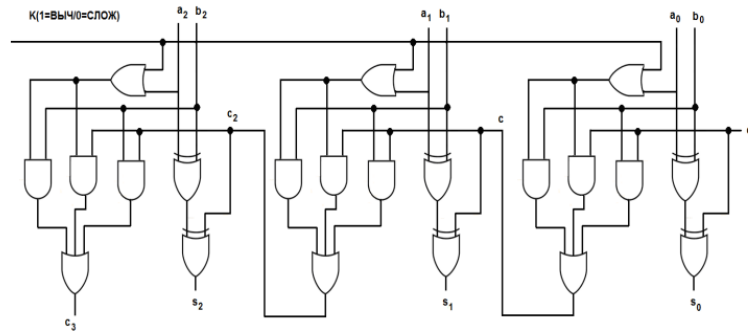
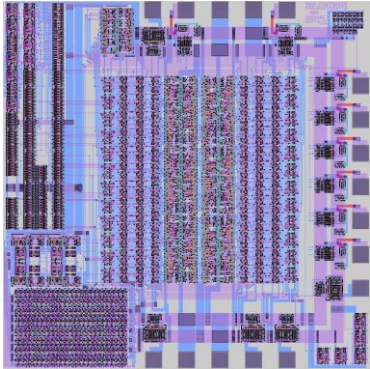


Этапы разработки ИС. Verilog

Было на прошлой лекции

- Комбинационная логика: AND, OR, XOR,...
- Последовательностная логика: D-FLIP-FLOP,...
- Критические пути

Этапы разработки ИС



- САПР – система автоматизации производства
- HDL – hardware description language
- RTL – register transfer level
- Синтез – этап преобразования RTL в gate-level netlist
- PLACEMENT – этап расположения физических примитивов на кристалле
- ROUTING – этап соединения физических примитивов

Задержки элементов

Задержки распространения