

Verilog триггеры.

Это домашнее задание на две недели. Необходимо описать на языке Verilog:

1. SR-Latch, причем описать необходимо при помощи комбинационных элементов. Схему Вы можете найти в презентации к первой лекции. Файл необходимо отправить как первый результат.
2. D-Latch, причем описать необходимо при помощи комбинационных элементов и подключить SR-Latch, описанный в предыдущем пункте. Схему Вы можете найти в презентации к первой лекции. Файл необходимо отправить как второй результат.
3. D-Flip-Flop, причем описать необходимо при помощи комбинационных элементов и подключить D-Latch, описанный в предыдущем пункте. Схему Вы можете найти в презентации к первой лекции. Файл необходимо отправить как третий результат.
4. Необходимо написать тестбенч для D-Flip-Flop, описанного в предыдущем пункте. Тестовую последовательность придумайте сами. Файл необходимо отправить как четвертый результат.
5. Так же необходимо прислать скрин волновой диаграммы работы вашего DFF в Вашем тестовом модуле, это последний пятый результат, который необходимо отправить.