



Учебная дисциплина



Вычислительные средства АСОИУ




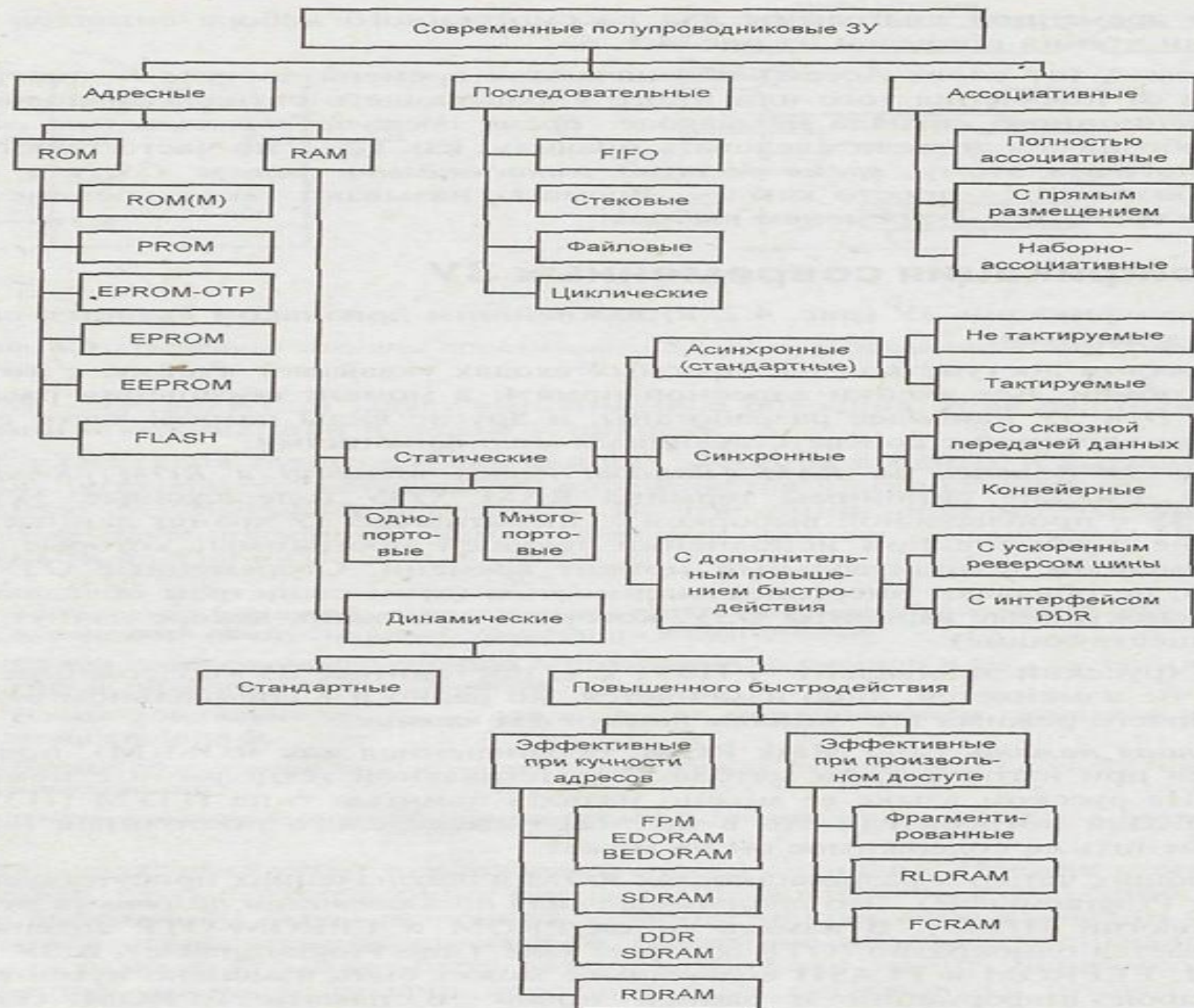
(часть 11)




Тема: Запоминающие устройства

Классификация запоминающих устройств


 Важнейшим признаком классификации ЗУ является способ доступа к данным.



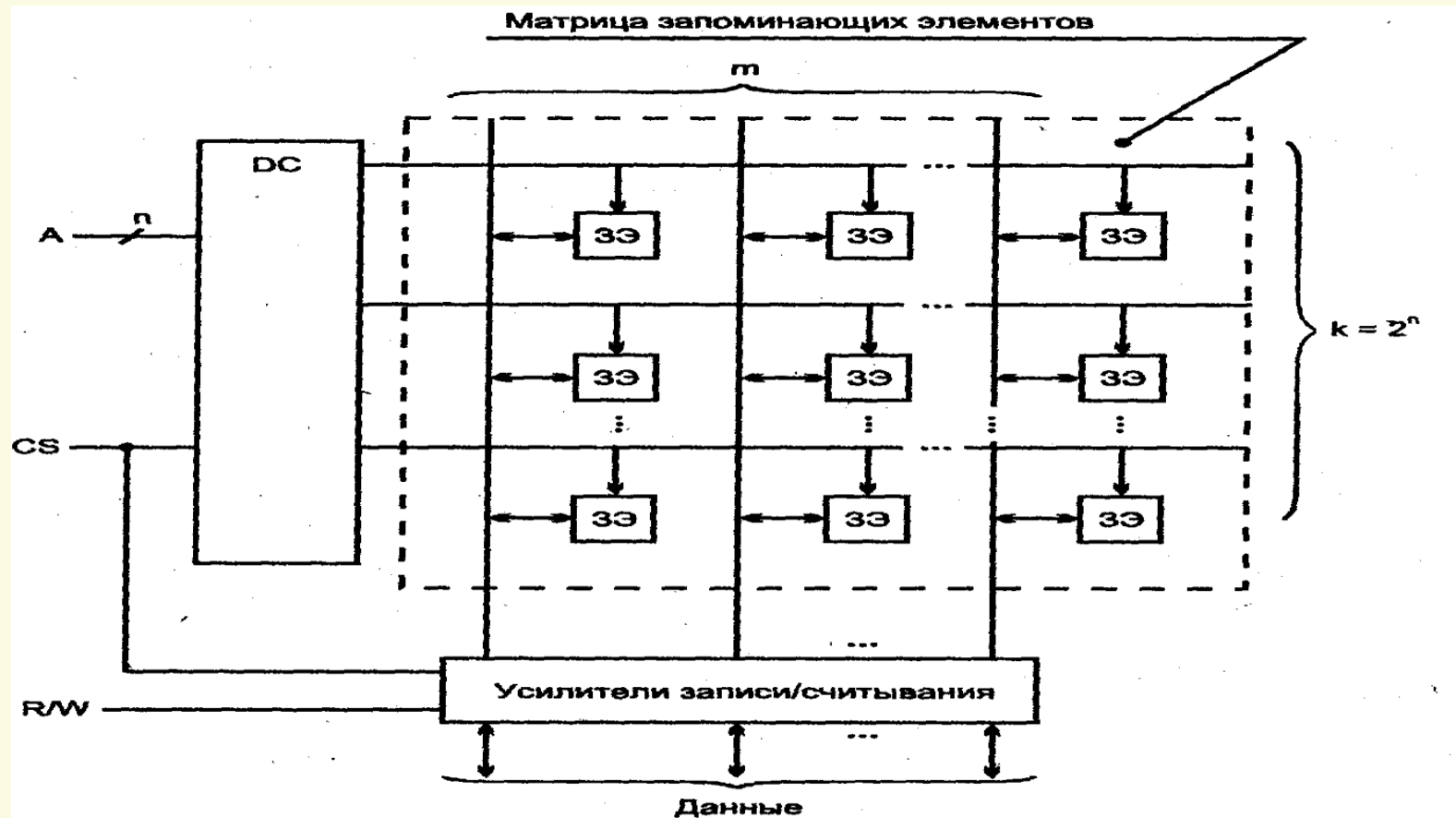
Адресные ЗУ

 Адресные ЗУ делятся на RAM (Random Access Memory) и ROM (Read-Only Memory). Русские синонимы термина RAM: ОЗУ (оперативные ЗУ) или ЗУПВ (ЗУ с произвольной выборкой). Оперативные ЗУ хранят данные, участвующие в обмене при выполнении текущей программы, которые могут быть изменены в произвольный момент времени.



Структура памяти 2D

 В структуре 2D запоминающие элементы ЗЭ организованы в прямоугольную матрицу размерностью $M = k \times t$, где M — информационная емкость памяти в битах; k — число хранимых слов; t — их разрядность.

Структура памяти 2D

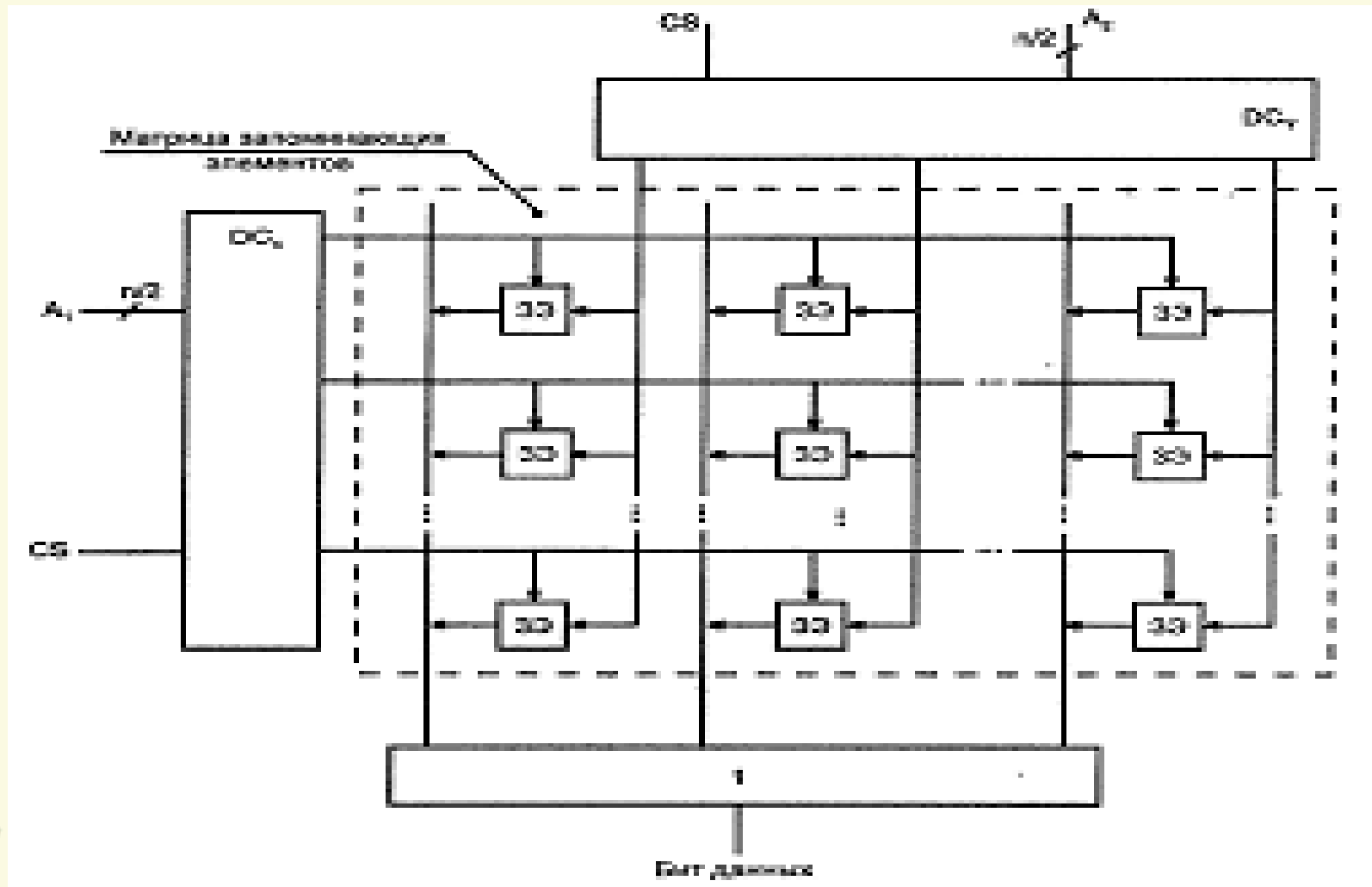


Структура памяти 3D

-  Структура 3D позволяет резко упростить дешифраторы адреса с помощью двухкоординатной выборки запоминающих элементов. Принцип двухкоординатной выборки поясняется на примере 3У типа ROM, реализующего только операции чтения данных.
-  Здесь код адреса разрядностью n делится на две половины, каждая из которых декодируется отдельно. Выбирается запоминающий элемент, находящийся на пересечении активных линий выходов обоих дешифраторов.



Структура памяти 3D




Структура памяти 2DM

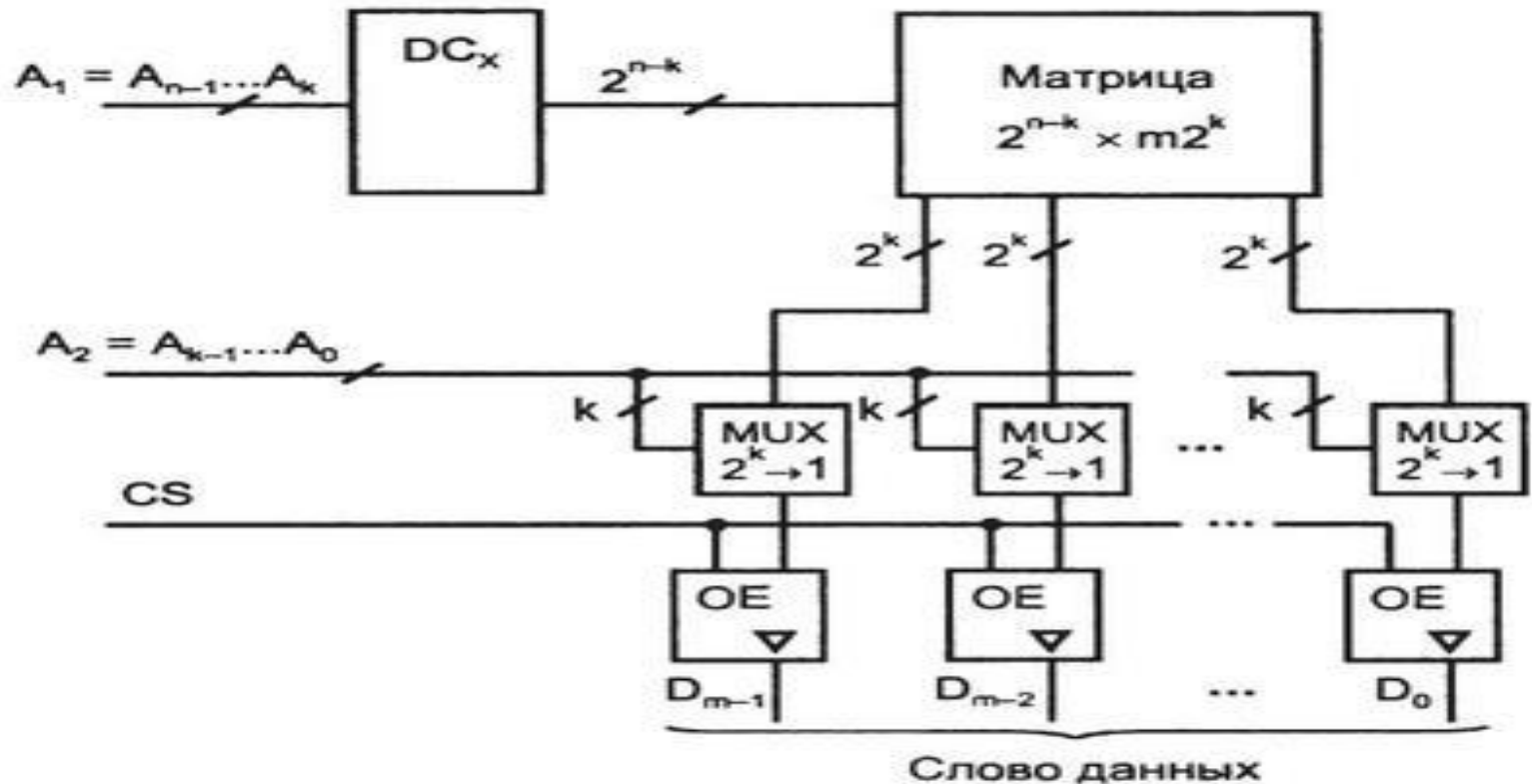


ЗУ типа ROM структуры 2DM для матрицы запоминающих элементов с адресацией от дешифратора DCx имеет как бы характер структуры 2D: возбужденный выход дешифратора выбирает целую строку. Однако в отличие от структуры 2D, длина строки не равна разрядности хранимых слов, а многократно ее превышает. При этом число строк матрицы уменьшается и, соответственно, уменьшается число выходов дешифратора. Для выбора одной из строк служат не все разряды адресного кода, а их часть от A_{n-1} до A_k . Остальные разряды адреса ($A_{k-1} \dots A_0$) используются, чтобы выбрать необходимое слово из того множества слов, которое содержится в строке. Это выполняется с помощью мультиплексоров, на адресные входы которых подаются коды $A_{k-1} \dots A_0$.

Структура памяти 2DM

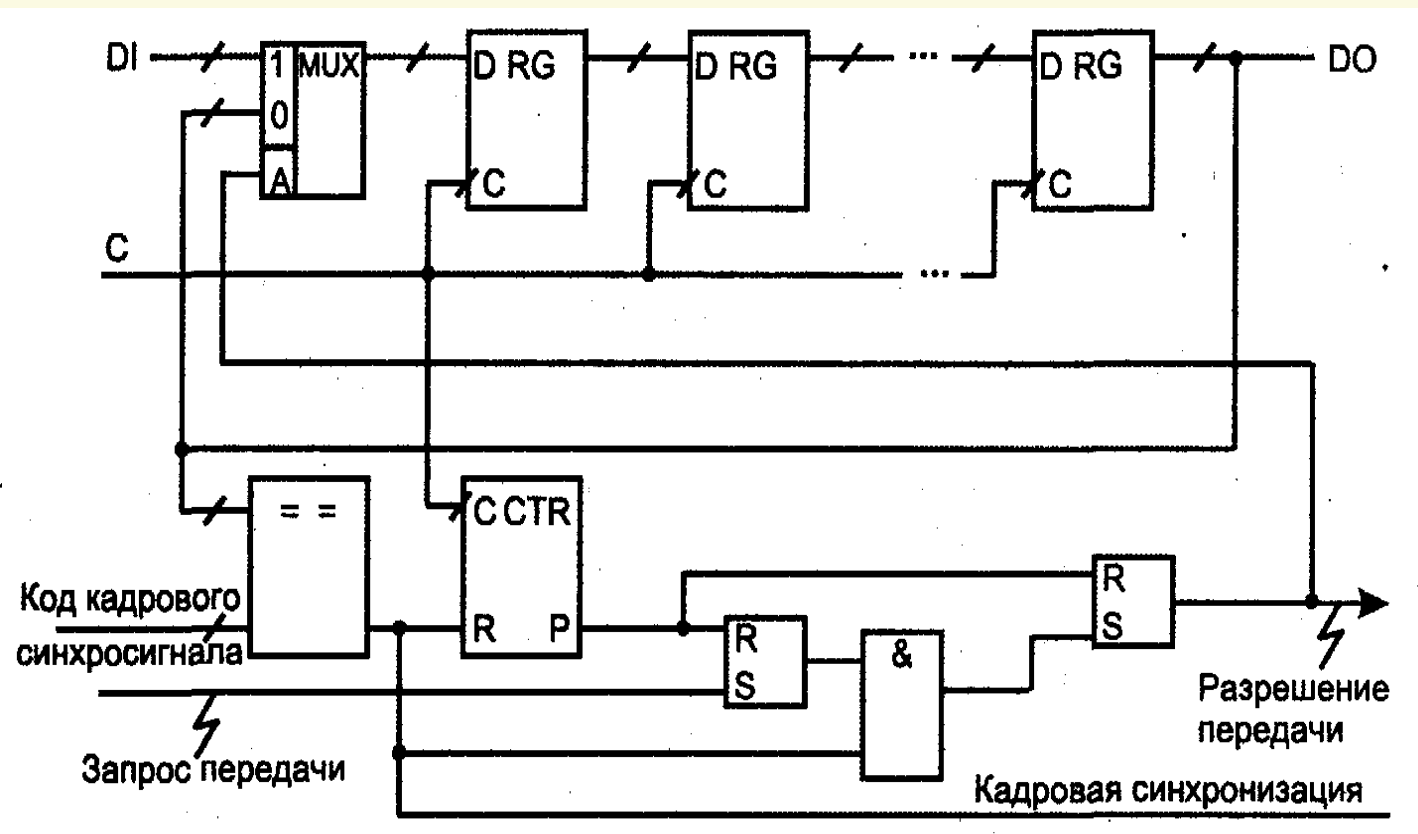
 Длина строки равна $m \cdot 2k$, где m — разрядность хранимых слов. Из каждого "отрезка" строки длиной $2k$ мультиплексор выбирает один бит. На выходах мультиплексоров формируется выходное слово. По разрешению сигнала CS , поступающего на входы OE управляемых буферов с тремя состояниями, выходное слово передается на внешнюю шину.

Структура памяти 2DM

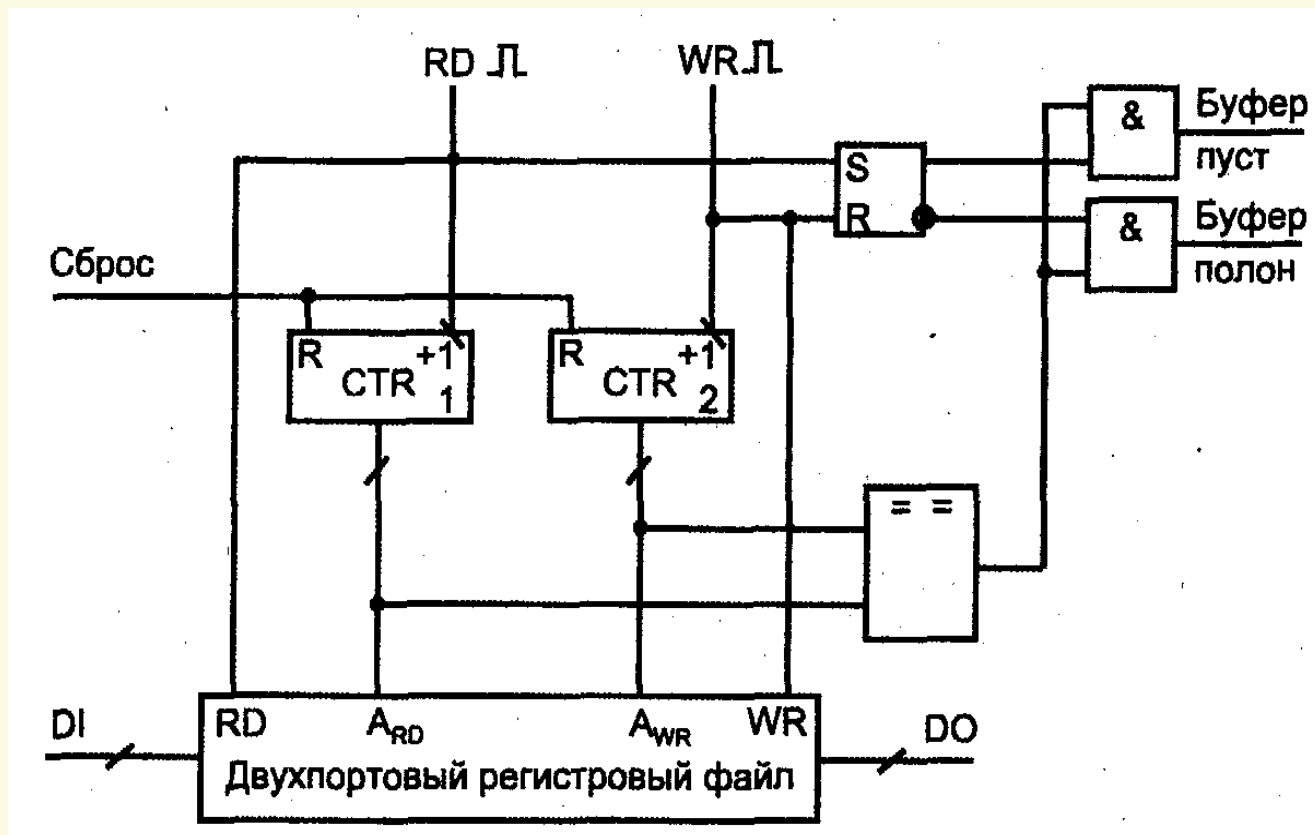


a






Память с последовательным доступом



Структура буфера FIFO

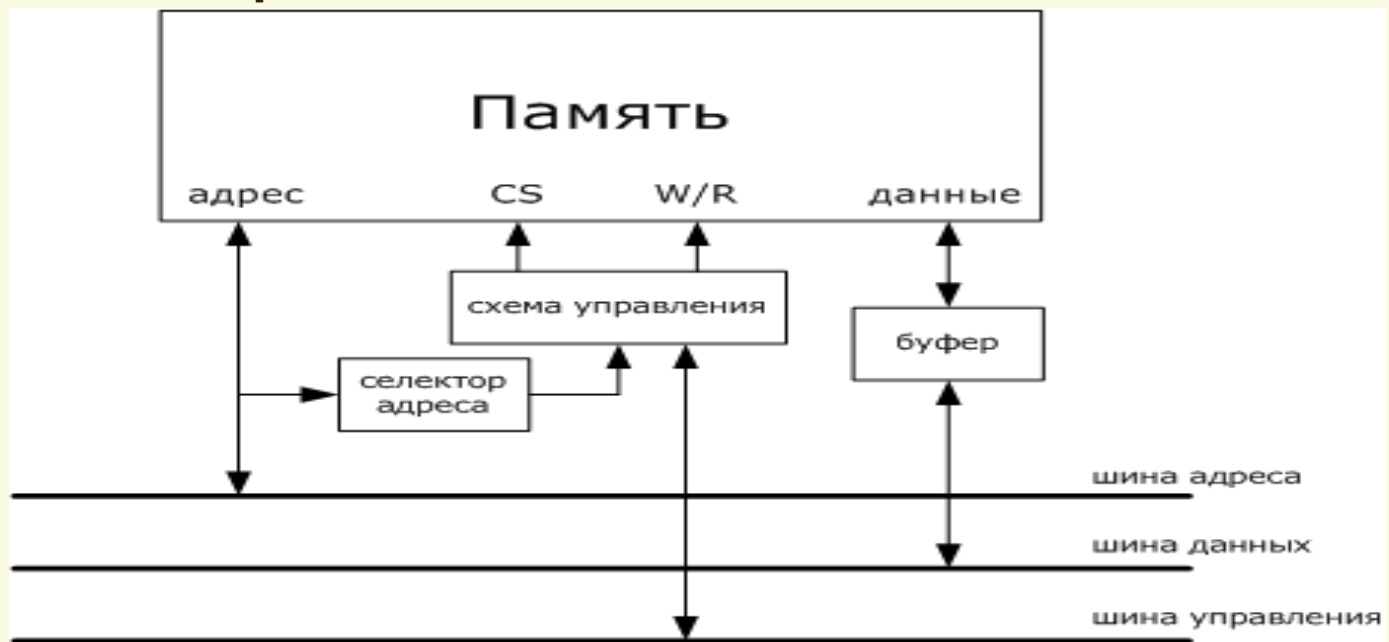


Память микропроцессоров

-  В пространстве памяти МП-систем выделяют несколько специальных областей:
-  1) память программы начального запуска;
-  2) память для стека;
-  3) таблица векторов прерываний. Позволяет реализовать алгоритм многократного вложенного прерывания;
-  4) память устройств, подключённых к системной шине. Даёт возможность ЦП обращаться к памяти подключенных устройств как к собственной памяти.

Память микропроцессоров

Обобщённая структурная схема присоединения памяти к магистралям:



Разделение адресов памяти



Есть два варианта решения этой проблемы:



выделение в адресном пространстве системы специальной области адресов ввода/вывода



и полное разделение адресных пространств самой памяти и адресов устройств ввода/вывода (для взаимодействия с устройствами ввода/вывода применяются специальные команды и специальные стробы обмена по магистрали).




Раздельная организация памяти реализована в ПК.

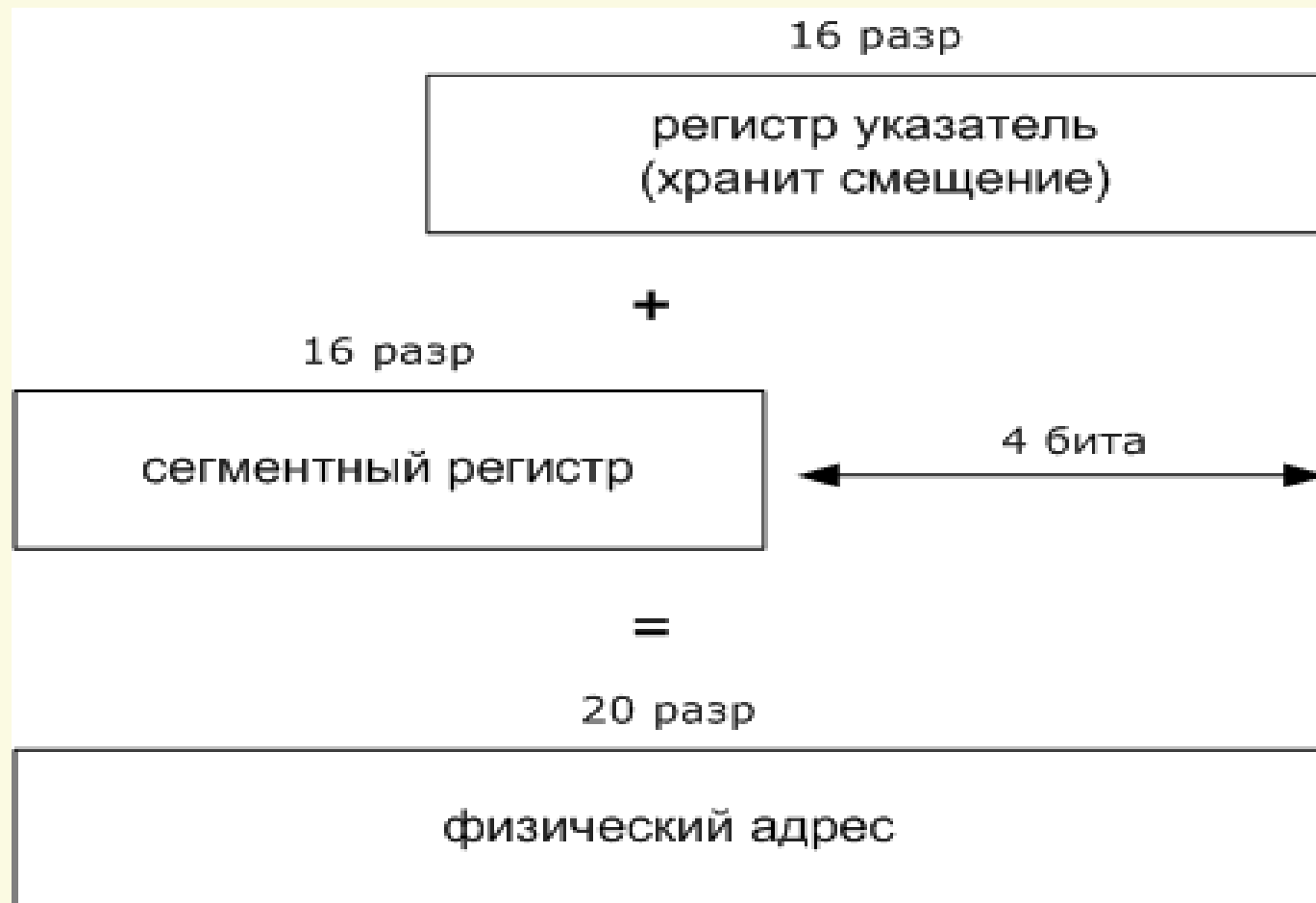
Сегментирование памяти

 Есть два типа регистров:

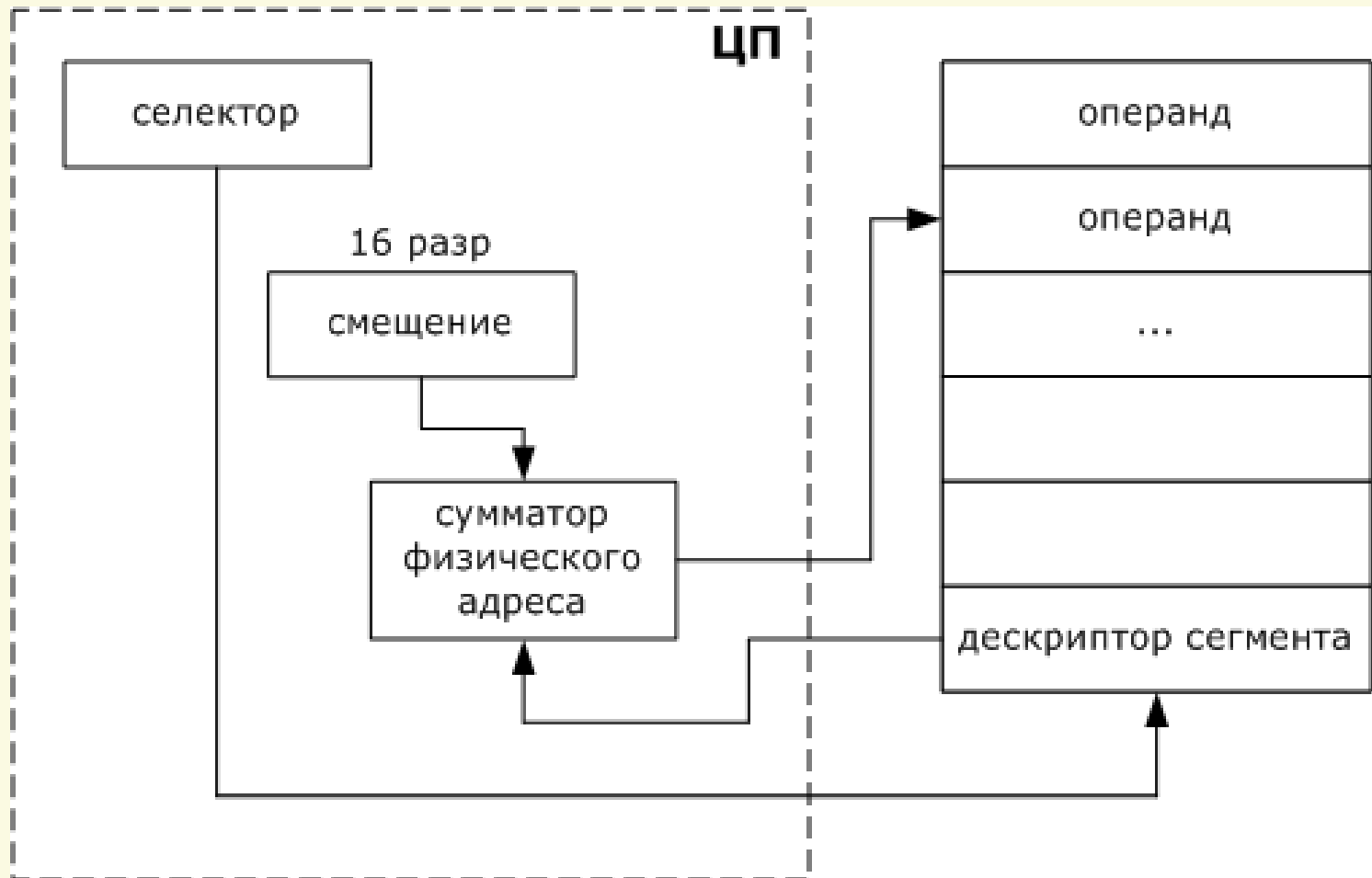
 сегментный и

 Регистр - указатель (положение
рабочего адреса внутри сегмента).

Назначение регистров памяти



Формирование целевого адреса



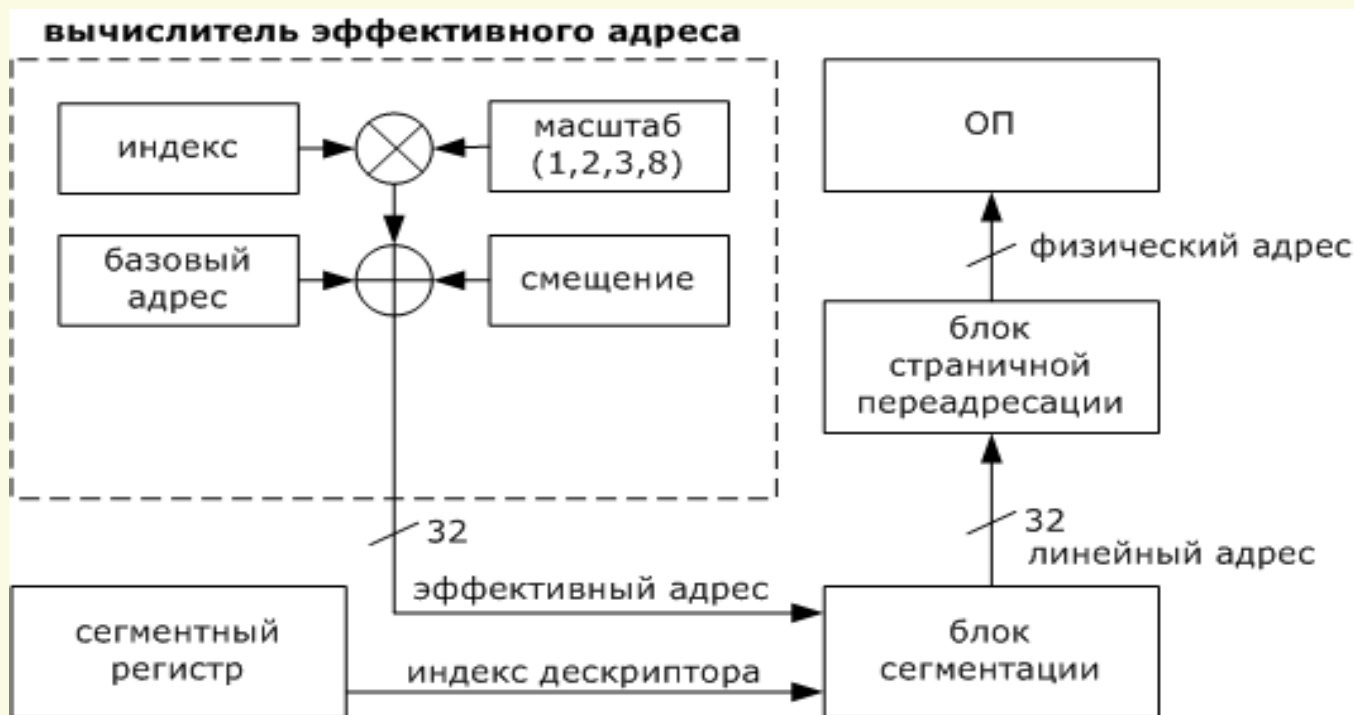
Формирование целевого адреса



В селекторе хранится не адрес начала смещения, а коды таблицы дескрипторов сегментов, которая находится в определённом месте памяти. Таблица содержит базовый адрес сегмента и дополнительные атрибуты сегмента. Базовый адрес сегмента 24-разрядный, что позволяет адресовать 16 МБ физической памяти. Сумматор прибавляет смещение к базовому адресу сегмента для получения физического исполнительного адреса в памяти.

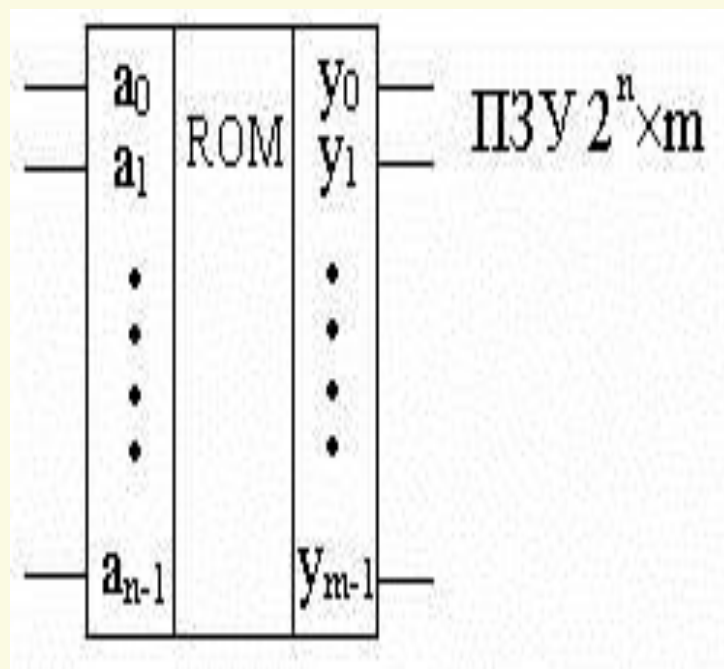
Формирование целевого адреса

Вычисление физического адреса:



Постоянные запоминающие устройства (ПЗУ)

ПЗУ представляет собой чисто комбинационную схему, имеющую n адресных входов и m выходов.

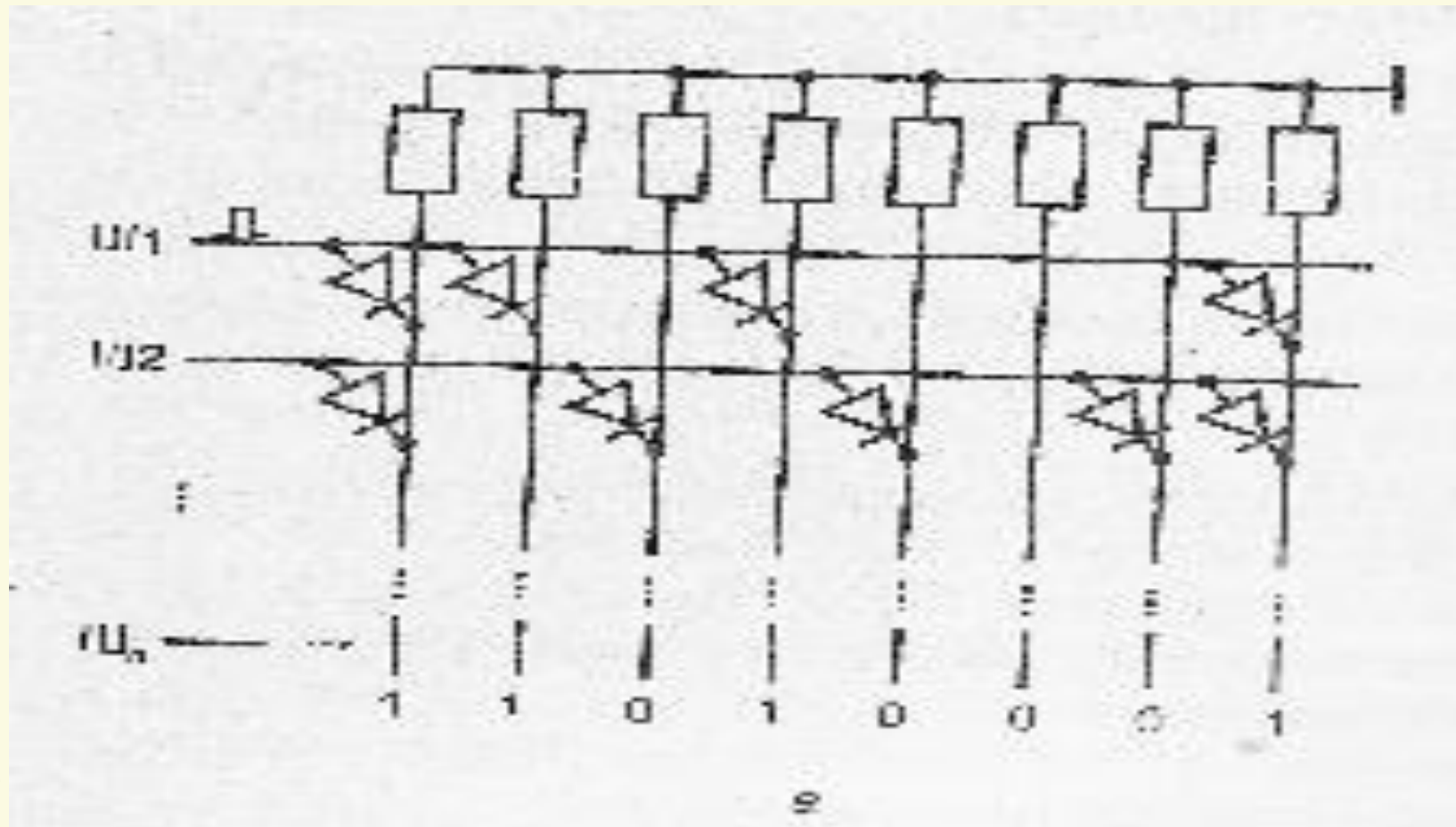


Масочные ПЗУ

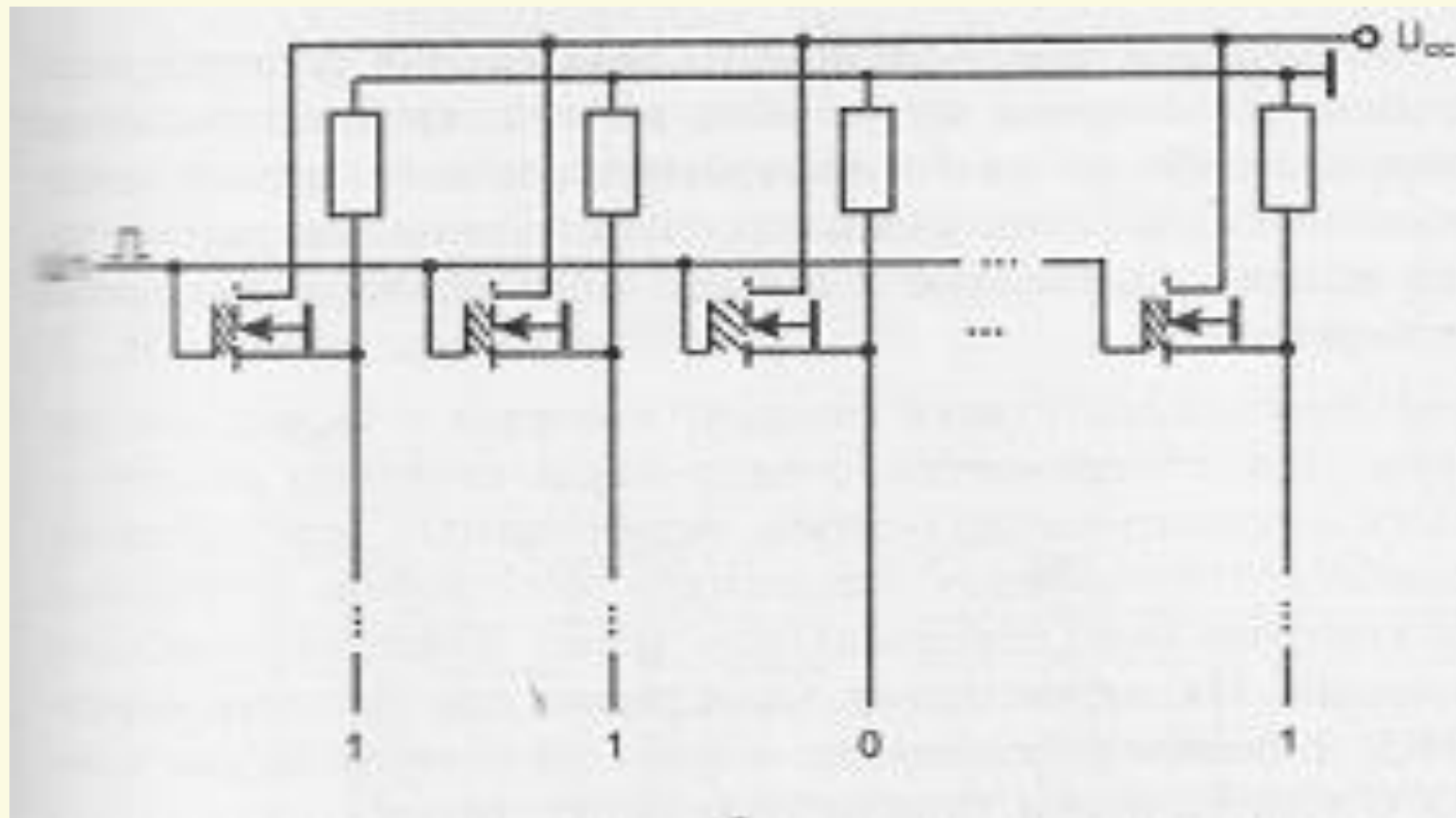


Структура постоянной памяти образуется при её изготовлении и более перепрограммированию не подлежит.

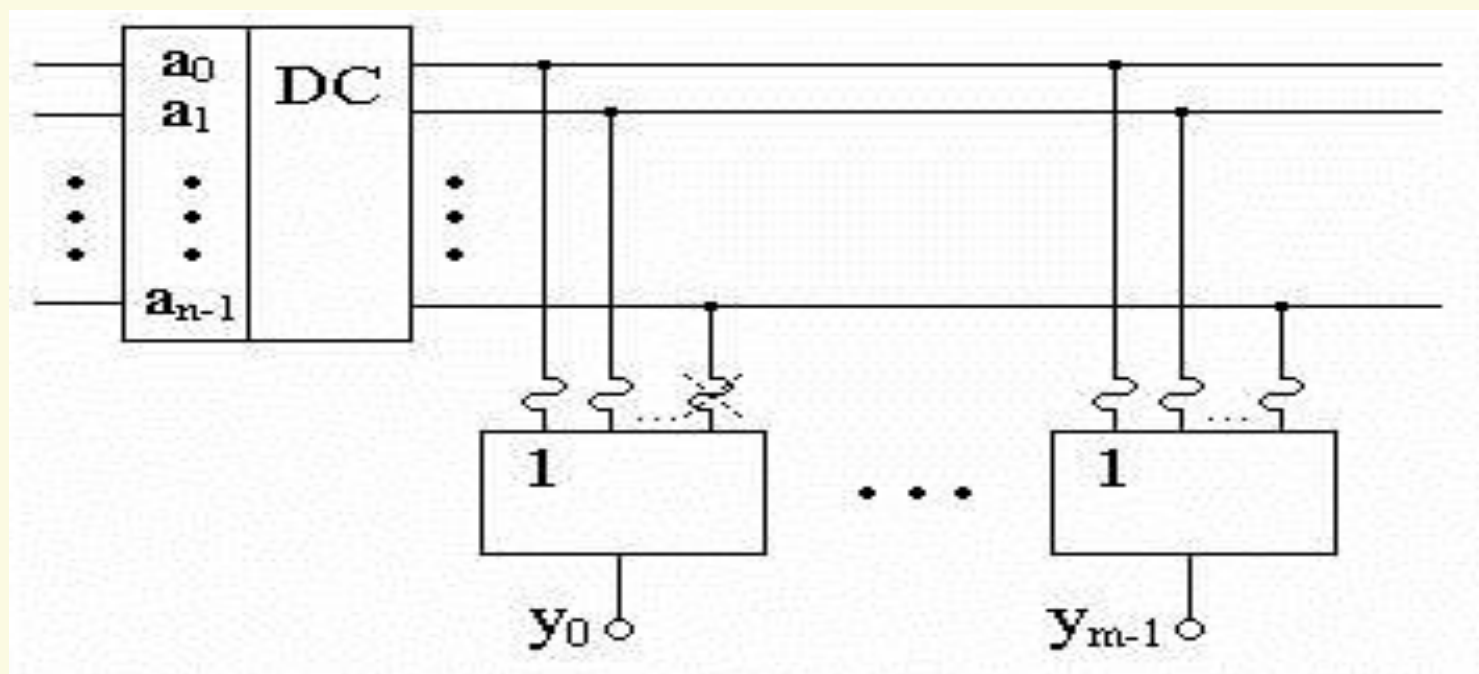
Масочное ПЗУ на диодах




Масочное ПЗУ на полевых транзисторах




Однократно программируемые ПЗУ







Однократно программируемые ПЗУ



 **Работа схемы:** если все плавкие перемычки целы, то при выборе любого адреса на входы всех дизъюнкторов будет поступать хотя бы по одной единице, поэтому $y_0 = y_1 = \dots = y_{m-1} = 1$.

 Для занесения в схему какой-либо информации некоторые перемычки пережигаются (ПЗУ с прожиганием), тогда на некоторых дизъюнкторах на все входы поступают “0” и на выход подается “0”.

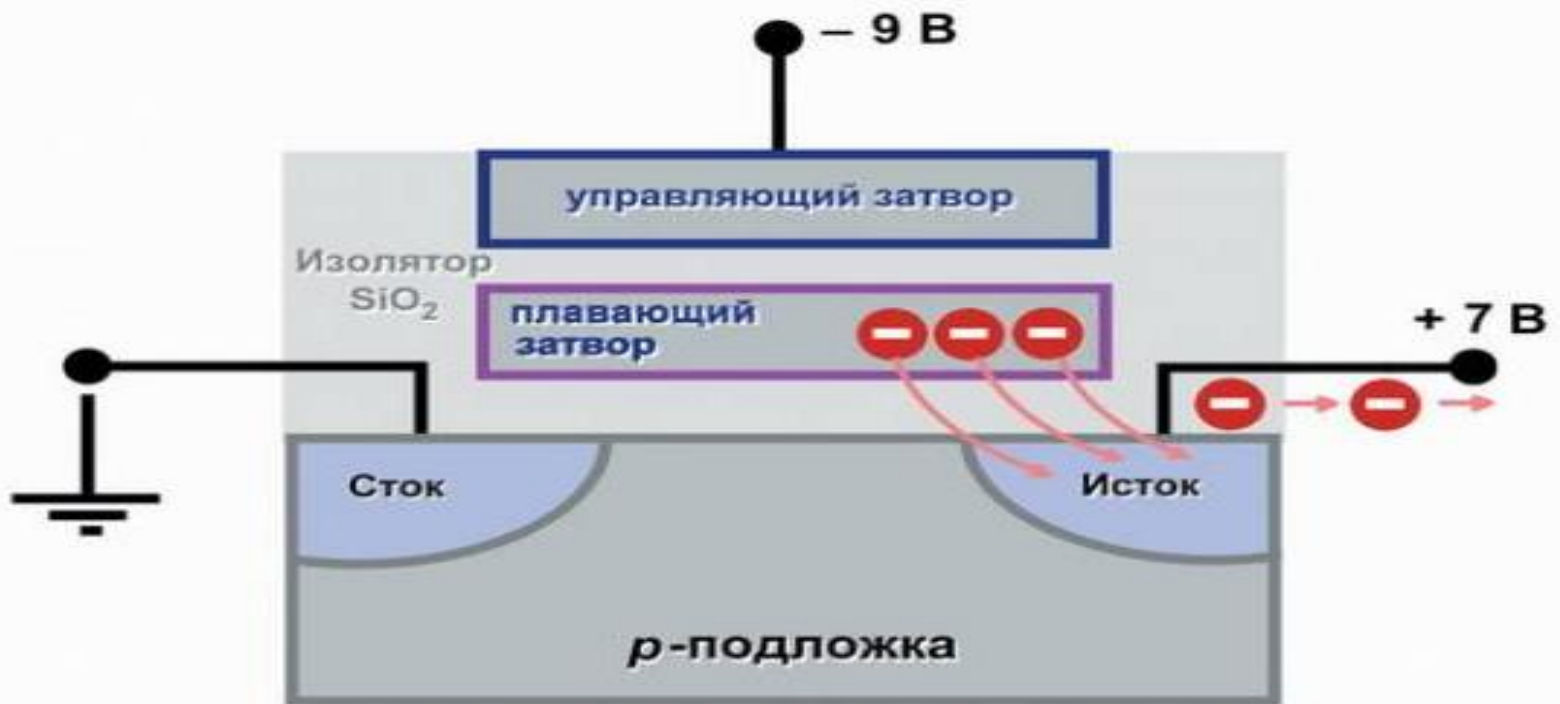
Программируемые ПЗУ

-  **ППЗУ** выпускаются заводом-изготовителем в "чистом виде", т.е. по всем адресам записаны "0". **Программирование ППЗУ** осуществляется пользователем ППЗУ на специальной установке, называемой программатором.
-  В ППЗУ можно записать (его запрограммировать) информацию только один раз.
-  **Изменить записанную информацию или исправить ее нельзя.**
-  ППЗУ нашли широкое применение в ЭВМ для хранения запускающих программ. Они обладают большим быстродействием, чем репрограммируемые ПЗУ

Перепрограммируемые ПЗУ

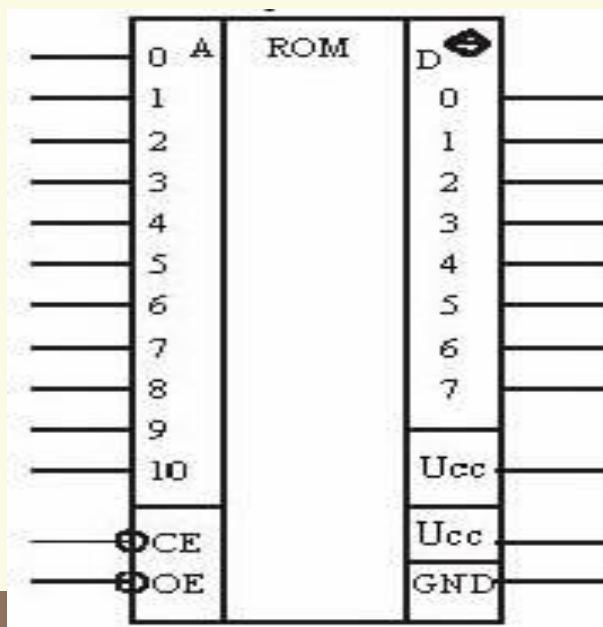
-  **Репрограммируемые ПЗУ** позволяют, при необходимости, перепрограммировать ПЗУ, т.е. стереть ранее записанную информацию и записать новую.
-  По способу стирания ранее записанной информации РПЗУ бывают с ультрафиолетовым (ультрафиолетовыми лучами) и электрическим стиранием. РПЗУ позволяют десятки (некоторые до 1000) раз перепрограммировать и сохранять записанную информацию десятки и сотни тысяч часов. Быстродействие РПЗУ несколько хуже быстродействия ППЗУ.

Структура ЛизМОП-транзистора с «плавающим» зарядом




ПЗУ с УФ стиранием

На функциональных и принципиальных схемах РПЗУ с ультрафиолетовым стиранием изображается так, как показано



ПЗУ с УФ стиранием

 А - адресные входы; D – информационные выходы. Uсе – вход подачи напряжения записи (в режиме хранения на этот вход подается Uсс); Uсс – вывод для подачи напряжения питания. СЕ и ОЕ – входы управления состоянием выводов, если $СЕ=ОЕ=1$, входы D имеют высокоимпедансное состояние. При $СЕ=ОЕ=0$ вывод информации разрешен.

ПЗУ с УФ стиранием




Микросхема РПЗУ К573РФ2 (РФ5) имеет одиннадцатиразрядный дешифратор, выходы которого соединены с восьмиразрядной матрицей М2. В процессе записи выходные элементы РПЗУ находятся в режиме приема информации через выводы D0 . . . D7 (на входе “ОЕ” уровень “1”). В режиме считывания записанной информации выходы “Uсе” и “Uсс” объединяются, и на них подается напряжение питания +5В.

ПЗУ с УФ стиранием



ПЗУ со стиранием информации ультрафиолетовым излучением в настоящее время наиболее широко используются в микропроцессорных системах. В БИС таких ПЗУ каждый бит хранимой информации отображается состоянием соответствующего МОП-транзистора с плавающим затвором (у него нет наружного вывода для подключения).

ПЗУ с УФ стиранием

 Затворы транзисторов при программировании «1» заряжаются лавинной инжекцией, т.е. обратимым пробоем изолирующего слоя, окружающего затвор под действием электрического импульса напряжением 18 – 26 В. Заряд, накопленный в затворе, может сохраняться очень долго из-за высокого качества изолирующего слоя. Так, например, для ППЗУ серии К573 гарантируется сохранение информации не менее 15 – 25 тысяч часов во включенном состоянии и до 100 тысяч часов (более 10 лет) — в выключенном.

Флэш-память



Флэш-память (Flash-Memory) по типу запоминающих элементов и основным принципам работы подобна памяти типа E2PROM однако ряд архитектурных и структурных особенностей позволяют выделить ее в отдельный класс. Разработка Флэш-памяти считается кульминацией десятилетнего развития схемотехники памяти с электрическим стиранием информации.

Флэш-память



В схемах Флэш-памяти не предусмотрено стирание отдельных слов, стирание информации осуществляется либо для всей памяти одновременно, либо для достаточно больших блоков. Понятно, что это позволяет упростить схемы ЗУ, т. е. способствует достижению высокого уровня интеграции и быстродействия при снижении стоимости. Технологически схемы Флэш-памяти выполняются с высоким качеством и обладают очень хорошими параметрами.

Флэш-память


- ❏ Термин Flash по одной из версий связан с характерной особенностью этого вида памяти — возможностью одновременного стирания всего ее объема Согласно этой версии ещё до появления Флэш-памяти при хранении секретных данных использовались устройства, которые при попытках несанкционированного доступа к ним автоматически стирали хранимую информацию и назывались устройствами типа Flash
- ❏ (вспышка, мгновение). Это название перешло и к памяти, обладавшей свойством быстрого стирания всего массива данных одним сигналом.

Флэш-память



Одновременное стирание всей информации ЗУ реализуется наиболее просто, но имеет тот недостаток, что даже замена одного слова в ЗУ требует стирания и новой записи для всего ЗУ в целом. Для многих применений это неудобно. Поэтому наряду со схемами с одновременным стиранием всего содержимого имеются схемы с блочной структурой, в которых весь массив памяти делится на блоки, стираемые независимо друг от друга. Объем таких блоков сильно разнится: от 256 байт до 128 Кбайт.

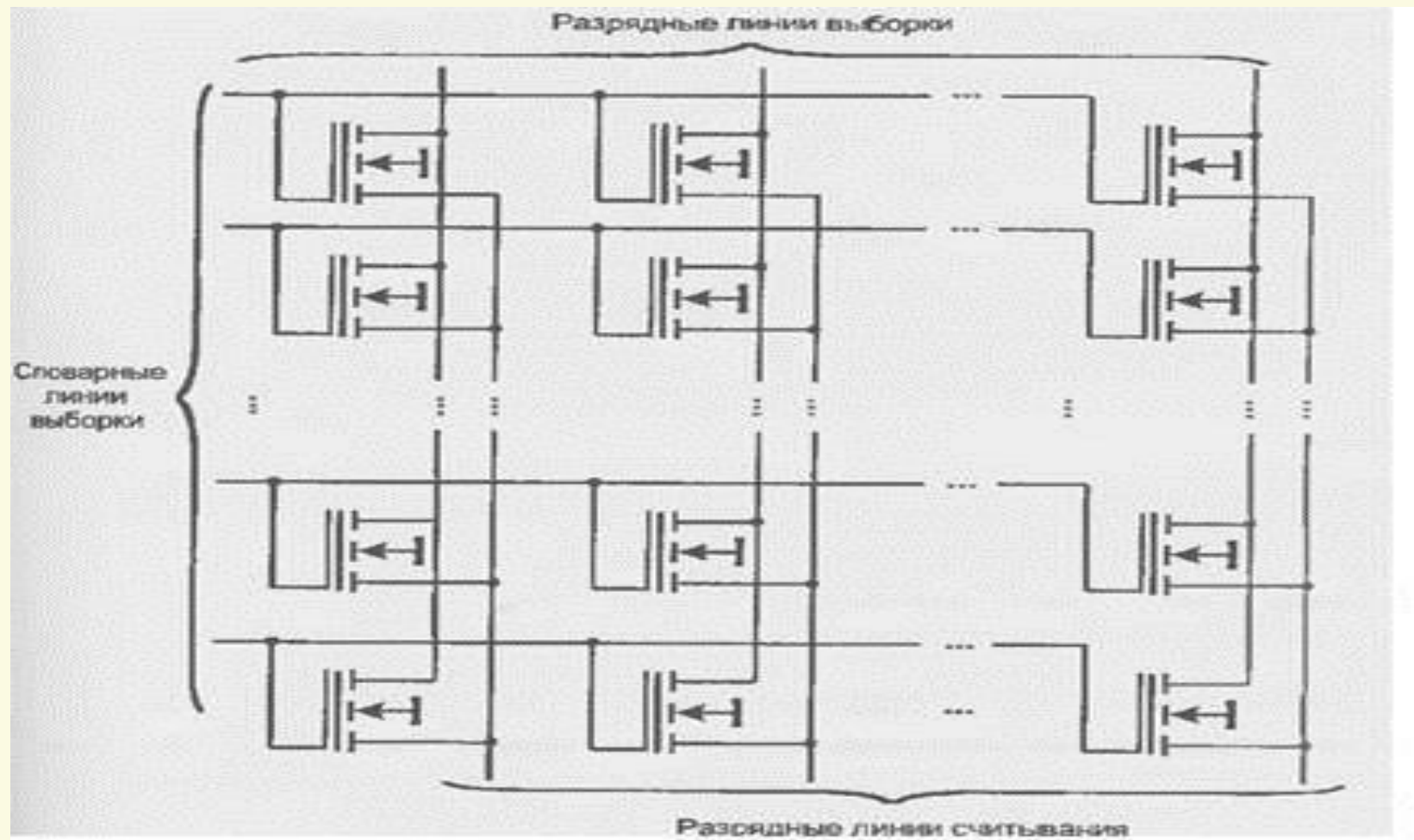
Флэш-память

 Среди устройств с блочным стиранием выделяют схемы со специализированными блоками (несимметричные блочные структуры). По имени так называемых Boot-блоков, в которых информация надежно защищена аппаратными средствами от случайного стирания, эти ЗУ называют Boot Block Flash Memory. Boot блоки хранят программы инициализации системы, позволяющие ввести ее в рабочее состояние после включения питания.


Флэш-память

- Микросхемы для замены жестких магнитных дисков (Flash-File Memory) содержат более развитые средства перезаписи информации и имеют идентичные блоки (симметричные блочные структуры).
- Одним из элементов структуры Флэш-памяти является накопитель (матрица запоминающих элементов). В схемотехнике накопителей развиваются два направления: на основе ячеек типа ИЛИ-НЕ (и на основе ячеек типа И-НЕ)

Флэш-память



Флэш-память

 Накопители на основе ячеек ИЛИ-НЕ (с параллельным включением ЛИЗ-МОП-транзисторов с двойным затвором) обеспечивают быстрый доступ к словам при произвольной выборке. Они приемлемы для разных применений, но наиболее бесспорным считается их применение в памяти для хранения редко обновляемых данных. При этом возникает полезная преимущество с применявшимися ранее КОМ и ЕРКОМ, сохраняются типичные сигналы управления, обеспечивающие чтение с произвольной выборкой. Структура матрицы накопителя показана на рисунке 4.8.

Флэш-память




Каждый столбец представляет собою совокупность параллельно соединенных транзисторов. Разрядные линии выборки находятся под высоким потенциалом. Все транзисторы невыбранных строк заперты. В выбранной строке открываются и передают высокий уровень напряжения на разрядные линии считывания те транзисторы, в плавающих затворах которых отсутствует заряд электронов. и, следовательно, пороговое напряжение транзистора имеет нормальное (не повышенное) значение.

Флэш-память

- ❏ Накопители на основе ячеек ИЛИ-НЕ широко используются фирмой Intel. Имеются мнения о конкурентоспособности этих накопителей и в применениях, связанных с заменой жестких магнитных дисков Флэш-памятью.
- ❏ Структуры с ячейками И-НЕ более компактны, но не обеспечивают режима произвольного доступа и практически используются только в схемах замены магнитных дисков. В схемах на этих ячейках сам накопитель компактнее, но увеличивается количество логических элементов обрамления накопителя.

Флэш-память

 Флэш-память с адресным доступом, ориентированная на хранение не слишком часто изменяемой информации, может иметь одновременное стирание всей информации (архитектура Bulk Erase) или блочное стирание (архитектура Boot Block Flash Memory).

Флэш-память





Имея преемственность с 3У типов E2PROM и EPROM, разработанными ранее, схемы Флэш-памяти предпочтительнее E2PROM по информационной емкости и стоимости в применениях, где не требуется индивидуальное стирание слов, а в сравнении с EPROM обладают тем преимуществом, что не требуют специальных условий и аппаратуры для стирания данных, которое к тому же происходит гораздо быстрее.

ПЗУ с электрическим стиранием



Они позволяют производить как запись, так и стирание (или перезапись) информации с помощью электрических сигналов. Для построения таких ППЗУ применяются структуры с лавинной инжекцией заряда, аналогичные тем, на которых строятся ППЗУ с УФ стиранием, но с дополнительными управляющими затворами, размещаемыми над плавающими затворами.

ПЗУ с электрическим стиранием


-  Поддача напряжения на управляющий затвор приводит к рассасыванию заряда за счет туннелирования носителей сквозь изолирующий слой и стиранию информации. По этой технологии изготавливают микросхемы K573PP2.
-  Достоинства ППЗУ с электрическим стиранием: высокая скорость перезаписи информации и значительное допустимое число циклов перезаписи — не менее 10000.

ПЗУ



Постоянная память типа Mask ROM, обозначенная как ROM(M), программируется при изготовлении методами интегральной технологии с помощью масок. На русском языке ее можно назвать памятью типа ПЗУМ (ПЗУ масочные). Для потребителя это в полном смысле слова постоянная память, т.к. изменить ее содержимое он не может.

ПЗУ


 В следующих четырех разновидностях ROM в обозначениях присутствует буква P (от Programmable). Это программируемая пользователем память (в русской терминологии ППЗУ). В память типов PROM и EPROM-OTP содержимое записывается однократно (OTP – One Time Programmable). В ЗУ типов EPROM, EEPROM и FLASH содержимое может быть изменено путем стирания старой информации и записи новой. В памяти EPROM (Erasable Programmable ROM) стирание выполняется облучением кристалла ультрафиолетовыми (УФ) лучами, ее русское название РПЗУ-УФ (репрограммируемое ПЗУ с УФ-стиранием).

ПЗУ




В EEPROM (Electrically Erasable Programmable ROM) стирание производится электрическими сигналами (ЭС), ее русское название РПЗУ-ЭС (репрограммируемое ПЗУ с электрическим стиранием) или ЭСППЗУ (электрически стираемое программируемое ПЗУ). Запись данных в EPROM, EEPROM и FLASH производится электрическими сигналами.


ПЗУ

 Программирование PROM, EPROM и EEPROM производится в обычных лабораторных условиях. Для ЗУ типов PROM и EPROM это делается с помощью программаторов. Для EEPROM возможно также использование специальных режимов для программирования без изъятия микросхемы из устройства, в котором она используется. Запоминающие элементы памяти типа FLASH подобны применяемым в EPROM и EEPROM, но эта память имеет структурные и технологические особенности, позволяющие выделить ее в отдельный вид.


Оперативные ЗУ

 RAM делятся на статические и динамические. В статических RAM запоминающими элементами являются триггеры, сохраняющие свое состояние, пока схема находится под питанием и нет новой записи данных.

Оперативные ЗУ

 В динамических RAM данные хранятся в виде зарядов конденсаторов, образуемых элементами МОП-структур. Саморазряд конденсаторов ведет к разрушению данных, поэтому они должны периодически (каждые несколько миллисекунд) регенерироваться, что усложняет эксплуатацию ЗУ. Плотность упаковки элементов динамической памяти в несколько раз превышает плотность упаковки, достижимую в статических RAM. Динамические ЗУ имеют высокую информационную емкость.

Оперативные ЗУ




 Статические ОЗУ в английской и международной терминологии называются SRAM (Static RAM), а динамические – DRAM (Dynamic RAM).

Оперативные ЗУ




Статические ОЗУ делятся на асинхронные и синхронные. Асинхронные ОЗУ названы также стандартными, т.к. до недавнего времени они были практически единственными представителями статических микросхем памяти. В асинхронных ЗУ после произвольного по времени обращения к памяти до выдачи данных проходит определенное время, которое является параметром самой памяти, не связанным с параметрами системы синхронизации процессора.

Оперативные ЗУ

-  Асинхронные статические ОЗУ можно разделить на не
-  тактируемые и тактируемые. В не
-  тактируемых сигналы управления могут задаваться как импульсами, так и уровнями. В тактируемых ЗУ некоторые сигналы обязательно должны быть импульсными.

Оперативные ЗУ


 В синхронных ОЗУ длительности этапов работы памяти жестко связаны с синхросигналами системы, и это позволяет исключить неоправданные потери времени при обмене данными между памятью и процессором, а также организовать конвейерную обработку данных. Таким образом, синхронность памяти является средством повышения ее быстродействия. Это важный способ повышения быстродействия, применяемый как в статических, так и в динамических микросхемах памяти.

Оперативные ЗУ




Статические ОЗУ выполняются как однопортовые (обычные) и многопортовые. Многопортовые ЗУ специализированы для определенных применений. В них возможны одновременные обращения более чем к одной ячейке, например, в двупортовых ЗУ возможно считывание информации из одной ячейки и одновременная запись в другую.



Оперативные ЗУ

 Динамические ЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью, поэтому именно они используются как основная память ЭВМ. Базовая структура динамических ЗУ названа стандартной. Поскольку желательно получить от основной памяти ЭВМ максимально возможное быстродействие, разработаны многочисленные способы его повышения.


Оперативные ЗУ

 Статические ЗУ в 4–5 раз дороже динамических и приблизительно во столько же раз меньше по максимальной достижимой информационной емкости. Их достоинством является высокое быстродействие, а типичной областью использования – схемы кэш-памяти, буферы FIFO и LIFO, память данных небольшой емкости для микроконтроллеров, быстродействующих коммуникационных устройств.

Оперативные ЗУ

-  В ЗУ с последовательным доступом записываемые данные образуют некоторую очередь. Считывание происходит из очереди слово за словом либо в порядке записи, либо в обратном порядке. Моделью такого ЗУ является последовательная цепочка запоминающих элементов, в которой данные передаются между соседними элементами.
-  Прямой порядок считывания имеет место в буферах FIFO с дисциплиной «первый пришел – первый вышел» (First In – First Out), а также в файловых и циклических ЗУ.

Оперативные ЗУ

 Считывание в обратном порядке свойственно стековым ЗУ, для которых реализуется дисциплина «последний пришел – первый вышел». Такие ЗУ называют буферами LIFO (Last In – First Out).

Оперативные ЗУ







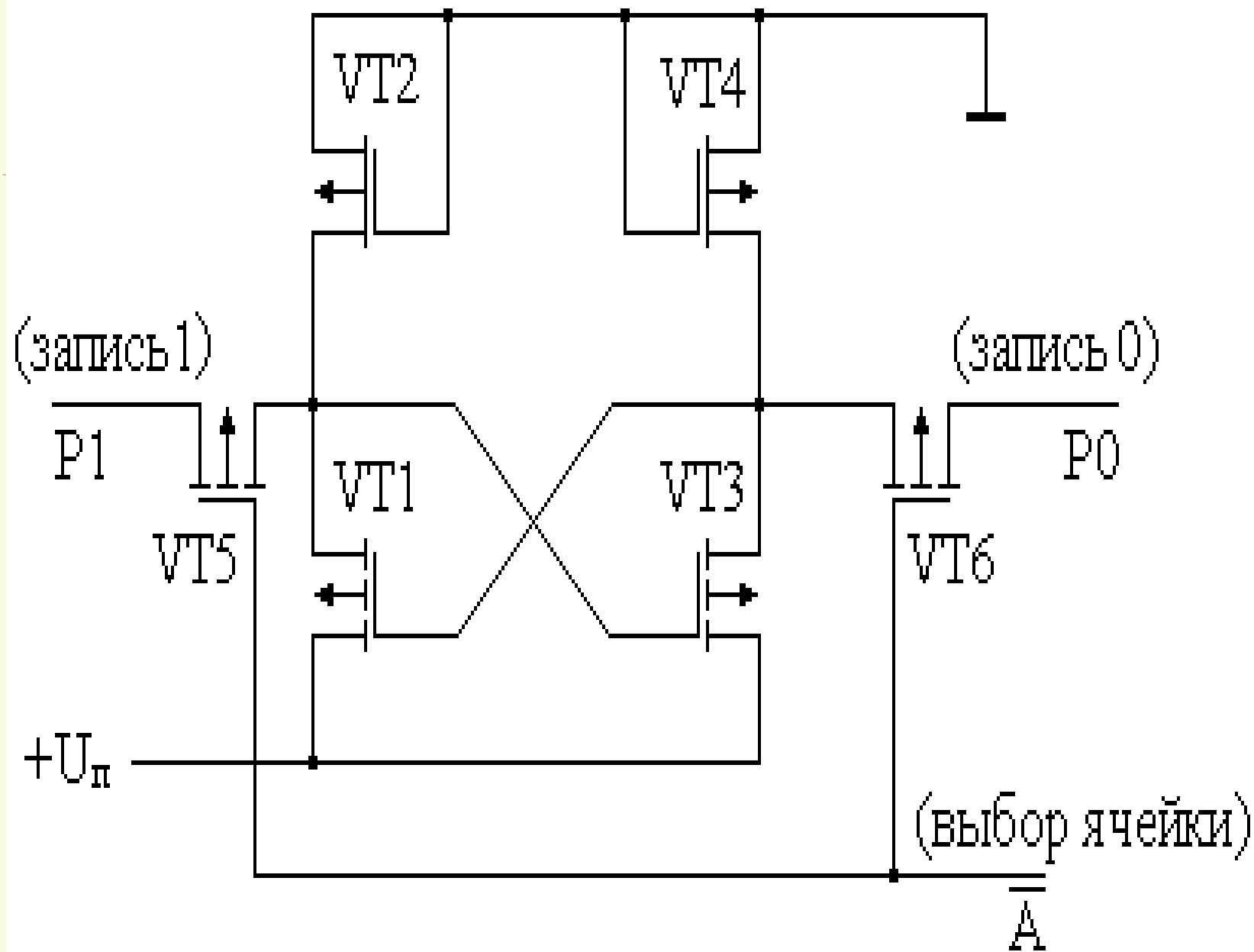
Ассоциативный доступ реализует поиск информации по некоторому признаку, а не по ее расположению в памяти (адресу или месту в очереди). В наиболее полной версии все хранимые в памяти слова одновременно проверяются на соответствие признаку, например на совпадение определенных полей слов (тегов) с признаком, задаваемым входным словом (теговым адресом). На выход выдаются слова, удовлетворяющие признаку.

Оперативные ЗУ

ОЗУ

Запоминающие элементы статических ЗУ


-  Основой ячейки памяти в ЗУ статического типа является триггер.
-  оптимальным является использование полевых транзисторов. На след. слайде представлен триггер на
-  МОП-транзисторах с индуцируемым
-  р-каналом.



Запоминающие элементы статических ЗУ

- Для отпираания такого транзистора напряжение на его затворе относительно истока должно быть меньше нуля: $U_{зи} < 0$.
- Пусть в исходном состоянии транзистор $VT3$ открыт, а $VT1$ закрыт (состояние хранения нуля). Транзисторы $VT2$ и $VT4$ выполняют роль резисторов, поэтому на стоке транзистора $VT3$ будет потенциал напряжения питания $+U_{п}$, а на стоке транзистора $VT1$ – нулевой потенциал.


Запоминающие элементы статических ЗУ

 Транзисторы $VT5$ и $VT6$ осуществляют запись и считывание информации. В режиме хранения данных напряжения на разрядных линиях $P0$ и $P1$ равны нулю, а на линии потенциал равен напряжению питания схемы $+U_{п}$. При этом напряжение стока-истока $U_{си.VT5}$ на транзисторе $VT5$ равно нулю, $U_{зи.VT5} > 0$ и транзистор $VT5$ закрыт. Напряжение $U_{зи.VT6}$ транзистора $VT6$ равно нулю и он также закрыт.

Запоминающие элементы статических ЗУ

Для установления триггера в единичное состояние (запись единицы) на линию подается нулевой потенциал, а на разрядную линию $P1$ потенциал равный $+U_{п}$. При этом транзистор $VT5$ будет включен инверсно, т.е. истоком становится вывод, подсоединенный к разрядной линии $P1$. Напряжение затвор-исток инверсно включенного транзистора $VT5$ становится меньше нуля $U_{зи.VT5} < 0$ и транзистор $VT5$ открывается.

Запоминающие элементы статических ЗУ

 . Положительный сигнал поступает на затвор транзистора $VT3$, при этом $U_{зи.VT3}$ становится равным нулю, и транзистор $VT3$ закрывается. В результате на затвор транзистора $VT1$ поступает нулевой потенциал. $U_{зи.VT1}$ этого транзистора становится отрицательным и транзистор $VT1$ открывается, на его стоке устанавливается положительное напряжение, что соответствует единичному состоянию триггера.


Запоминающие элементы статических ЗУ

- Напряжение на стоке $VT3$ становится равным нулю.
- Для записи нуля необходимо при нулевом напряжении на линии подать напряжение $+U_n$ на разрядную линию $P0$, при этом через открытый транзистор $VT6$ положительное напряжение, попадая на затвор транзистора $VT1$, запирает его, что приводит к открыванию транзистора $VT3$.


Запоминающие элементы статических ЗУ

- На стоке транзистора $VT1$ установится нулевой потенциал, а на стоке транзистора $VT3$ – потенциал напряжения питания.
- Для считывания информации предварительно записанной в триггер необходимо подать нулевой потенциал только на линию . При этом, если был открыт транзистор $VT1$ (единичное состояние), то отрицательным напряжением $U_{зи}$ $VT5$ будет открыт транзистор $VT5$ и через него высокий потенциал поступит в разрядную линию $P1$.


Запоминающие элементы статических ЗУ

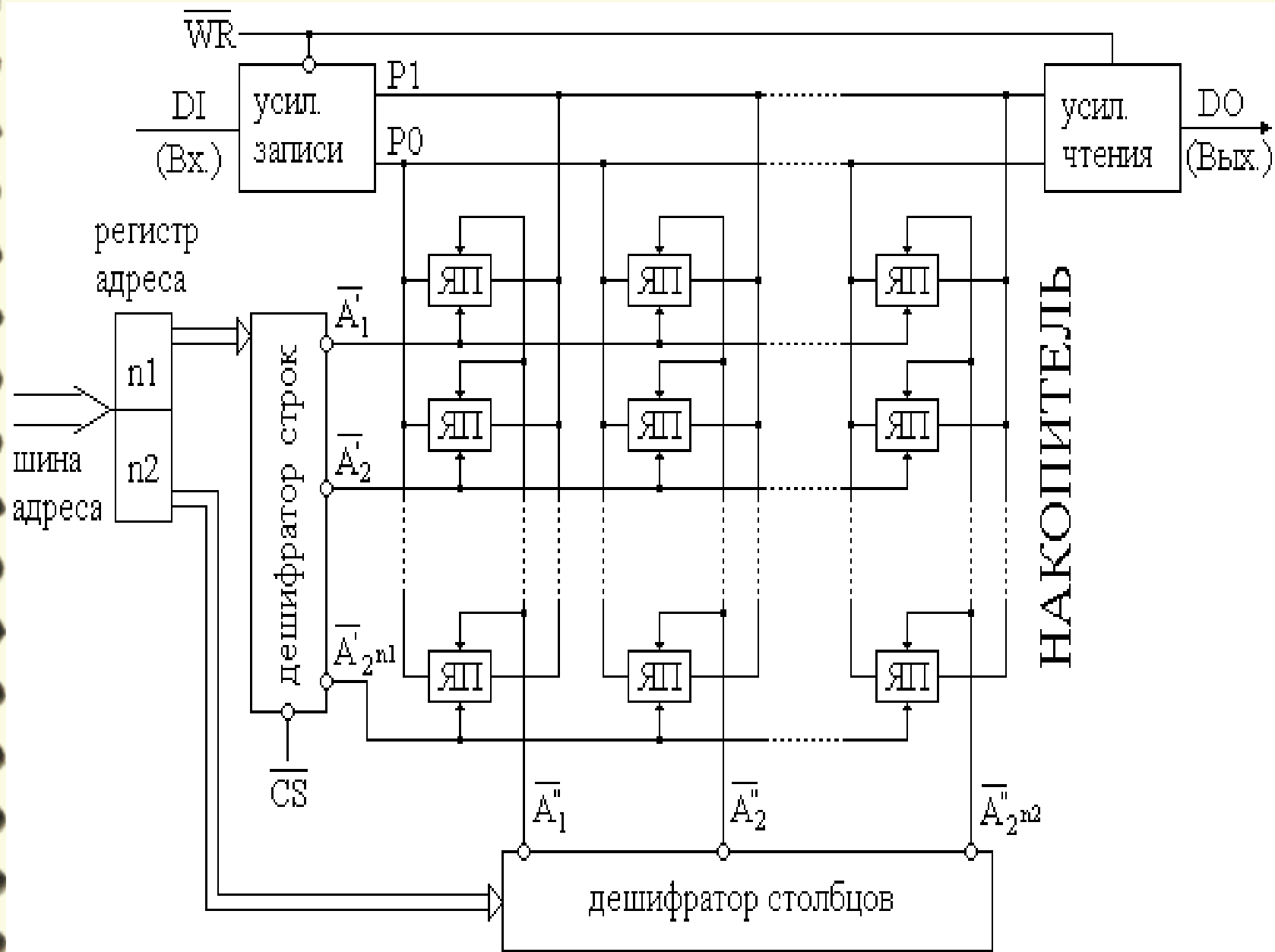
 Если триггер находится в состоянии нуля, то откроется транзистор VT_6 и высокий потенциал поступит в разрядную линию P_0 .

Запоминающие элементы статических ЗУ


 На рис. приведена типичная структура микросхемы ОЗУ статического типа. Информация хранится в накопителе. Накопитель представляет собой матрицу, составленную из ячеек памяти рассмотренных выше. Для поиска требуемой ячейки памяти указываются строка и столбец, соответствующие положению ячейки памяти в накопителе.

Структура статического ЗУ


 Адрес ячейки памяти в виде двоичного числа принимается по шине адреса в регистр адреса. Число разрядов адреса связано с емкостью накопителя. Число строк и столбцов накопителя выбираются равными целой степени двух.




Структура статического ЗУ

 Разряды регистра адреса делятся на две группы. Одна группа в n_1 разрядов определяет двоичный номер строки, в которой расположена ячейка памяти, другая группа в n_2 разрядов определяет двоичный номер столбца, в котором находится ячейка памяти.

Структура статического ЗУ

 Каждая группа разрядов адреса подается на соответствующий дешифратор строк или столбцов. При этом каждый из дешифраторов создает на одной из своих выходных цепей уровень логического нуля. На остальных выходах устанавливается уровень логической единицы.

Структура статического ЗУ


 Ячейка памяти, оказавшаяся под воздействием двух логических нулей на соответствующих линиях и одновременно, является выбранной. Этому соответствует подача логического нуля на линию триггера ячейки памяти рассмотренной выше.

Структура статического ЗУ

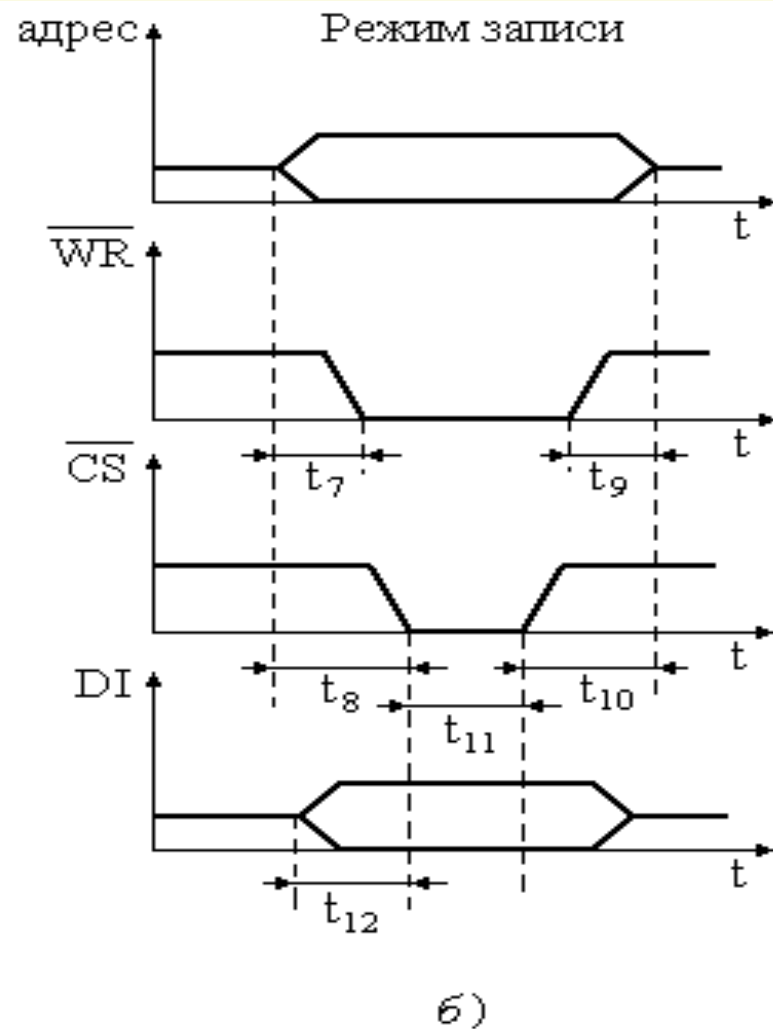
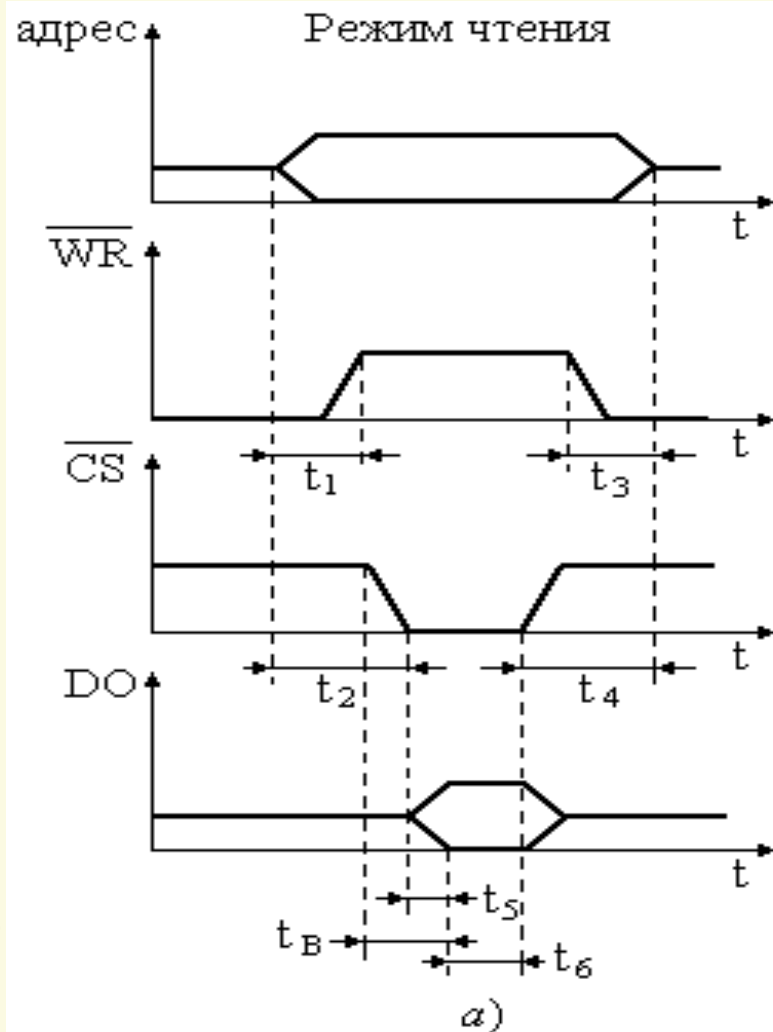


В режиме чтения содержимое ячейки памяти выдается на усилитель чтения и с него на выход микросхемы DO . При этом сигнал записи должен иметь пассивный единичный уровень. Режим записи устанавливается подачей активного нулевого уровня сигнала на вход записи . Открывается усилитель записи и бит информации с входа данных $D /$ поступает в выбранную ячейку памяти для запоминания, при этом усилитель чтения закрывается и данные на выход DO микросхемы не поступают.


Структура статического ЗУ

 Указанные процессы происходят, если на входе выбора микросхемы действует активный уровень логического нуля. При уровне логической единицы на этом входе на всех выходах дешифратора строк устанавливается уровень логической единицы, и ЗУ оказывается в режиме хранения.

Временная диаграмма работы ОЗУ статического типа.



Временная диаграмма работы ОЗУ статического типа.


 Первым как в режиме записи, так и в режиме чтения, на шину адреса должен выставляться адрес активизируемой ячейки памяти. Снимается адрес с шины после того, как запись в ячейку или чтение из ячейки завершено. Один из управляющих сигналов записи или выбора микросхемы или оба должны устанавливаться в активное состояние после установки адреса (интервалы времени t_1 , t_2 и t_7 , t_8) и сниматься до снятия адреса (интервалы времени t_3 , t_4 и t_9 , t_{10}).

Временная диаграмма работы ОЗУ статического типа.




В случае пассивного уровня сигнала отключается соответствующий буферный усилитель чтения или записи в каждом из своих режимах. В случае же пассивного уровня сигнала вырабатывается единичный уровень сигнала на линии ячейки памяти, благодаря чему она отключается от линий $P0$ и $P1$ и хранит записанную информацию.


Временная диаграмма работы ОЗУ статического типа.

 Первым определяется режим работы памяти, т.е. подается сигнал .
Управление выводами *DI* и *DO* осуществляется сигналом , который подается внутри временного интервала действия сигнала .

Временная диаграмма работы ОЗУ статического типа.

 Считывание информации из микросхемы памяти возможно только в интервал времени t_6 , когда завершился процесс формирования данных на выходе DO (интервал времени t_5), и пока не снят сигнал выбора микросхемы. При этом время выборки t_6 характеризуется временным интервалом с момента выставления сигнала и до момента формирования информации на выходе DO .

Временная диаграмма работы ОЗУ статического типа.

 В режиме записи сигнал должен выставляться только тогда, когда записываемые данные готовы и поступили на вход DI (временной интервал t_{11}). Аналогично сами данные для записи должны быть подготовлены к моменту, когда вырабатывается активный уровень сигнала (временной интервал t_{12}), и удержаны до окончания действия этого сигнала.

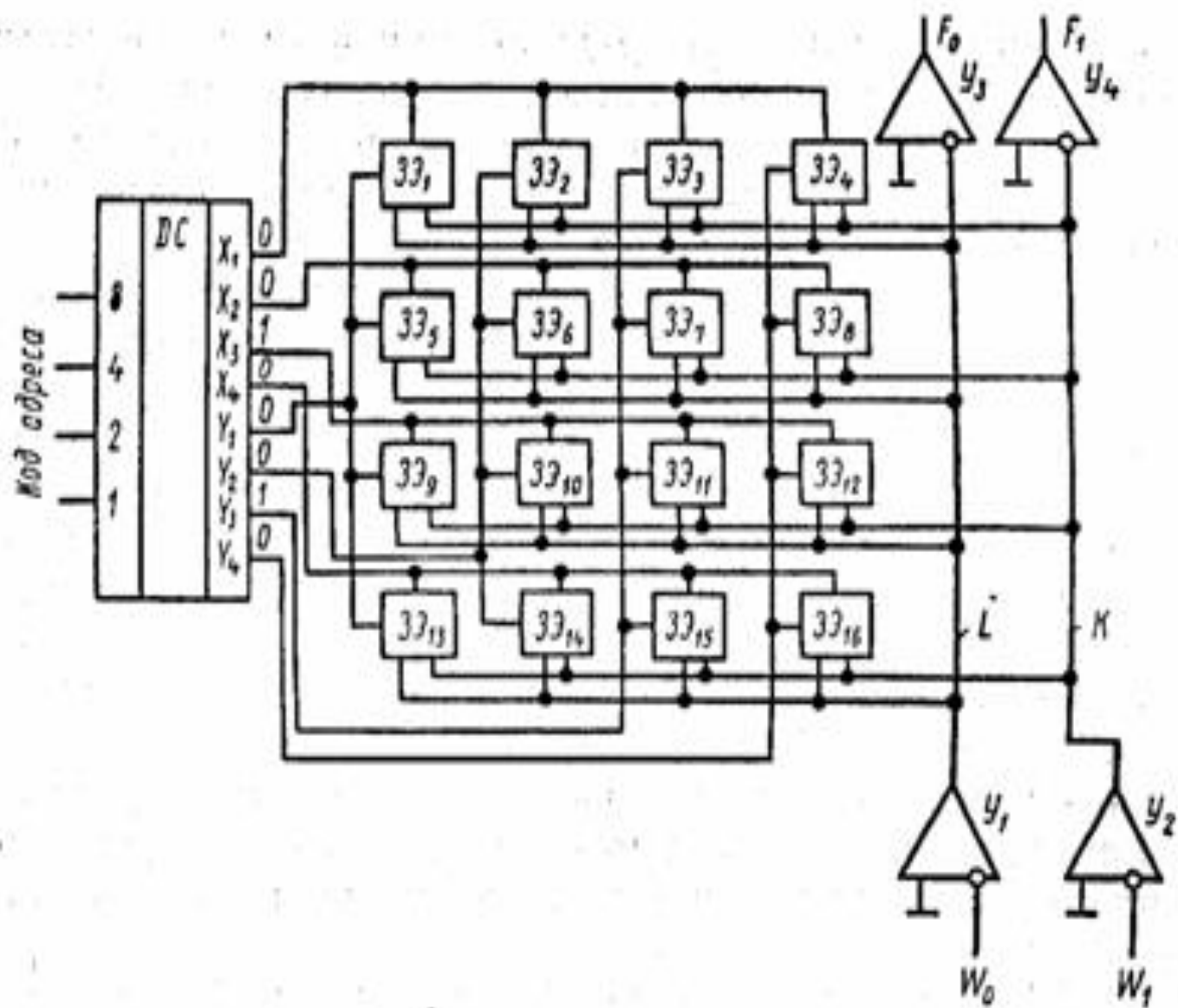
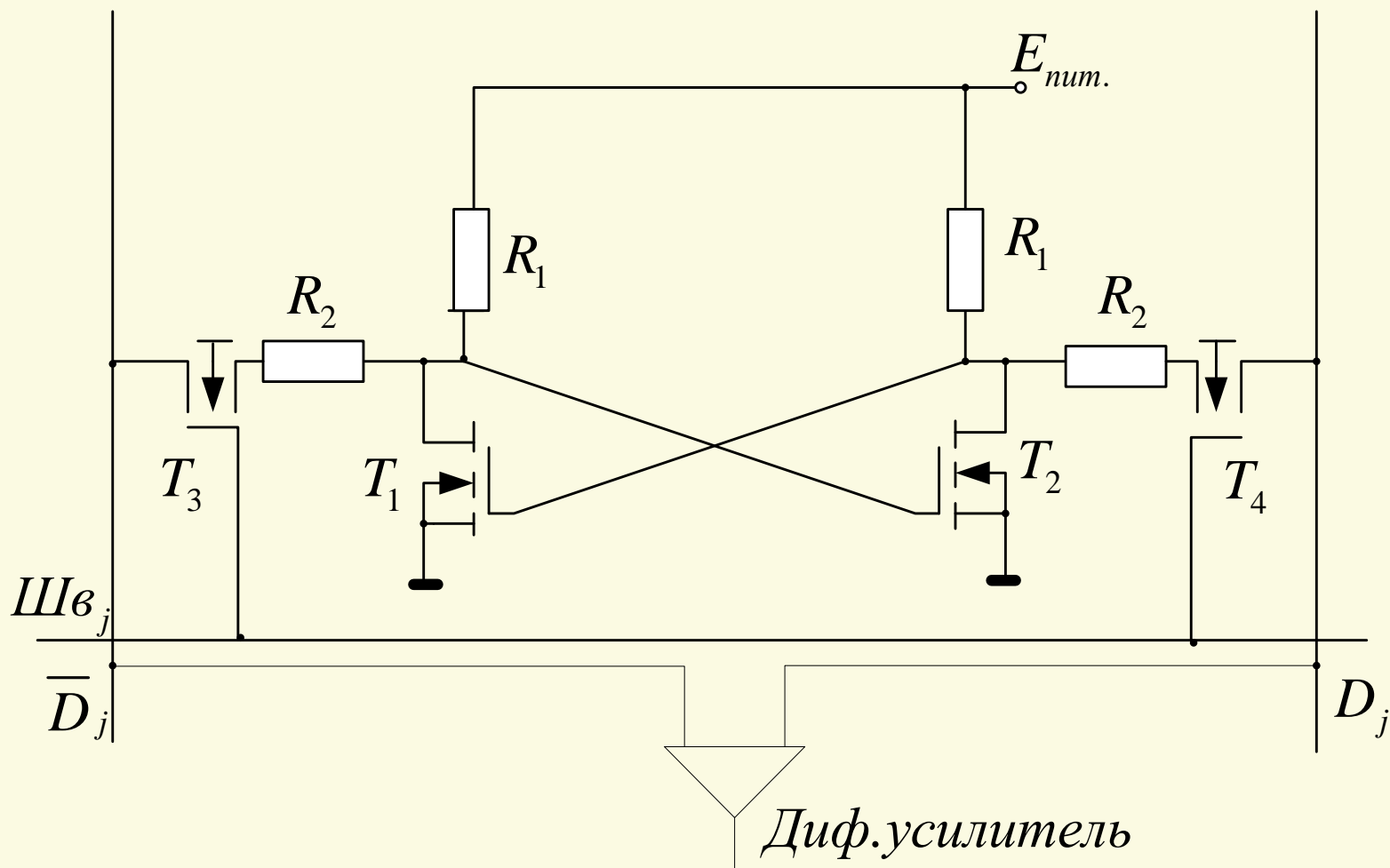
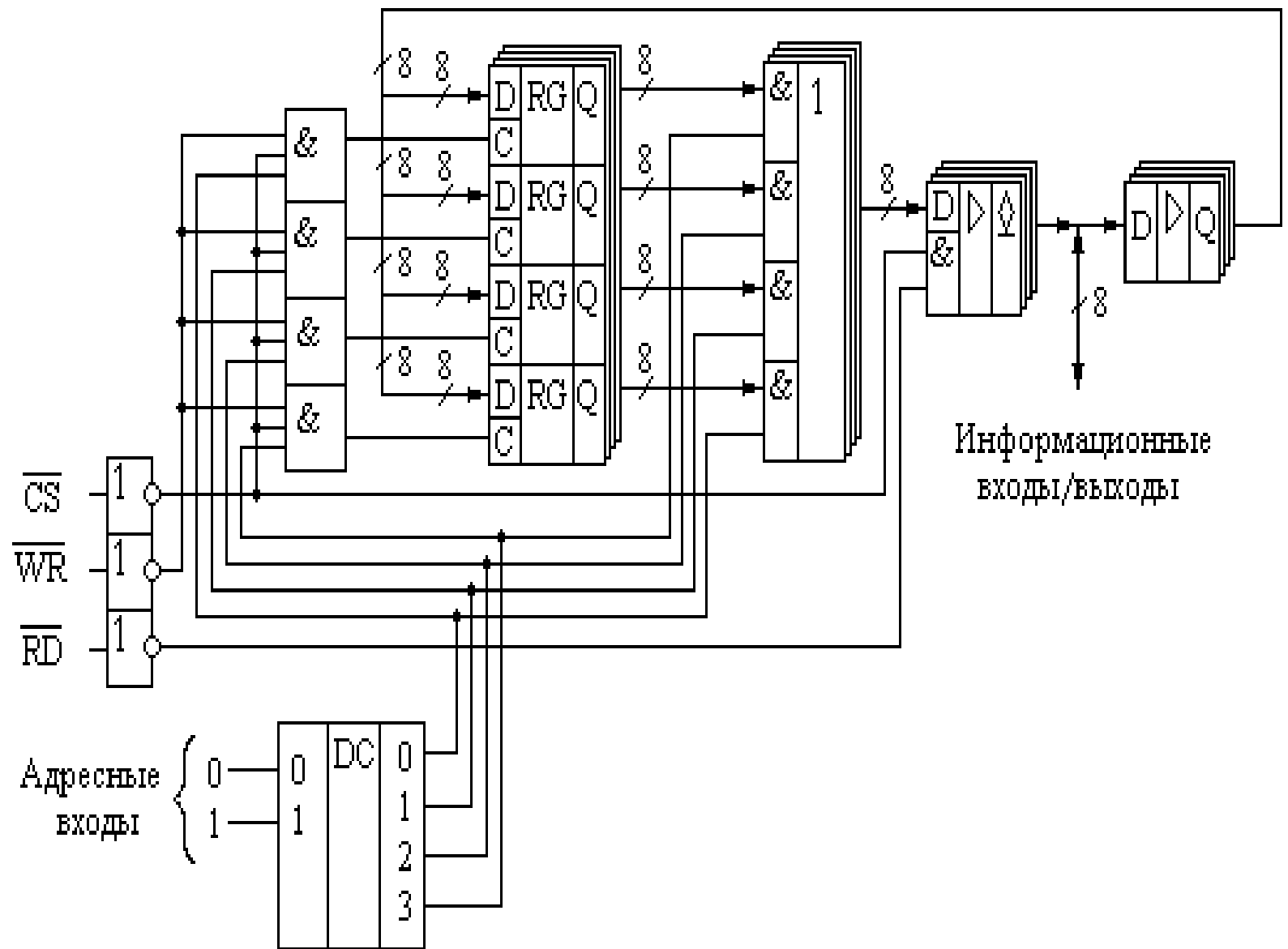


Схема триггерного запоминающего элемента статического ОЗУ на n-МОП транзисторах.





Достоинства и недостатки статической памяти.

 Достоинства:

 высокая скорость работы;

 нет необходимости регенерации ячеек.

 Недостатки:

 высокая цена;

 низкая плотность упаковки;

 небольшой объем;

 высокое энергопотребление.

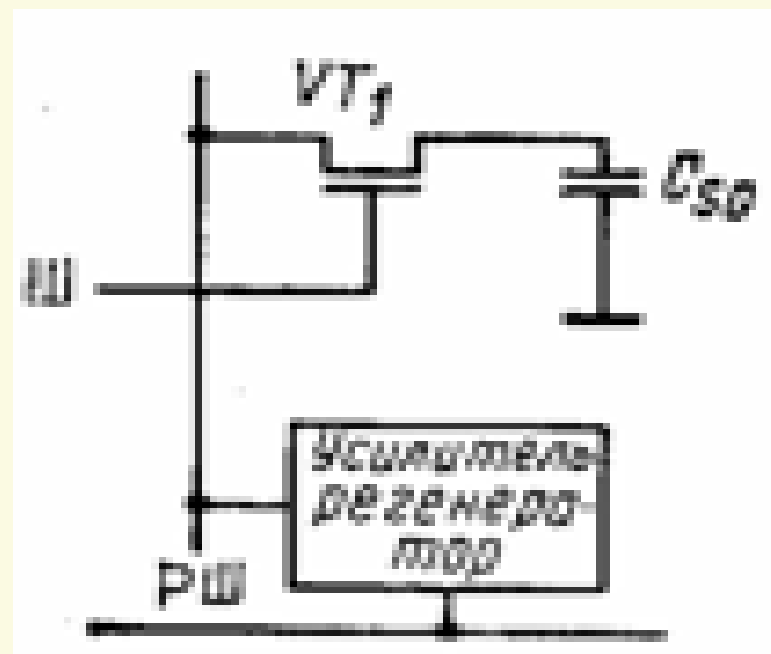
Динамические ОЗУ




Информация в таком элементе хранится в виде заряда на запоминающем конденсаторе, обкладками которого являются области стока МОП-транзистора и подложки. Запись и считывание информации производятся путем открывания транзистора по затвору и подключения тем самым запоминающей емкости к схеме усилителя-регенератора.

Динамические ОЗУ

В них
запоминающий
элемент содержит
только один
транзистор.

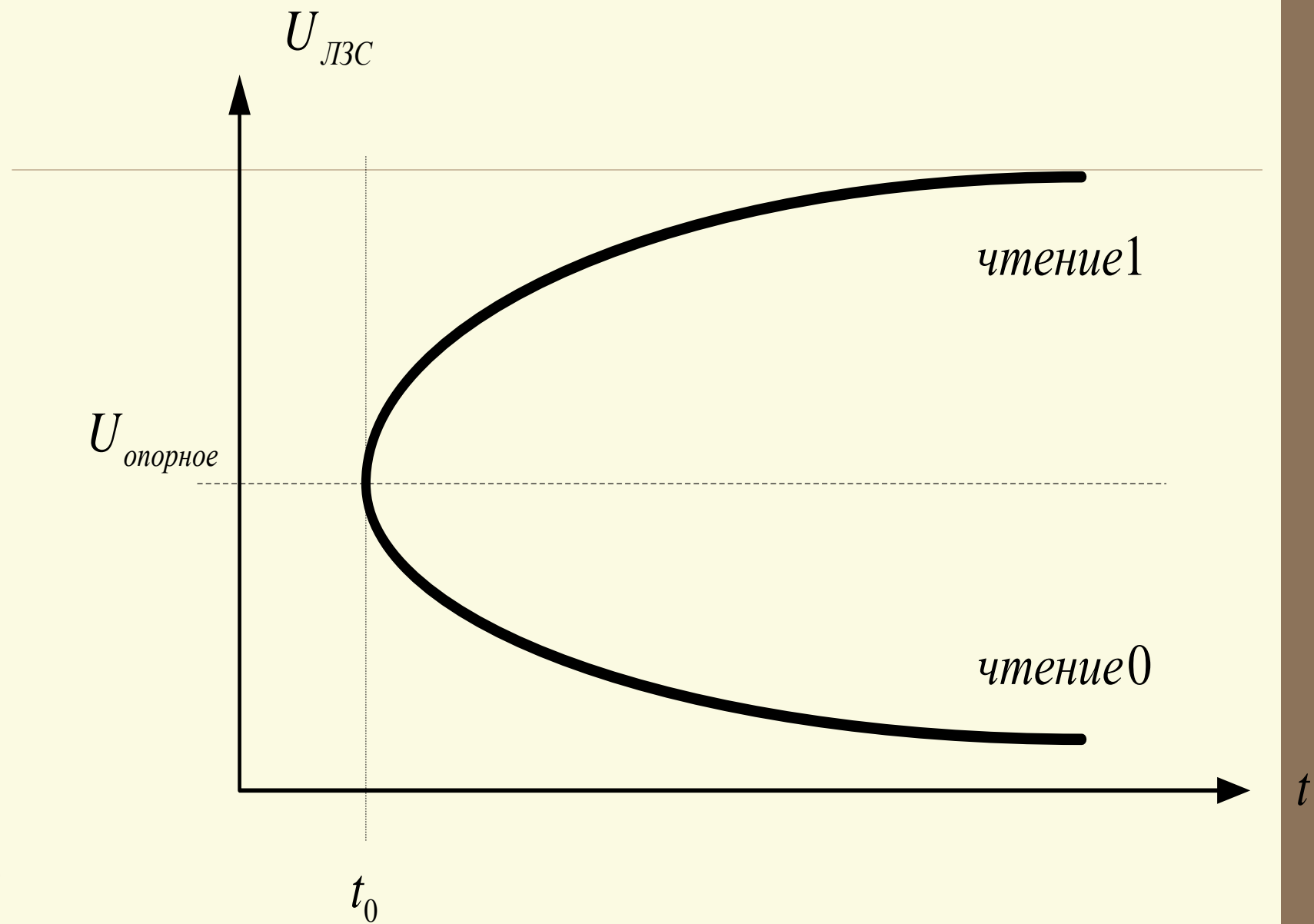


Динамические ОЗУ

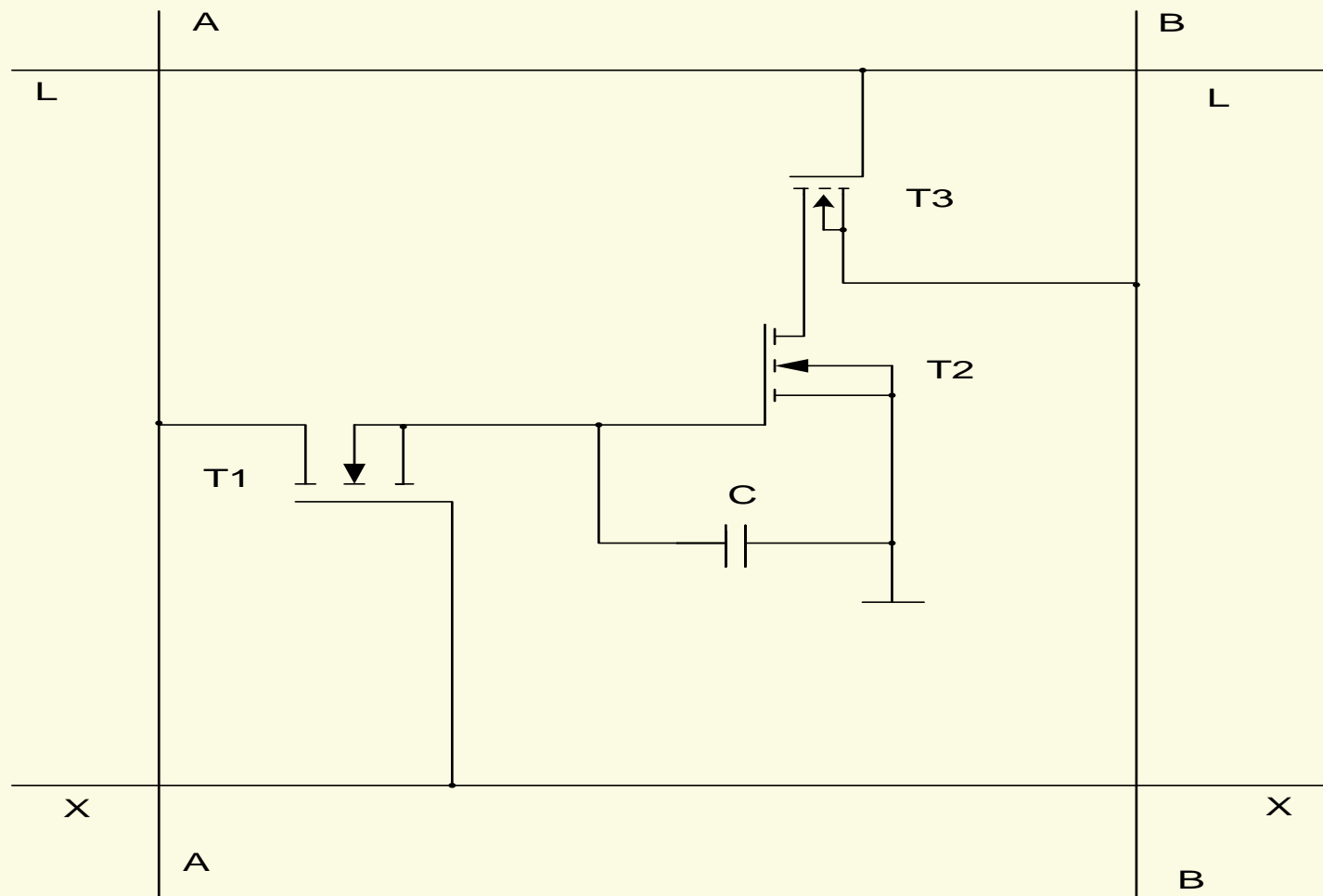
 Последний, по существу является триггерным элементом, который в зависимости от предварительной подготовки или принимает (считывает) информацию из емкостной запоминающей ячейки, устанавливаясь при этом в состояние 0 или 1, или, наоборот, в режиме записи соответствующим образом заряжает ячейку, будучи предварительно установленным в 0 или 1

Динамические ОЗУ


- В режиме чтения триггер усилителя — регенератора в начале специальным управляющим сигналом устанавливается в неустойчивое равновесное состояние, из которого при подключении к нему запоминающей емкости
- он переключается в 0 или 1.




Ячейка динамического ОЗУ без разрушения



Динамические ОЗУ

 При этом в начале он потребляет часть заряда, а затем при установке в устойчивое состояние возвращает его ячейке, осуществляя таким образом регенерацию ее состояния.

Динамические ОЗУ


 В режиме хранения информации необходимо периодически производить регенерацию для компенсации естественных утечек заряда. Максимальный период цикла регенерации для каждой из ячеек обычно составляет 1 — 2 мс.

Динамические ОЗУ



Накопитель двухкоординатного ЗУ состоит из нескольких матриц (Рисунок 4.6), количество которых определяется числом разрядов записываемого слова. Запоминающие элементы (ЗЭ) одной матрицы расположены на пересечении адресных шин X строк и Y столбцов, имеют одну общую для всех элементов разрядную шину.

Динамические ОЗУ



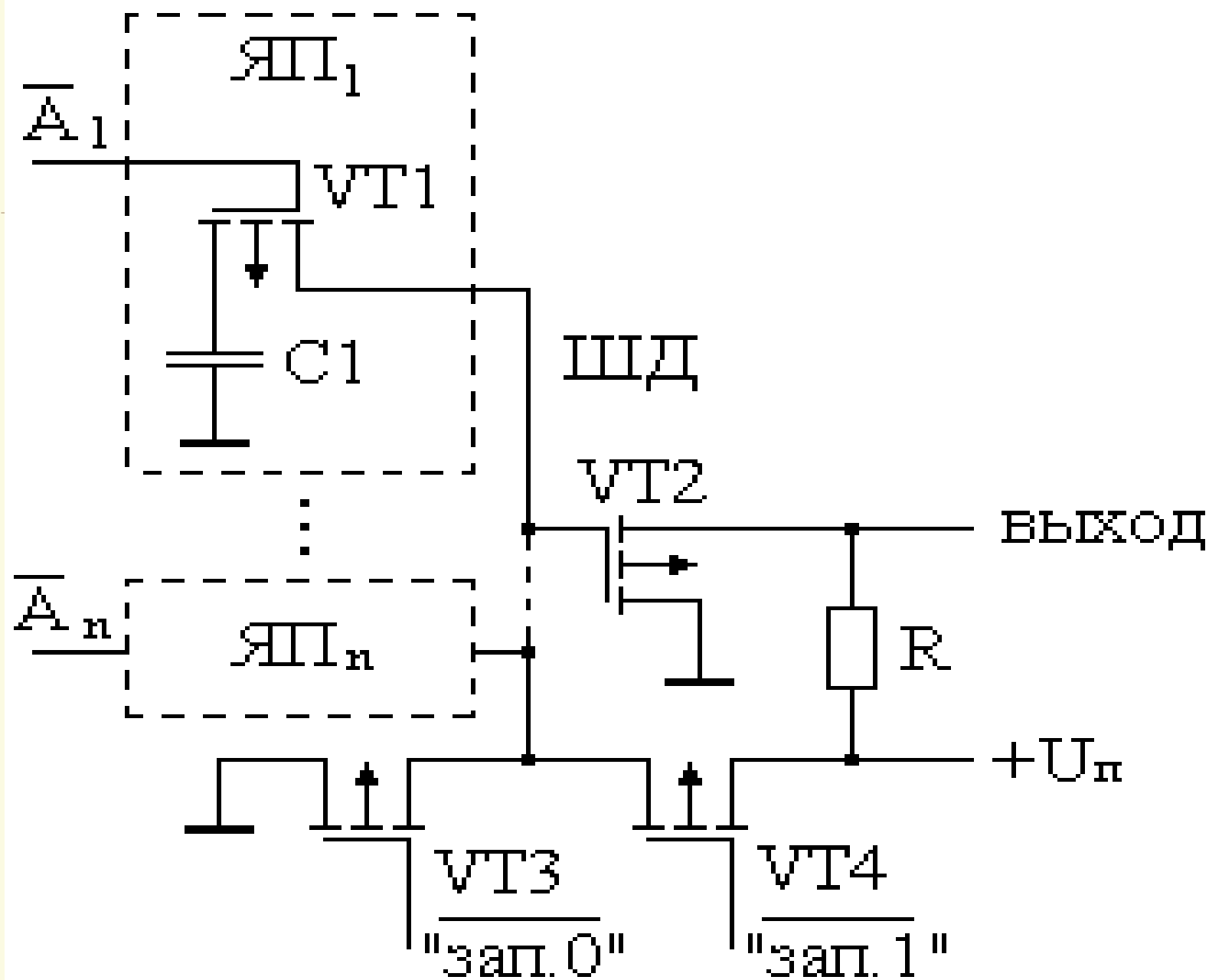
В ЗЭ одной матрицы записываются одноименные разряды всех слов, а каждое слово — в идентично расположенные запоминающие элементы $ЗЭ_i$, всех матриц, составляющие ячейку памяти. Таким образом, в двухкоординатное четырехматричное ЗУ, матрицы которого содержат по 16 запоминающих элементов можно записать 16 четырехразрядных слов.

Динамические ОЗУ




Схема ячейки


памяти *ЯП* динамического ЗУ на одном МОП–транзисторе с индуцируемым р-каналом представлена на рис. 6.6 (выделена пунктирной линией). На схеме также показаны общие элементы для *n*-ячеек одного столбца.




Динамические ОЗУ

 Накопительный конденсатор $C1$ имеет МДП-структуру и изготавливается в едином технологическом цикле. Величина его емкости составляет сотые доли пикоФарад. Конденсатор $C1$ хранит информационный заряд. Транзистор $VT1$ выполняет роль переключателя, передающего заряд конденсатора в разрядную шину данных *ШД* при считывании, либо заряжающего конденсатор при записи.


Динамические ОЗУ

 В режиме хранения на адресной линии должен присутствовать потенциал логической единицы, под действием которого транзистор $VT1$ будет закрыт ($U_{зи}VT1 > 0$) и конденсатор $C1$ отключен от шины данных $ШД$. Включение конденсатора в шину данных осуществляется логическим нулем на линии. При этом на транзистор $VT1$ подается напряжение $U_{зи}VT1 < 0$, что приводит к его открыванию.


Динамические ОЗУ

 Поскольку шина данных *ШД* объединяет все ячейки памяти данного столбца, то она характеризуется большой длиной и ее собственная емкость имеет существенное значение. Поэтому при открывании транзистора VT_1 потенциал шины данных изменяется незначительно.


Динамические ОЗУ

 Чтобы установившийся потенциал на *ШД* однозначно идентифицировать с уровнем напряжения логического нуля или логической единицы, используется усилитель на базе транзистора $VT2$ и резистора R . Непосредственно перед считыванием емкость шины данных подзаряжают подключением ее к источнику питания через транзистор $VT4$.


Динамические ОЗУ

 При считывании информации происходит перераспределение заряда конденсатора и заряда шины данных, в результате чего информация, хранимая на конденсаторе $C1$, разрушается. Поэтому в цикле считывания необходимо произвести восстановление (регенерацию) заряда конденсатора.


Динамические ОЗУ

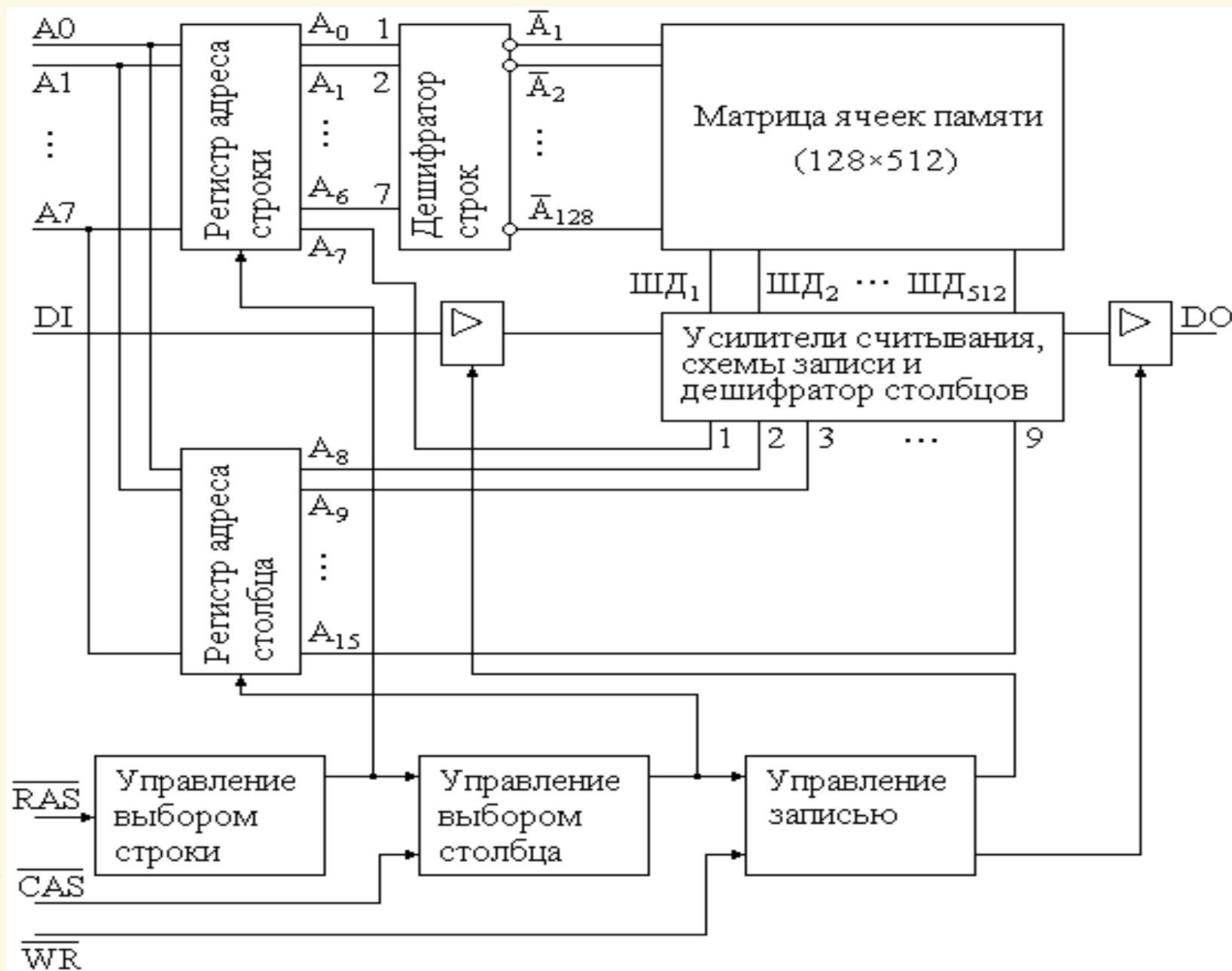
 Для этих целей, а также для записи в ячейку памяти новых значений, используются транзисторы $VT3$ и $VT4$, которые подключают шину данных либо к источнику питания, либо к нулевому общему потенциалу. Для записи в ячейку памяти логической единицы необходимо открыть транзистор $VT4$ нулевым значением управляющего сигнала «» и подключить к шине данных источник питания.

Динамические ОЗУ

 Для записи логического нуля необходимо нулевым потенциалом на входе «» открыть транзистор VT3. Одновременная подача логических нулей на входы «» и «» не допускается, так как это вызовет короткое замыкание источника питания на общий провод заземления.

Динамические ОЗУ

 На рис. 6.7 показан пример структуры микросхемы динамического ОЗУ емкостью 64кбит. Данные в этой микросхеме памяти представлены как 64к отдельных бит, т.е. формат памяти 64к




Динамические ОЗУ




Ввод и вывод осуществляется отдельно, для чего предусмотрена пара выводов *DI* (вход) и *DO* (выход). Для ввода адреса имеется восемь контактов *A0* — *A7*. Адресация к 64к ячейкам памяти осуществляется шестнадцатиразрядными адресами *A0* — *A15*. Причем сначала на входы *A0*-*A7* подаются восемь младших разрядов *A0* — *A7* адреса, а затем — восемь старших разрядов *A8* — *A15*.

Динамические ОЗУ

 Восемь младших разрядов адреса фиксируются в регистре адреса строки подачей сигнала (сигнал выборки строки). Восемь старших разрядов адреса фиксируются в регистре адреса столбца подачей сигнала (сигнал выборки столбца).

Динамические ОЗУ


 Дешифратором строк вырабатывается адресный сигнал выборки ячеек памяти i -ой строки, т.е. выбирается одна из 128 строк. Обращение к строке вызывает подключение 512 ячеек памяти через соответствующие разрядные шины данных $ШД$ этой строки к усилителям считывания (по одному на столбец). При этом автоматически происходит подзаряд запоминающих конденсаторов всех ячеек памяти выбранной строки до исходного уровня за счет передачи усиленного сигнала по цепи обратной связи.

Динамические ОЗУ




Этот процесс называется *регенерацией памяти*. Дешифратор столбцов выбирает один из 512 усилителей считывания. Бит, выбранный в режиме считывания, выдается на линию *DO*. Если одновременно с сигналом при предварительно установленном сигнале действует сигнал записи, то бит с входа *DI* будет записан в выбранную ячейку памяти, при этом выход *DO* микросхемы остается в отключенном состоянии в течение всего цикла записи.


Динамические ОЗУ

 Заряд конденсатора динамического ОЗУ со временем уменьшается вследствие утечки, поэтому для сохранения содержимого памяти процесс регенерации каждой ячейки памяти должен производиться через определенное время.


Динамические ОЗУ

 Следовательно, для предотвращения разряда запоминающих конденсаторов необходимо обращаться к каждой строке матрицы через определенное время. При обычном режиме работы ОЗУ это условие не соблюдается, так как обращение к одним ячейкам происходит часто, а к другим очень редко. Поэтому необходим специальный блок, ответственный за регенерацию памяти.


Динамические ОЗУ

 . Регенерацию необходимо проводить и в те моменты времени, когда ОЗУ используется устройствами, приостанавливая на время регенерации взаимодействие ОЗУ с этими устройствами, т.е. путем перевода этих устройств в режим ожидания.

Динамические ОЗУ

 Лидером в производстве микросхем динамического ОЗУ на сегодняшний день является фирма Samsung. Емкость одной микросхемы DRAM достигает значения 128 Мбайт и более.

Динамические ОЗУ

 Например, операции чтения и записи выполняются дважды за один такт – по переднему и заднему фронтам тактового импульса. Фирмой Mitsubishi предложена концепция встраивания в микросхемы динамической памяти статической кэш-памяти небольшого объема (Cashed DRAM), в которой хранятся наиболее часто запрашиваемые данные.

