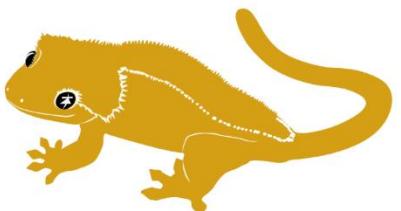


PLECKO

How to use KiCad (for KiCad v.7)

김병현 Byeongheon Kim
2025. 1Q
benkim@plecko.biz

KiCad



PLECKO

PCB and KiCad

❖ PCB (Printed Circuit Board)

- ▶ 인쇄 회로 기판, 전자/전기 소자를 집적하기 위한 회로 기판
 - ✓ 수동 소자 및 IC 전자 부품을 기판에 고정하고 각 부품을 인쇄된 구리 배선으로 구성한 판
- ▶ **PCB Artwork:** 설계한 회로를 PCB 기판으로 완성하기 위해 수행하는 Cad 작업 일체
 - ✓ **Artwork tool:** Allegro, Altium, cadence, EAGLE, KiCad, OrCAD, ZUKEN, ...
 - ✓ Schematic, Symbol, Layout, Footprint, Gerber 제작 등의 기능을 포함하고 있음.

❖ KiCad

- ▶ 2025년 3월 현재 v.9 released (강의 내용은 v7.0.1을 기준으로 진행)
 - ✓ [Downloads | KiCad EDA](#)
- ▶ CERN (European Organization for Nuclear Research) 기여로 제작된 프로그램
 - ✓ <https://en.wikipedia.org/wiki/KiCad>
- ▶ 특징
 - ✓ Open source software
 - ✓ Windows, Linux, macOS 지원 (7 이상)
 - ✓ GNU GPL v3.
 - ✓ <https://www.kicad.org>

예제: <https://github.com/BenPlec/KiCadExample.git>



KiCad release version and new features

❖ [Blog | KiCad EDA](#)

❖ 4.0.0 (15.11.29)

❖ 5.0.0 (18.07.22)

▶ DigiKey에서 라이브러리 제공 시작

❖ 5.1.0 (19.03.14)

❖ 6.0.0 (21.12.25)

❖ 7.0.0 (23.02.12)

- ▶ Custom Fonts, Text Boxes
- ▶ macOS Apple Silicon support
- ▶ Schematic and Symbol Editors
 - ✓ Orthogonal Dragging
 - ✓ Symbol Editor Pin Table Enhancements
 - ✓ Off Grid ERC Warnings
 - ✓ Wires at 45 Degree Angles
 - ✓ Do No Populate (DNP) Support
 - ✓ Simulation Model Editor
 - ✓ Hyperlinks on Schematics
 - ✓ PDF Improvements
- ▶ Board and Footprint Editors
 - ✓ PCB Footprint Consistency Checking
 - ✓ Ignored DRC Tests Tab
 - ✓ Radial Dimensions
- ▶ PCB Layout Tool
 - ✓ Background Bitmaps
 - ✓ Unroute Selected
 - ✓ Automatically Complete Trace Route
- ▶ and so on...

KiCad release version and new features

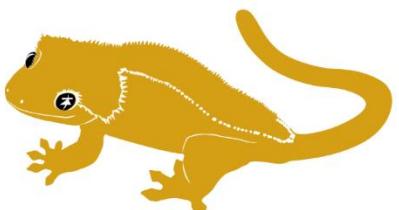
❖ 8.0.0 (24.02.23)

- ▶ Improvements to the official KiCad libraries
- ▶ Expanded support for importing data from other tools
- ▶ Schematic and Symbol Editors
 - ✓ New UI panels for properties, net, navigation, and search
 - ✓ **New BOM exporter**
 - ✓ **Pin helpers**
 - ✓ **Improvements to grid handling (Preferences로 이동)**
 - ✓ Editable power symbols
- ▶ Simulation
 - ✓ Simulation UI overhaul and New simulation features
- ▶ PCBs and Footprints
 - ✓ Multiple footprint dragging
 - ✓ **Interactive length tuning patterns (RF)**
 - ✓ **Connectivity for graphic shapes (RF)**
- ▶ and so on...

❖ 9.0.0 (25.02.20)

- ▶ Improvements to the official KiCad libraries
- ▶ General
 - ✓ Jobsets (predefined output jobs)
 - ✓ Embedded files
 - ✓ Bezier curve tool in all editors
 - ✓ Multi-channel design support
 - ✓ Component classes
 - ✓ **Table editing in schematic, symbol, and footprint editors**
 - ✓ **Custom ERC/DRC errors, warnings, and exclusion comments**
 - ✓ Mouse scroll wheel actions
- ▶ Schematic and Symbol Editors
 - ✓ Selection filtering
 - ✓ Sheet pin/hierarchical label synchronization tool
 - ✓ Net class rule areas, color highlighting
 - ✓ Design blocks
- ▶ PCB and Footprint Editors
 - ✓ IPC API
 - ✓ **Zone manager**
 - ✓ Improved via tenting control
 - ✓ Layer pair presets
 - ✓ **Multiple track drag**
 - ✓ **3D model export improvements**
- ▶ and so on...

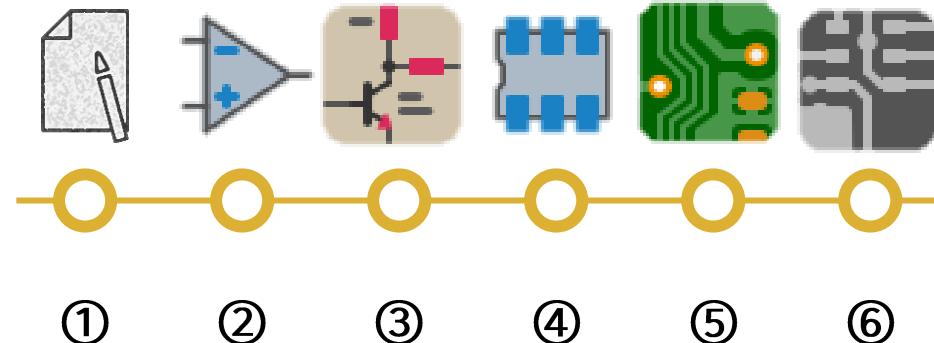
회로 설계 과정



PLECKO

회로 Design Process

❖ 순차적(Sequential)로 진행하되, 반복 작업(Iteration)이 수반되어야 한다.



- ① 회로 설계 (Design Circuit)
- ② 심볼 그리기 (Create Symbols)
- ③ 스키메틱 그리기 (Create Schematic)
- ④ 풋프린트 그리기 (Create Footprints)
- ⑤ PCB 레이아웃 (Board Layout)
- ⑥ 거버 파일 제작 (Post Processing)

전체적인 보드 설계안 도출

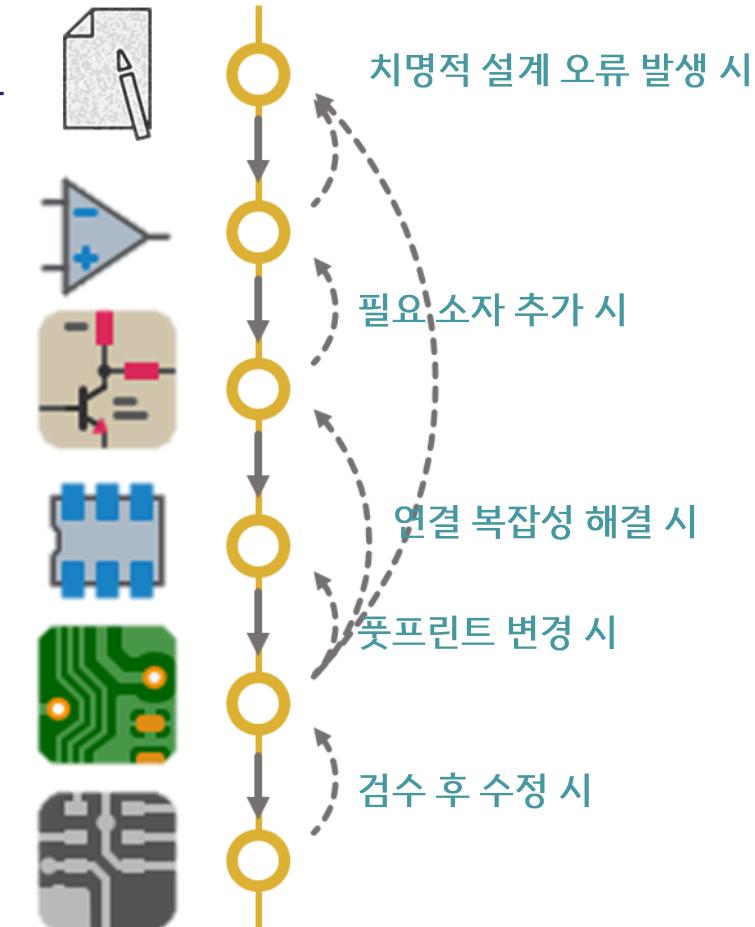
사용 소자의 핀 맵 확인

회로 배치 작업

소자 풋프린트 구성

소자 및 배선 배치

최종 출력물 확인



각 단계를 클릭하면 해당 섹션으로 이동할 수 있습니다.
이 페이지로 다시 오고 싶다면 Emergency switch를 눌러주세요.



Appendix

[\(1\) 설계 보충 자료](#), [\(2\) Trouble shooting](#), [\(3\) 한샘 디지텍 자료](#)

회로 Design Process

1. Design Circuit

(회로 설계)



- 전체적인 보드의 설계안 도출
- 필요한 소자의 선정
 - ▶ 사양에 맞는 소자 검색
[Digikey](#), [Mouser](#), [Element14](#), [엘레파츠](#),
[디바이스마트](#), [ICBANQ](#) 등
 - ▶ 각 소자의 주변 회로 확인
Decoupling cap, 저항 등
Application note의 Reference 회로 확인
 - ▶ 소자 재고, 납품 기일 등을 고려
 - ▶ 납땜 및 디버깅을 고려한 패키지 선정
SMD or Through hole
- 적절한 사이즈 선정
 - ▶ 전원부: 부하 공급 전력이나 소모 전력 등을 고려
 - ▶ 칩 저항: 소모 전력 등 고려
 - ▶ 캐패시터: 내압, 부호, 용량 등 고려
 - ▶ 다이오드: 역저항 전압 등 고려

2. Create Symbols

(심볼 그리기)

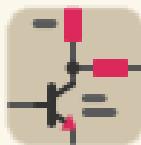


- 보드 구성에 필요한 심볼 그리기
 - ▶ 표준 Package의 경우 KiCAD 기본 라이브러리 활용
 - ▶ Digikey, Mouser 등에서 해당 소자의 라이브러리 다운로드 가능
 - 다만 틀리는 경우 있어 확인 필수!!
 - 동일 소자도 Package가 여러 가지인 경우 있음!!
 - ▶ 구매하려는 소자의 핀 Assignment 확인
 - Package에 따라 핀 맵이 달라지기도 함!!
- 새로 심볼을 그린다면,
 - ▶ 가능하면 실제 소자 핀 배치와 동일하게
 - ▶ 혹은 회로 기능을 잘 나타낼 수 있게

회로 Design Process

3. Create Schematic

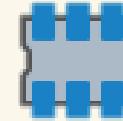
(스키메틱 그리기)



- 설계한 전기 회로를 그리는 작업
- 작업 도면의 용지 설정
 - ▶ A2, A3 등 자유롭게, 다만 여유 있게
 - ▶ 단일 보드: 하나의 페이지에 작성 추천
 - ▶ 다양한 기능: Subpage, Hierachial design 등 활용
- 칩 저항이나 칩 캐패시터는 사이즈를 병기
 - ▶ Ex) 100/2012, 10nF/1608
- 각 소자의 추천 회로를 참고하여 주변 회로 구성
 - ▶ 각 소자의 Decoupling/Bypass capacitor 등
- 기능별 배치 추천
 - ▶ Ex) 전원부, 통신부, ADC, PWM 등
- **ERC (electric rules check) 반복 진행**
 - ▶ Error는 반드시 해결
 - ▶ Warning도 되도록 없애는 것을 추천
 - ▶ ERC 항목 조정도 가능하지만 기본 설정 추천
 - ▶ Footprint Update 전/후로 지속해서 수행

4. Create Footprints

(풋프린트 그리기)



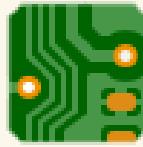
- 레이아웃 전, 각 소자의 풋프린트 그리기
- 구매한 소자의 Package 및 핀 Assignment 확인
 - ▶ 동일한 소자에 대해서 여러 Package 주의!
 - ▶ SMD IC는 SOT 규격을 확인!
 - 특수한 SOT라도 KiCAD Library에 있을 수 있다.
- 칩 저항, 칩 캐패시터는 **Hand soldering** 규격 활용
 - ▶ 패드가 좀 더 크다
- Schematic에 연결 작업



PLECKO

| 회로 Design Process

5. Board Layout (PCB 레이아웃)



- 보드 레이아웃 작업
 - ▶ 서포터 위치 등도 고려
 - ▶ 전체 보드 크기를 먼저 설정
- 소자 배치
 - ▶ 배선을 충분히 고려하여 배치
 - ▶ 배선이 꼬이는 경우 Via 사용도 가능
 - ▶ 작업 시 배선이 너무 꼬이는 경우, Schematic에서 수정 고려
- Pour 작업
 - ▶ 전원, 그라운드 등 충분히 Pour를 생성
 - ▶ PCB 제작 사양을 참고하여 간격 등을 설정
- 풋프린트 변경점 발생 시
 - ▶ 풋프린트 변경 후, Update

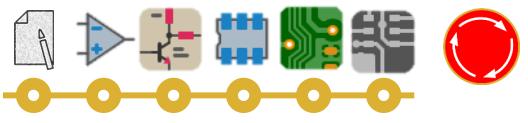
6. Post Processing (거버 파일 제작)



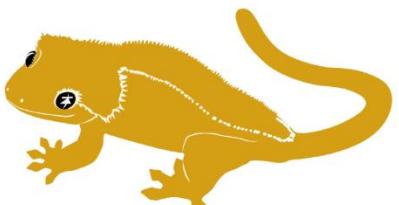
- 설계 완료 후 검토 작업
 - ▶ 거버 파일 출력
 - ▶ 자삽을 위한 위치 정보 출력
- 검토 작업 반드시 수행
 - ▶ 최종 출력물을 기준으로 보완 사항을 확인
 - ▶ 제작 전 마지막으로 확인할 수 있는 단계
 - ▶ 섬이라든지, 도체 간격 등 확인



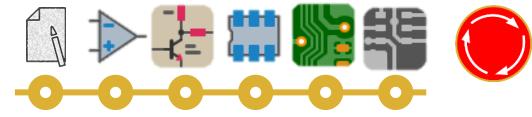
PLECKO



KiCad 시작하기



PLECKO

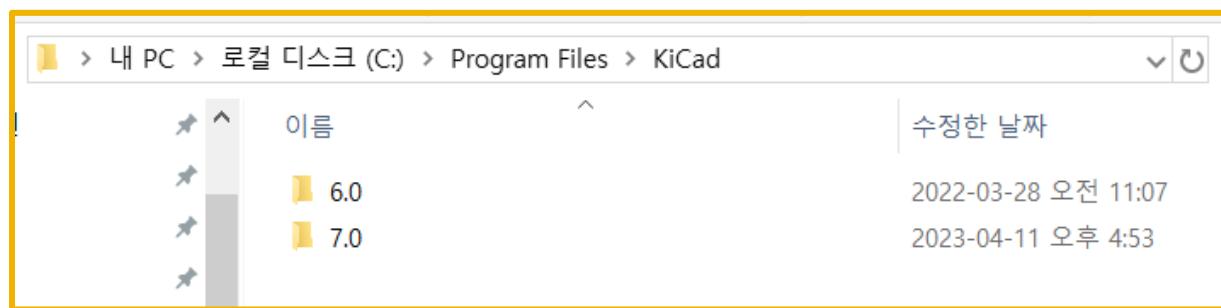


❖ 참고 영상: Digi-Key Youtube

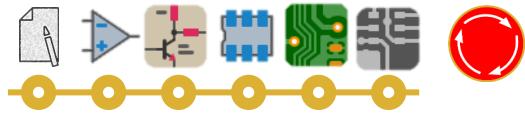
- ▶ An Intro to KiCad – Part 1: How PCBs Are Made | DigiKey (Shawn Hymel)
- ▶ <https://www.youtube.com/watch?app=desktop&v=vaCVh2SAZY4>

❖ KiCad 설치

- ▶ 설치 경로는 기본 설정으로 유지하는 것을 권장함.

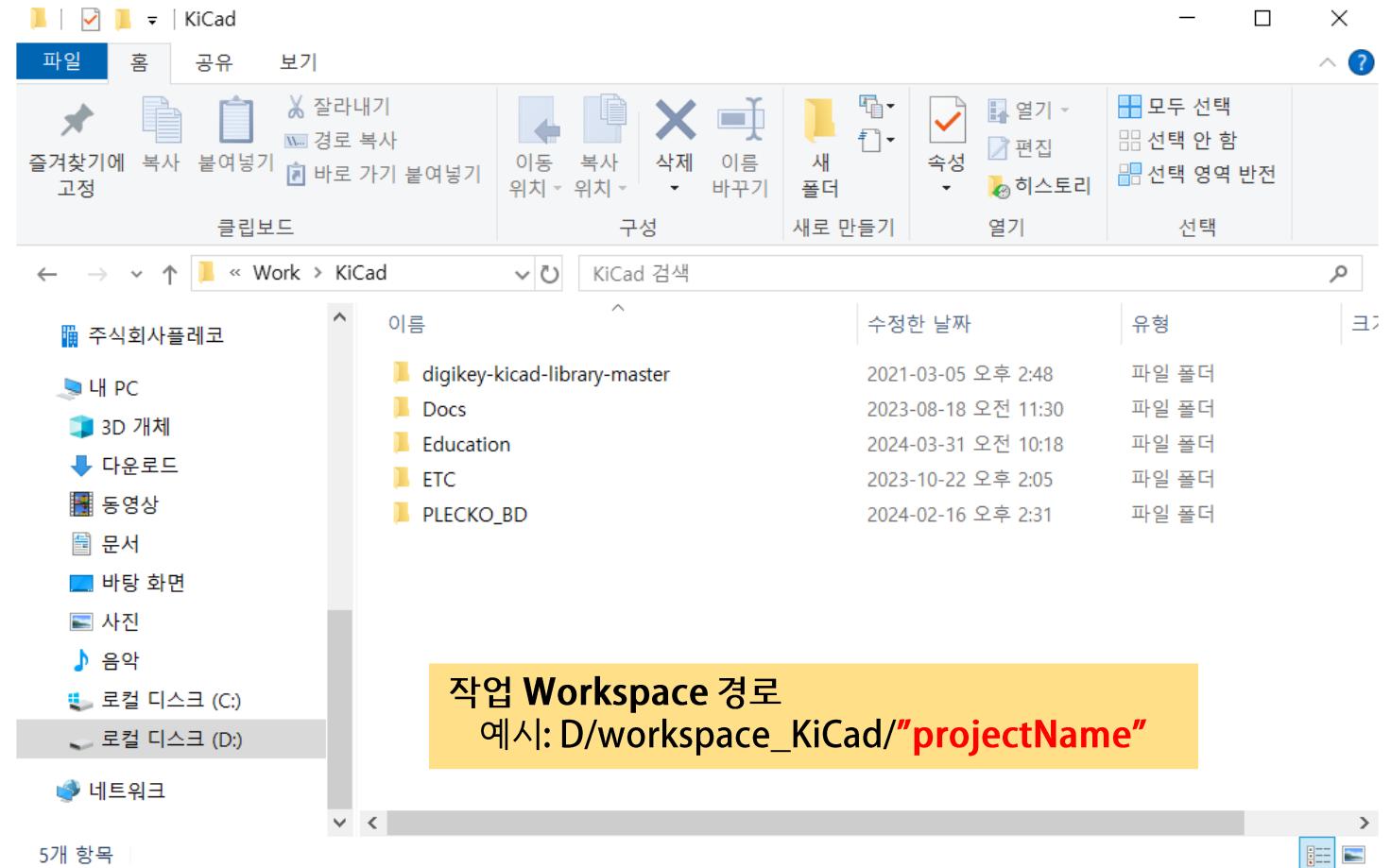


프로그램 설치 경로
기본 경로 추천

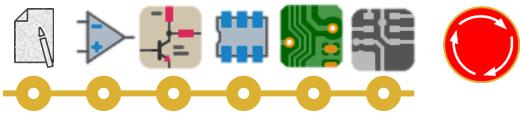


❖ Workspace 생성

- ▶ 별도의 작업 공간을 생성한 후, 그 하위에 프로젝트 생성하는 것을 권장
- ▶ 경로 내 한글은 제외, 공백 대신 “_” 사용하는 것을 추천



KiCad 실행 창



① 회로 설계 (Design Circuit)
프로그램 작업 전 수행

The screenshot shows the KiCad 7.0 application window. On the left is the 'Project Files' panel with icons for Schematic, Symbol, PCB, Footprint, Gerber, Image Converter, Calculator Tools, Drawing Sheet Editor, and Plugin and Content Manager. The main area displays a list of editors:

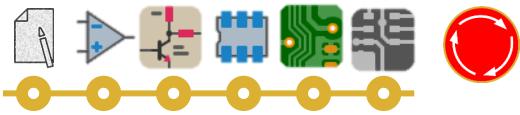
- ③ 스키메틱 그리기 (Create Schematic) - Schematic Editor
- ② 심볼 그리기 (Create Symbols) - Symbol Editor
- ⑤ PCB 레이아웃 (Board Layout) - PCB Editor
- ④ 풋프린트 그리기 (Create Footprints) - Footprint Editor
- ⑥ 거버 파일 제작 (Post Processing) - Gerber Viewer
- Image Converter
- Calculator Tools
- Drawing Sheet Editor
- Plugin and Content Manager

Project: Local path: monitoring folder changes

작업 시 권장 사항

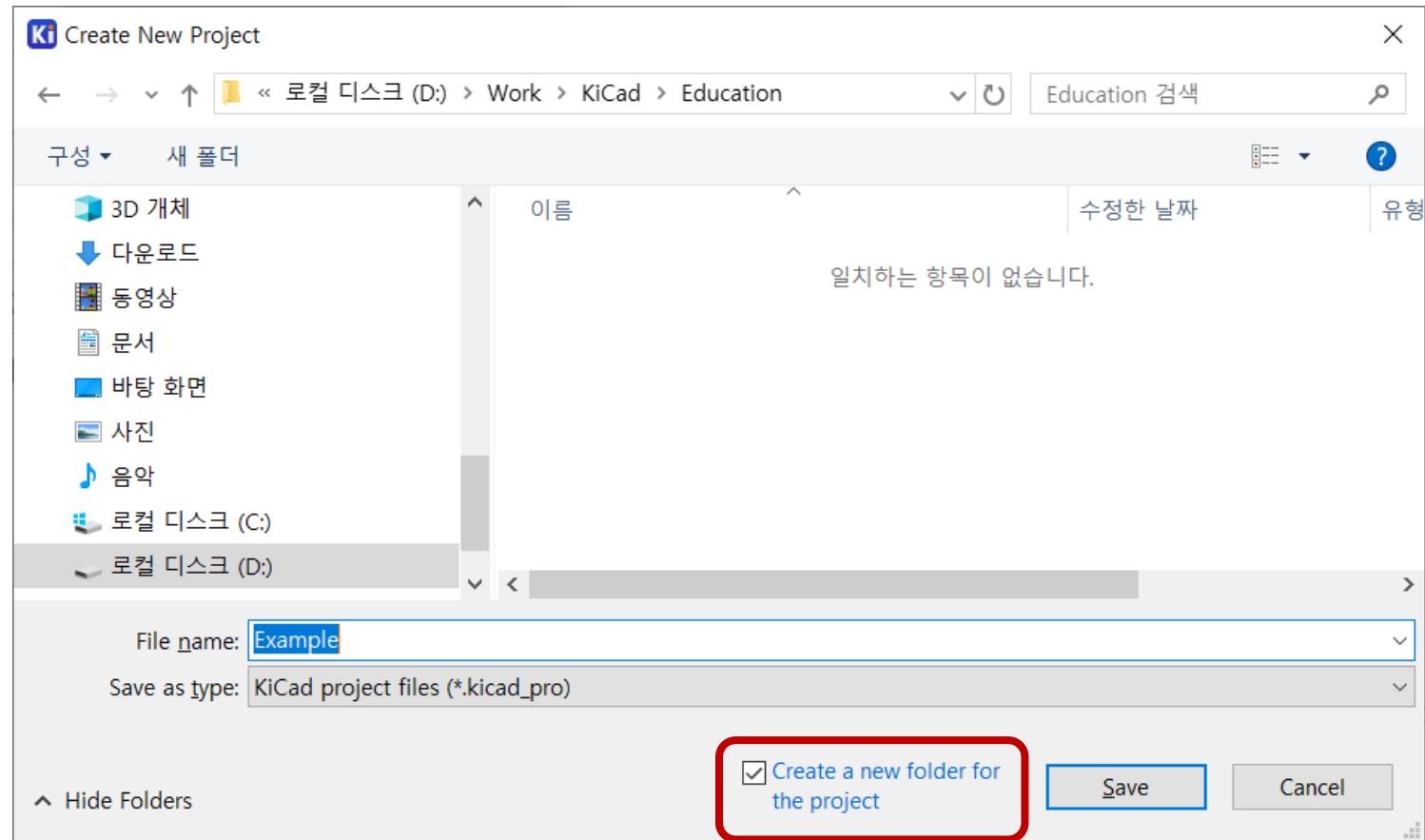
모든 작업 창을 열 때는 개별 파일을 열지 말고,
본 실행 창에서 실행한다.
추후 프로젝트 편집도 모두 프로젝트 파일을 열고
본 실행 창에서 편집한다.

KiCad 새 프로젝트

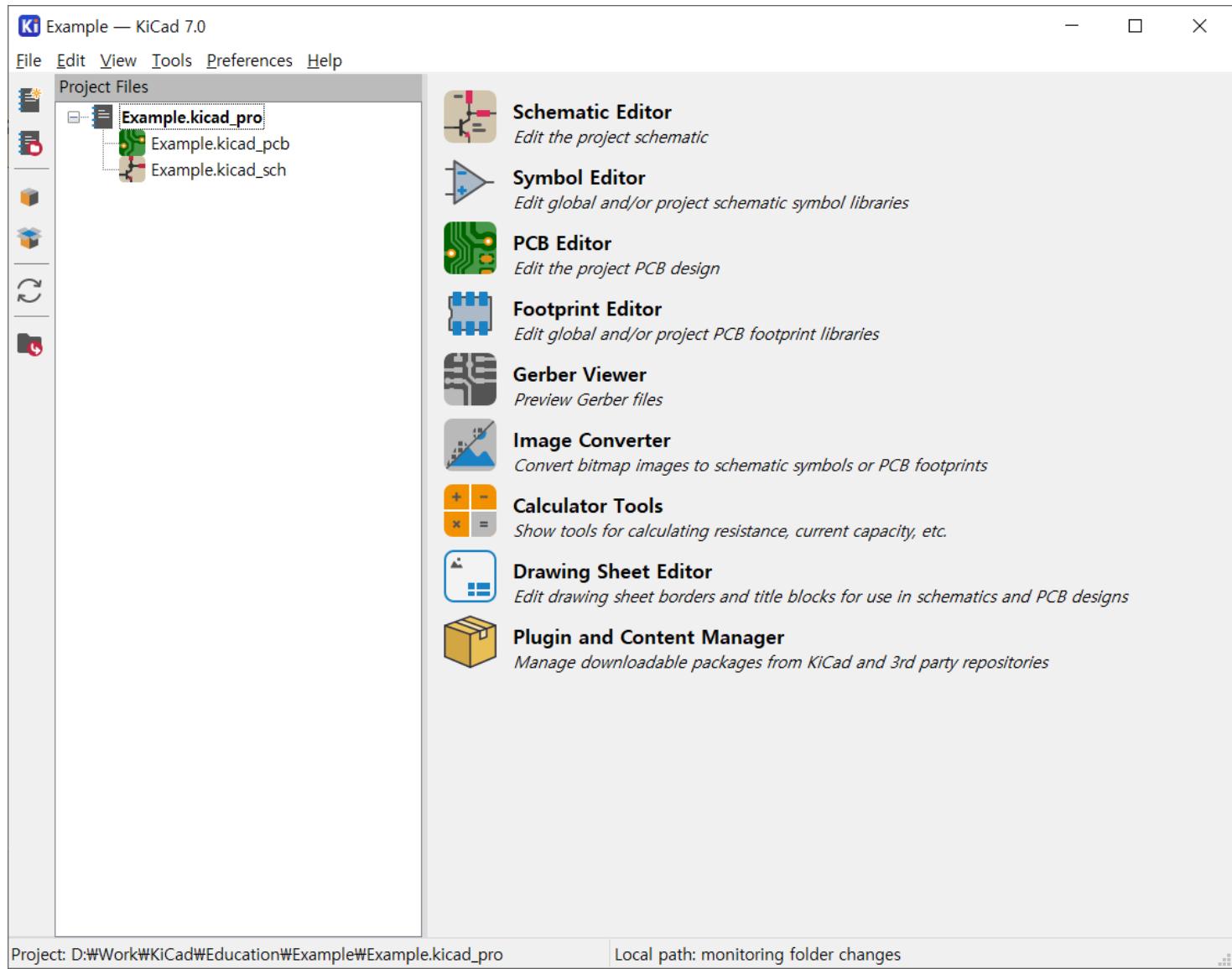
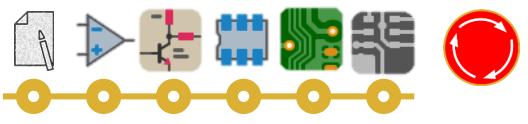


❖ 파일 (File) > 새 프로젝트 (New Project, Ctrl + N)

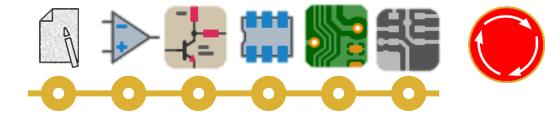
- ▶ 새로운 프로젝트 생성 시 새로운 폴더를 생성하여 프로젝트에 대한 라이브러리 관리를 권장
 - ✓ 장점: 각 프로젝트 별로 로컬 라이브러리 관리가 가능함.
- ▶ 프로젝트 명: 한글은 제외, 공백 대신 "_" 사용하는 것을 추천



KiCad 새 프로젝트 예시



KiCad 프로젝트 저장/불러오기



❖ 기존 프로젝트 Archive

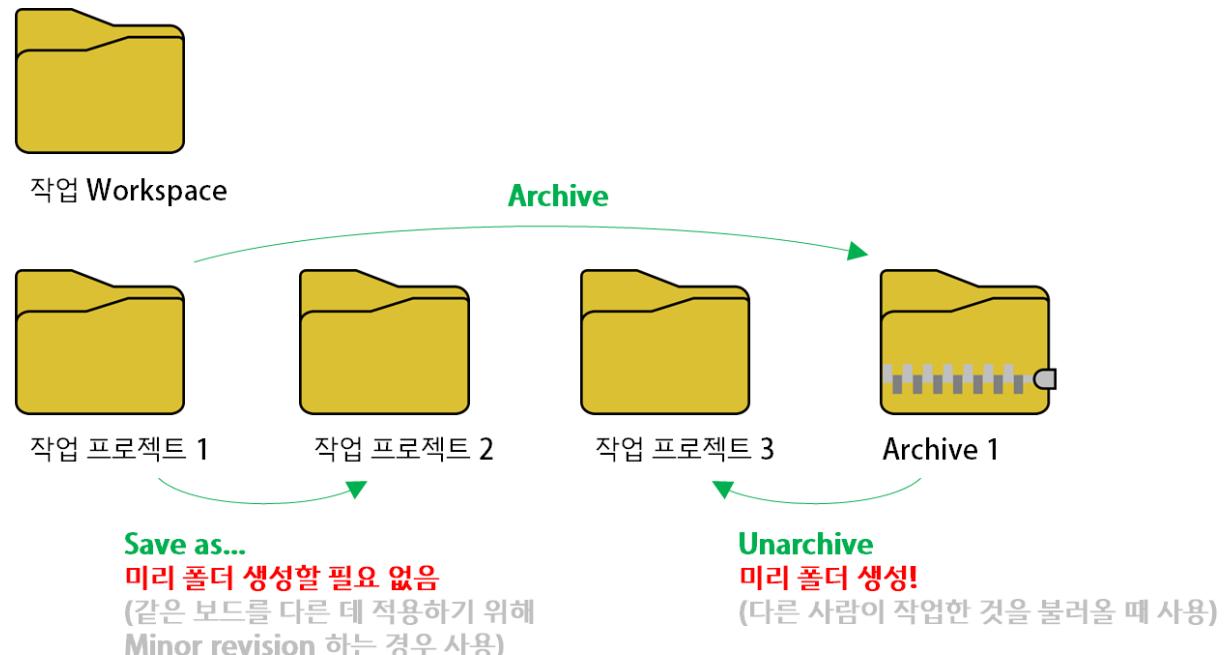
▶ 파일 (File) > Archive Project...

- ✓ Archive Project로 Zip 파일 형태로 묶어서 저장
- ✓ Footprint, Gerber, 3D 모델 등이 하위 프로젝트로 묶여 있으면 같이 저장됨.
 - Backup 파일 제외: 단순 프로젝트 폴더를 zip 파일로 묶으면 포함되는데, 이 때 Backup 폴더 내 저장된 파일의 용량에 유의

❖ 기존 프로젝트 불러오기

▶ 파일 (File) > Unarchive Project...

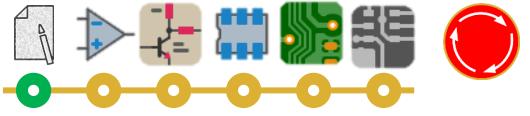
- ✓ Zip 파일로 저장된 프로젝트 파일을 불러오기
- ① 압축 풀고자 하는 폴더 미리 생성
- ② Archive한 Zip 파일 선택
- ③ 압축 풀고자 하는 폴더 경로 선택



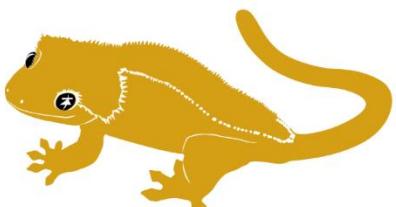
❖ 기존 프로젝트 다른 이름으로 저장

▶ 기존 프로젝트 파일을 열어둔 상태에서, 파일 (File) > Save as...

- ✓ 프로젝트 폴더가 자동으로 생성
- ✓ **프로젝트 명 변경**이나 보드를 다른 프로젝트에 Minor 수정하여 적용할 때 사용

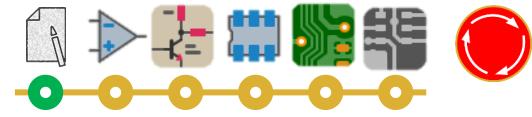


회로 설계 (Design circuit)

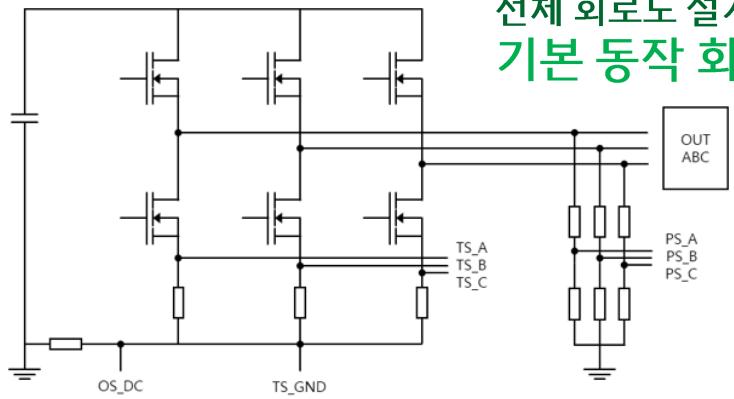


PLECKO

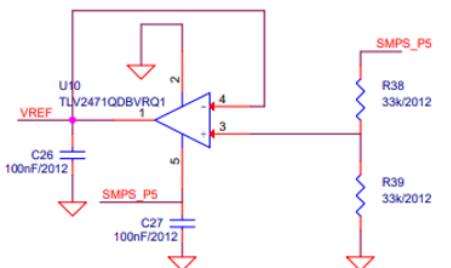
Design Circuit



❖ Schematic 작업 전, 회로의 개괄적인 구성



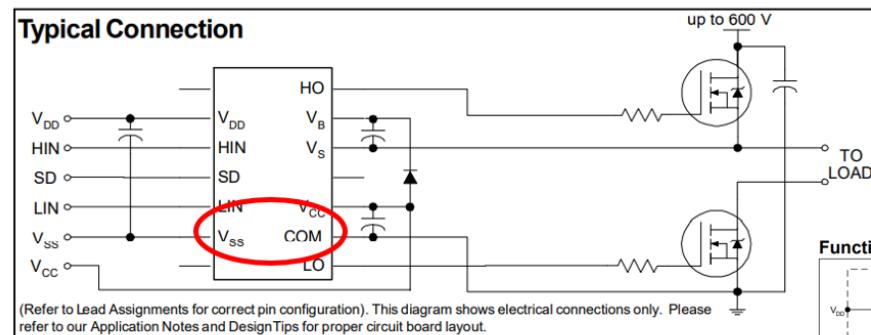
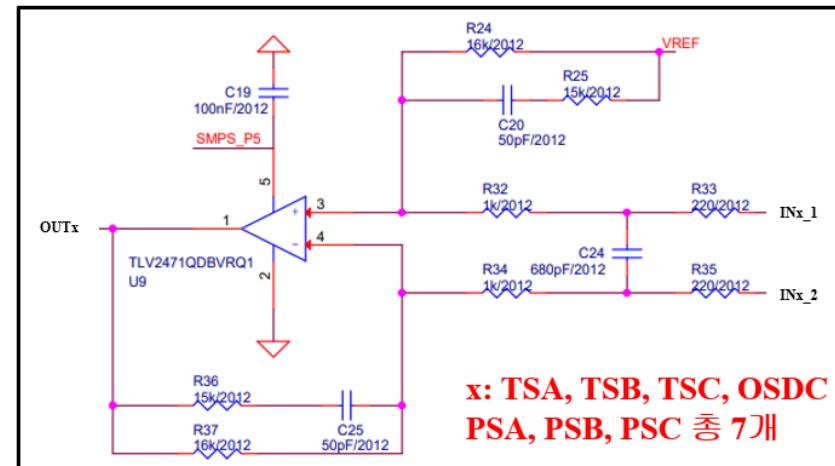
전체 회로도 설계 ①
기본 동작 회로 구성



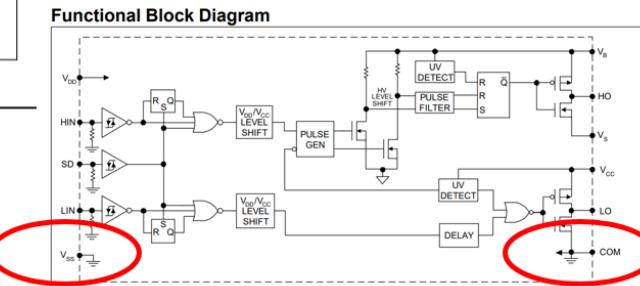
1 개

전체 회로도 설계 ② 기본 회로의 소자 선정

- 기능 및 가격 등 고려 → 보유 혹은 구매 가능 재고 확인
- 선정 후 Datasheet, Reference design 확보
- IC 정격 전압/전류, 부하 공급 전류, 소모 전력 등 고려
- 수동 소자 기본 설계 (저항, 캐패시터 등)



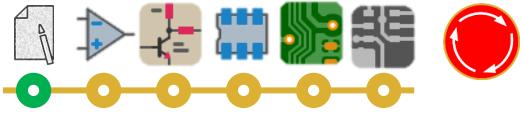
전체 회로도 설계 ③ 주변 회로 설계: Datasheet 등 참고



전체 회로도 설계 ④ Layout 간단 설계

- 전원 배치 및 접지 기본 설계
- 일점 접지 여부 등
- 크기 및 배선 등

Design Circuit



❖ 회로 설계 중 참고 자료 (Appendix)

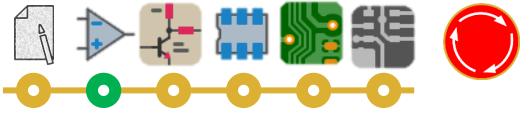
▶ SMD 저항 Metric과 표준 전력 소모

- ✓ 저항 크기에 따른 열 소모 고려
- ✓ 해당 표는 주로 사용하는 SMD 사이즈가 포함되어 있어, 세라믹 캐패시터 선정 시에도 참고 가능

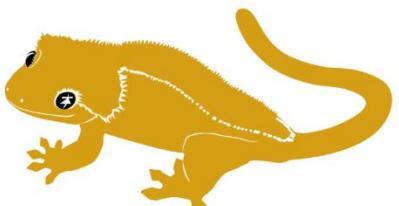
▶ 캐패시터 내압 고려 예시

- ✓ 사용하고자 하는 전압 범위보다 큰 내압을 가진 캐패시터 선정

▶ 노이즈 대책

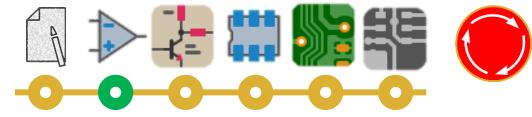


심볼 그리기 (Create symbols)



PLECKO

To do list



❖ 회로 그리기 전, 심볼 Check

▶ 규격화된 소자인지, 특이한 소자인지

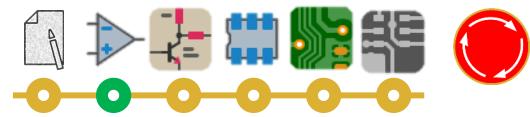
- ✓ 칩 저항, 칩 캐패시터 등: 일반적인 경우 Metric 기준 2012 혹은 1608 추천
 - 특수 목적의 경우 적절한 설계 후 적용
- ✓ 기본 라이브러리에서 같은 제품군의 **Schematic symbol**을 제공하는지 확인
 - Ex) 74AC, AD8495 등 시리즈가 있을 수 있음
- ✓ **새로 작업하지 않는 소자를 최대한 확보**

▶ 심볼 다운로드

- ✓ 일반 규격이 아닌 소자
 - Digikey, Mouser 등에서 다운로드 가능한 소자도 있음
 - Ultra Librarian, SnapEDA 등에서 직접 찾을 수도 있음
 - 제조사 홈페이지에서 제공하는 경우 있으나, KiCAD 용 라이브러리 미제공인 경우 많음
- ✓ 커넥터: **도면하고 비교하여 반드시 확인**
 - 되도록 표준 커넥터 사용
 - 새로 도입하는 경우, 주문 후 심볼 작업 추천

▶ 없는 경우, 새로이 작업

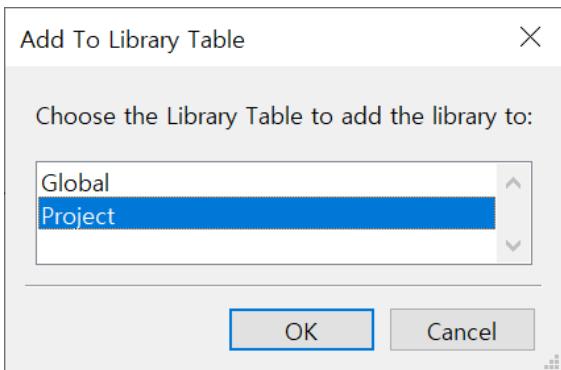
Create Symbols: 프로젝트 내 새 Library 생성



❖ 도구 (Tools)> 심볼 편집기 (Symbol Editor, Ctrl + L)

▶ File > New Library...

✓ (Project 내) 새로운 라이브러리를 생성하고, 본 프로젝트에 Symbol을 별도 저장하는 것을 권장



▶ New Library

File name: Plecko_Lib

Save as type: KiCad symbol library files (*.kicad_sym)

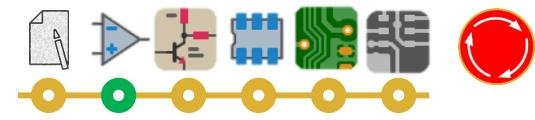
File > Edit > View > Place > Inspect > Preferences > Help

Libraries

Filter

| Item | Description |
|-------------------------|----------------|
| > Motor | Motor symbol |
| > Oscillator | Oscillator sym |
| ▼ Plecko_Lib | |
| > Potentiometer_Digital | Digital poter |
| > power | Power symb |
| > Power_Management | Power mana |
| > Power_Protection | Power protec |
| > Power_Supervisor | Power super |
| > Reference_Current | Precision cur |

Create Symbols: Library 관리

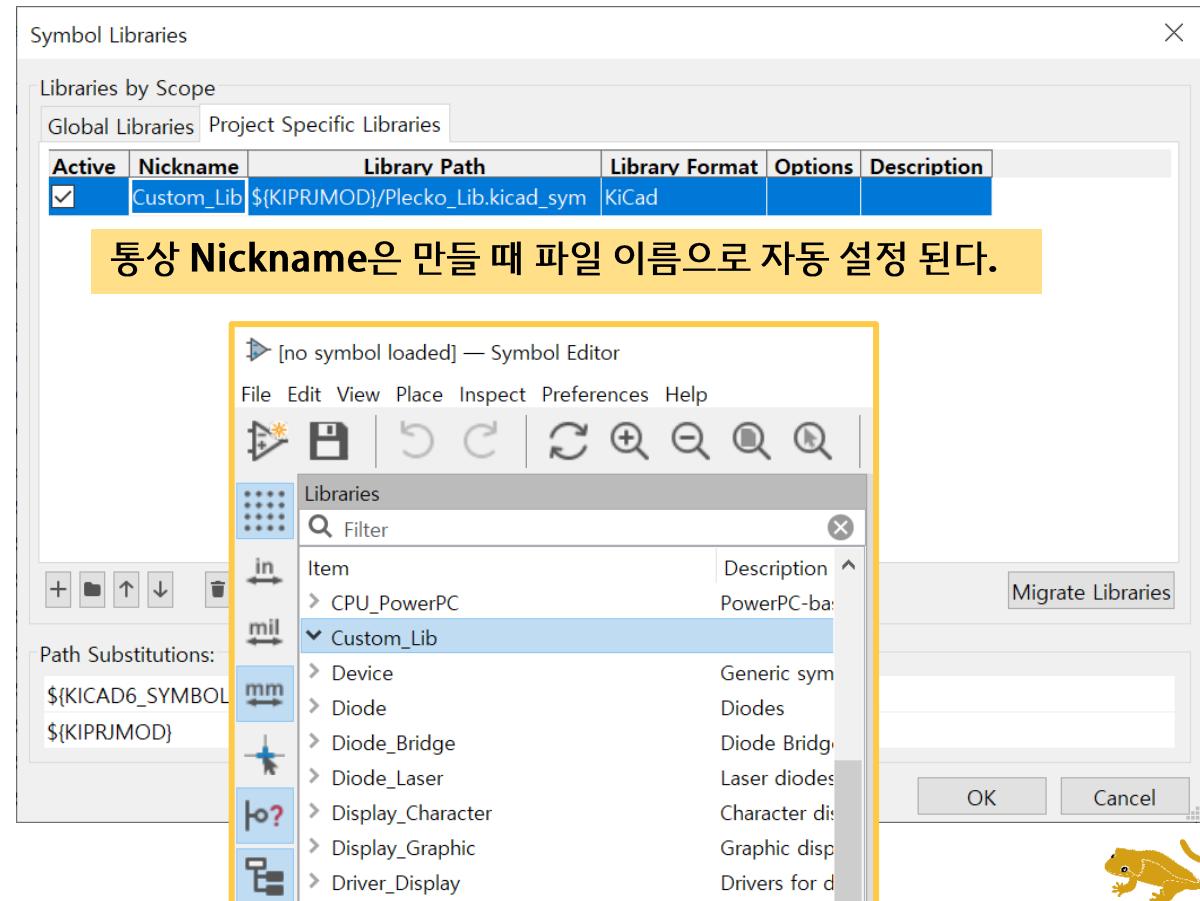
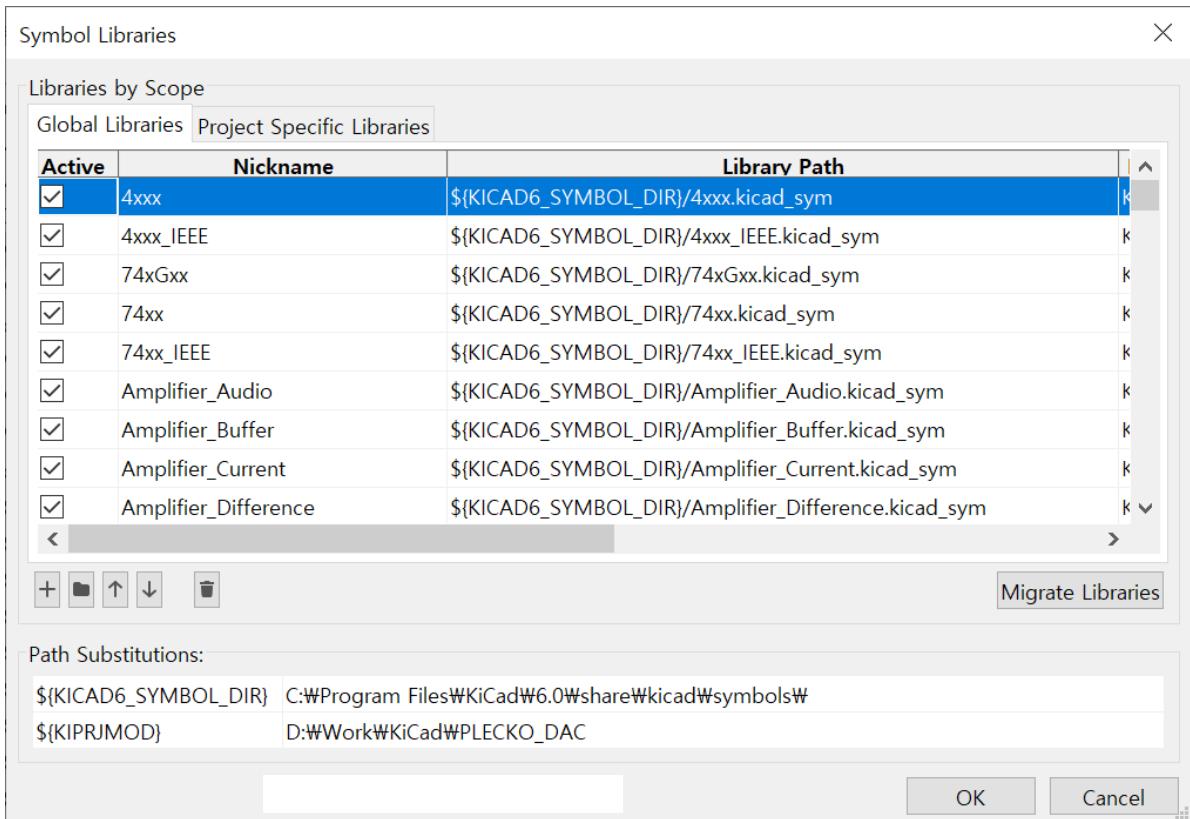


❖ 도구 (Tools) > 심볼 편집기 (Symbol Editor, Ctrl + L)

▶ Preferences > Manage Symbol Libraries..

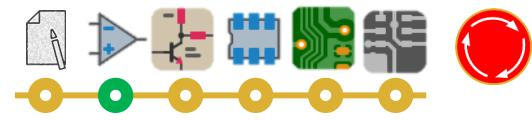
✓ Global Libraries: 기본 Library와 전역 Library 관리

✓ Project Specific Libraries: 해당 프로젝트 내의 Library를 관리 ⇒ 파일 이름과 별개로 Nick Name 설정 가능



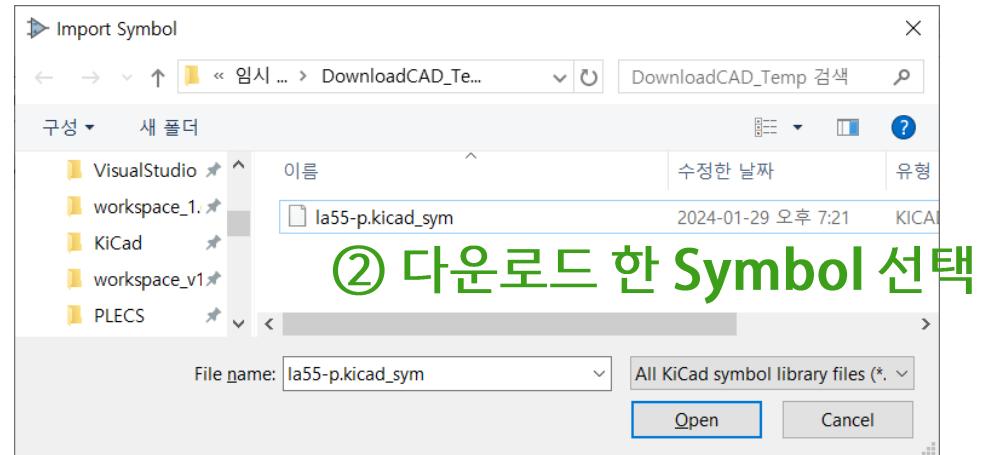
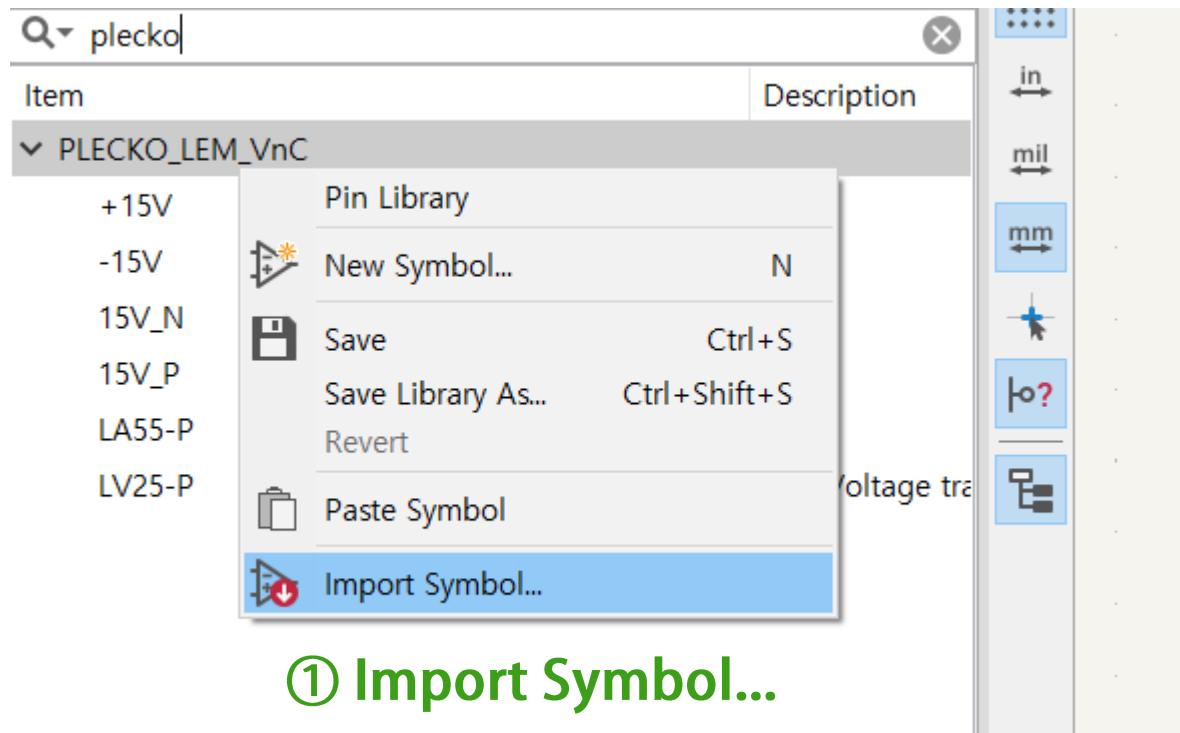
PLECKO

Create Symbols: 다운로드 Symbol 삽입



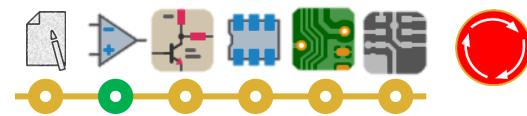
❖ 지역 라이브러리 선택 후 우클릭 > Import Symbol...

▶ 6.0 이상 확장자: kicad_sym



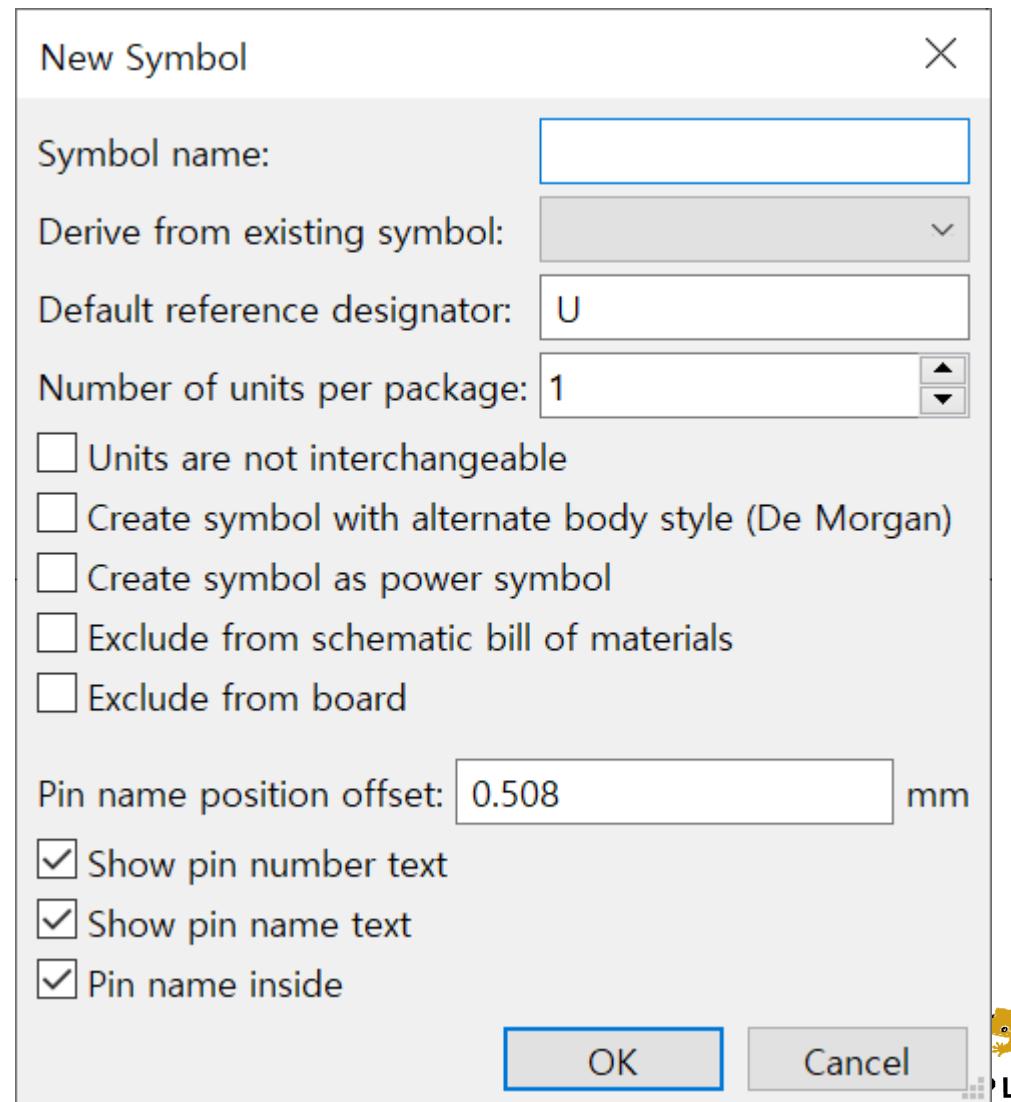
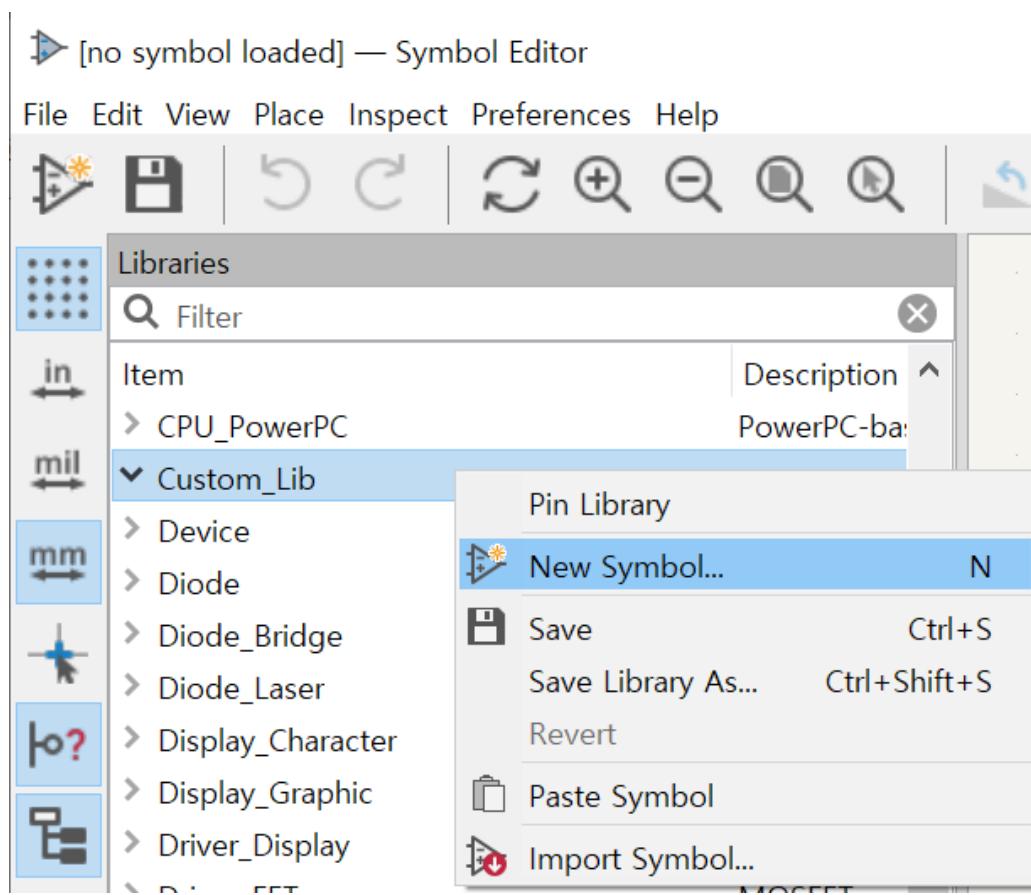
③ 저장

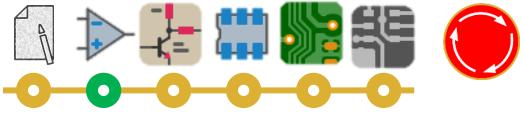
Create Symbols: New symbol



❖ 라이브러리 선택 후 우클릭 > New Symbol... (N)

- ▶ **Symbol name:** 소자 이름으로 설정하는 것을 권장함
- ▶ **Reference designator:** 소자 성격에 맞춰 설정
- ▶ **Power pin**은 회로 자체적으로 쓰는 전원 종류 추가 시
새로 만들 수 있음 (Ex. +15V1, +15V2, +15V3...)





Create Symbols

❖ 심볼 작업 중 참고 자료 (Appendix)

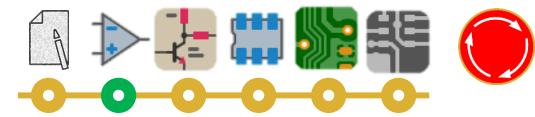
▶ Reference designator

- ✓ 저항은 R, 캐패시터는 C 등 표준으로 권장
- ✓ 추후 스키메틱을 보고 기능을 파악하기 쉬움

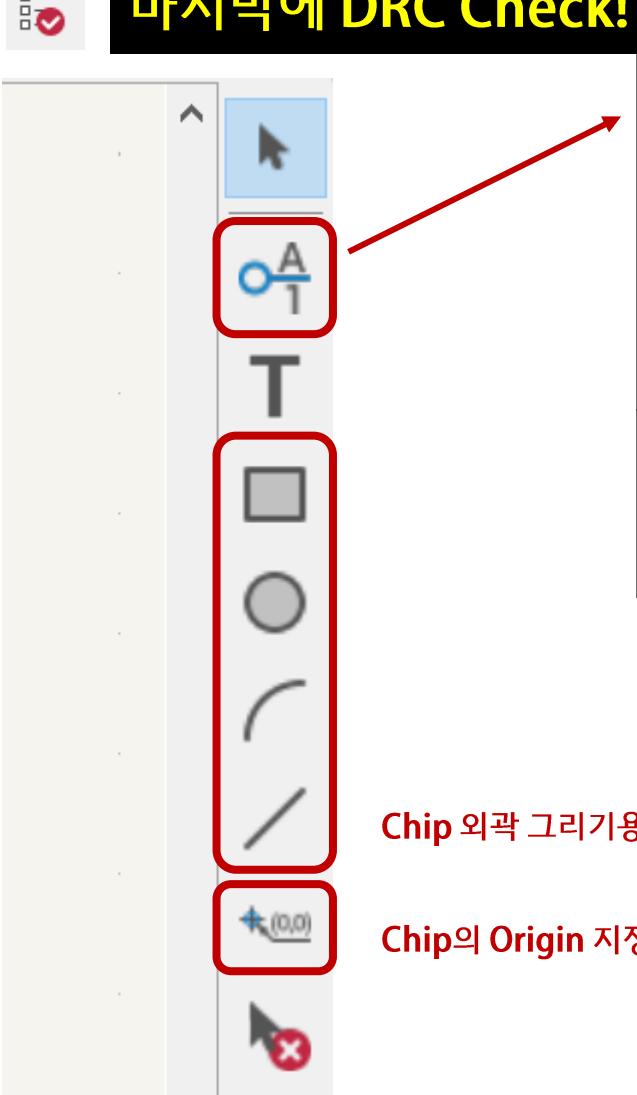
▶ 표준 Package

- ✓ IC 등의 표준화된 패키지 레이아웃
- ✓ 추후 대체 가능성을 고려하여 부득이한 경우가 아니라면 표준 Package 사용
- ✓ SOIC, SOP 등

Create Symbols: Draw symbols

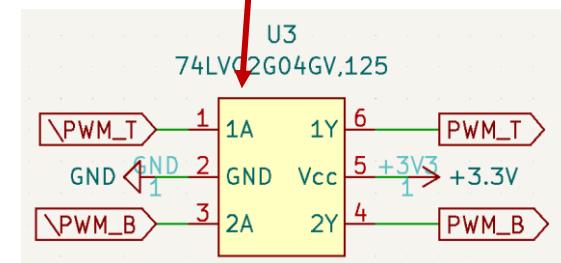
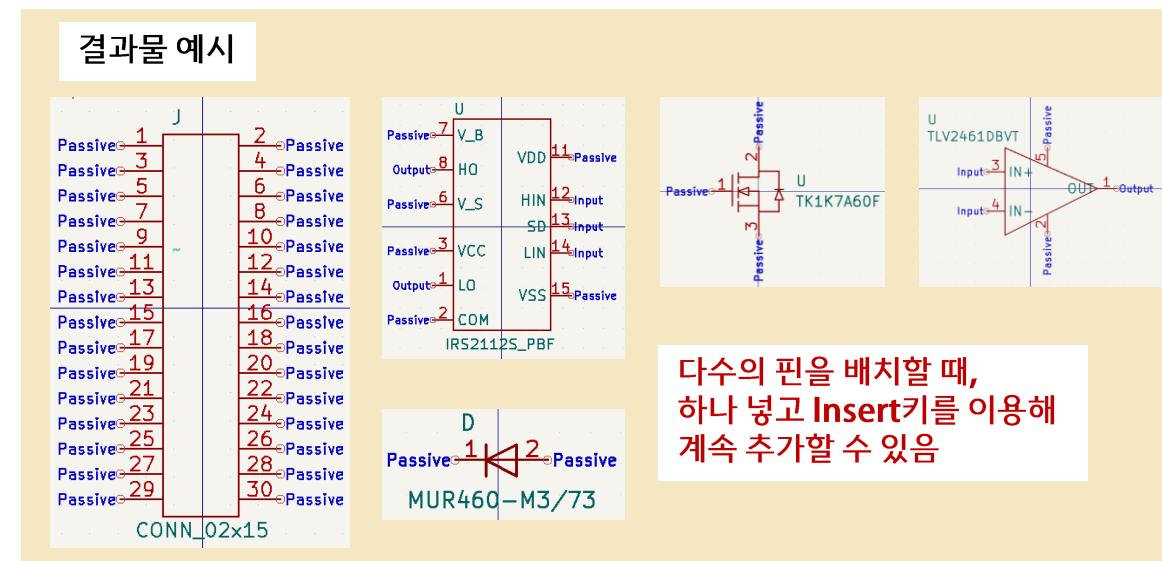
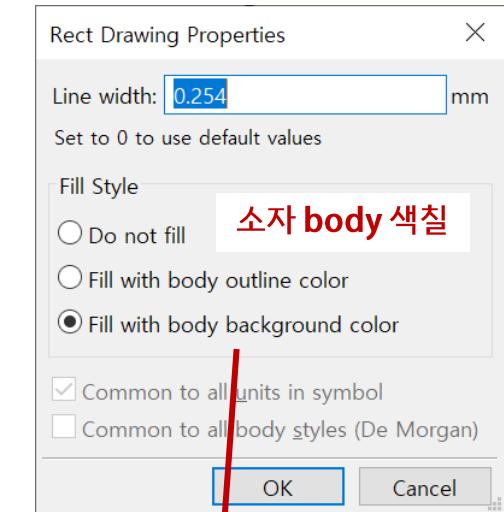
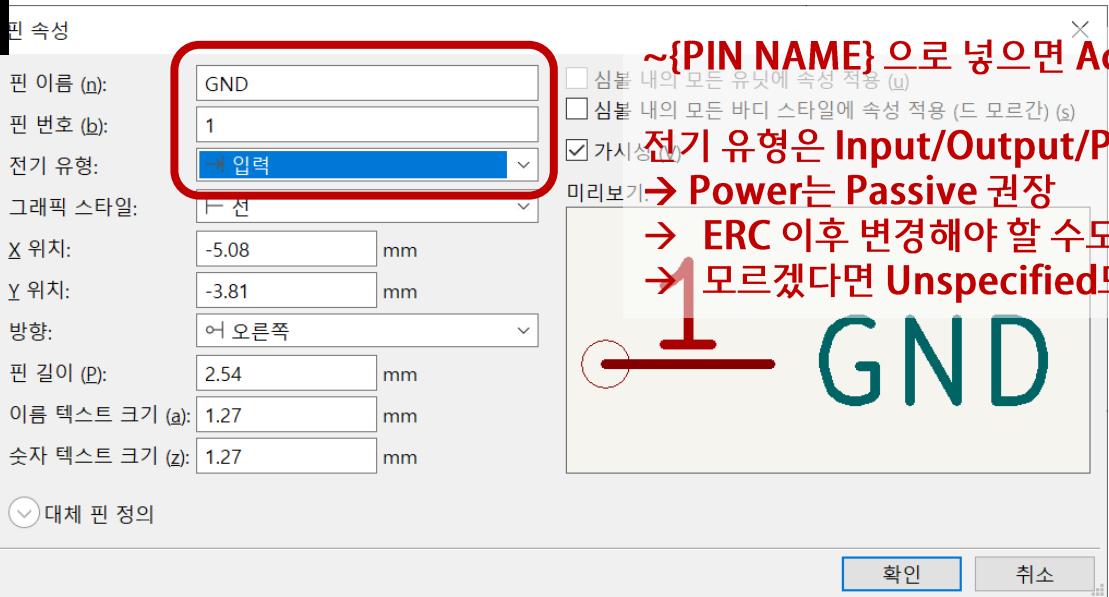


마지막에 DRC Check!



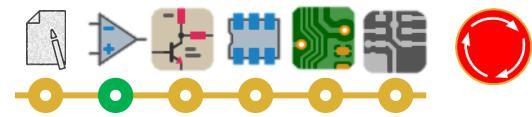
Chip 외곽 그리기용

Chip의 Origin 지정



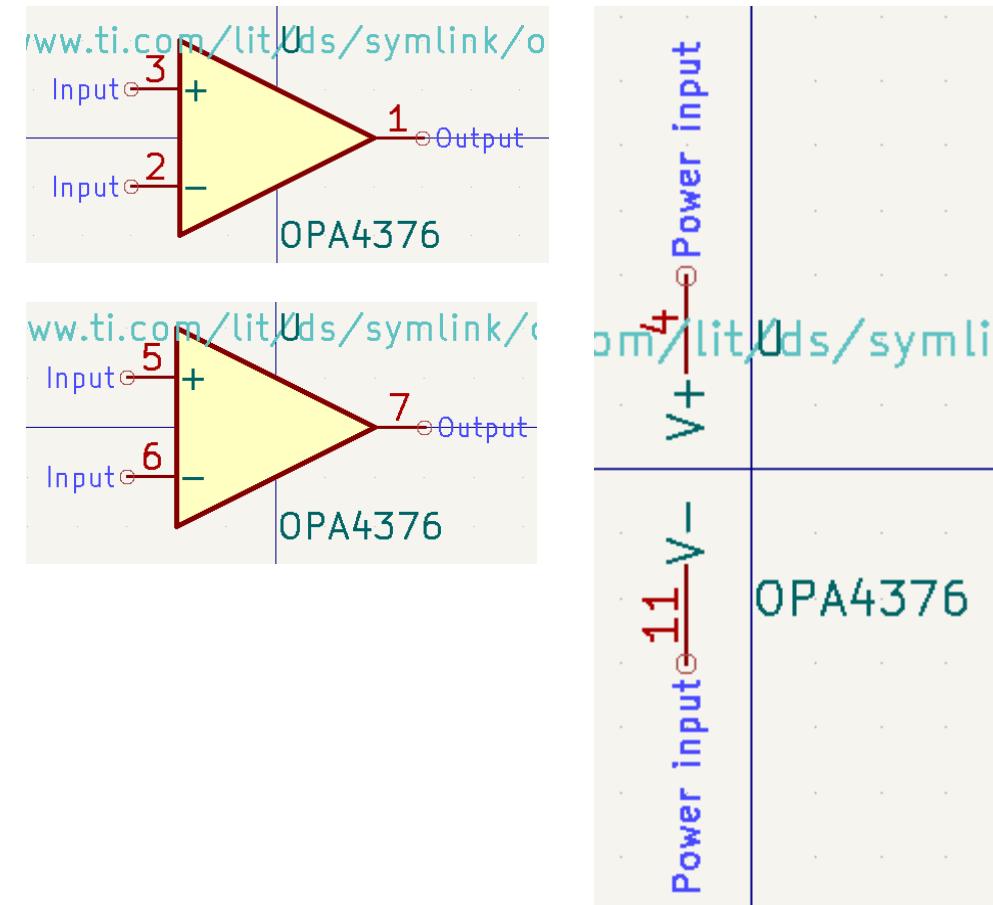
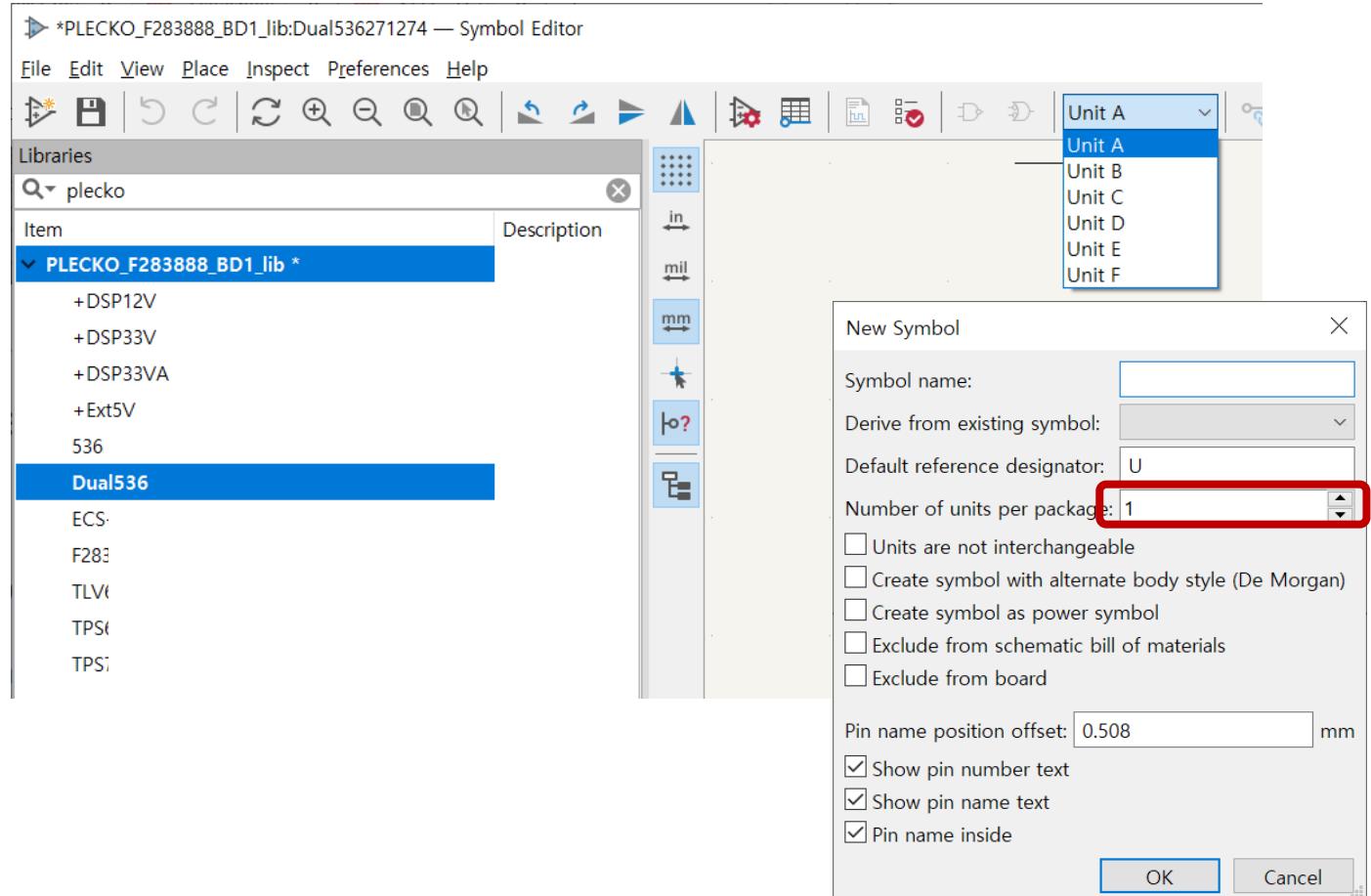
PLECKO

Create Symbols: Unit symbol

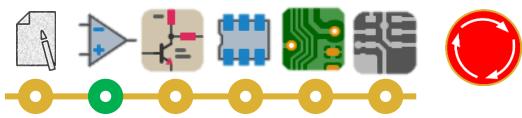


❖ Unit 나누기

- ▶ Number of units per package: Unit 개수 지정
- ▶ Ex) OPA4376: 동일한 소자가 여러 개 들어 있는 경우,
 - ✓ 해당 소자는 Gate가 4개 들어간 소자
 - ✓ 전원부, 소자부 4개 따로 분리된 형태로 만들 수 있음



Create Symbols: Power pin generation



① 전원 이름

New Symbol

Symbol name: DSP33V

Derive from existing symbol:

Default reference designator: #PWR **② #PWR**

Number of units per package: 1

All units are interchangeable

Create symbol with alternate body style (De Morgan)

Create symbol as power symbol

Exclude from schematic bill of materials

Exclude from board

Pin name position: 0 mm

Show pin number text

Show pin name text

Pin name inside

③ Create symbol as power symbol

④ OK

① Pin name = Symbol name

② Pin number = 1

③ Electrical type: Power input

④ Orientation: Up

⑤ Pin length = 0

⑥ Visible 체크 해제

⑦ OK

Pin Properties

Pin name: DSP33V

Pin number: 1

Electrical type: Power input

Graphic style: Line

X position: 4.318 mm

Y position: -3.556 mm

Orientation: Up

Pin length: 0 mm

Name text size: 1.27 mm

Number text size: 1.27 mm

Common to all units in symbol

Common to all body styles (De Morgan)

Visible

Preview: 1DSP33V

① Reference Show 해제

② Value와 Symbol name 같도록

③ Define as power symbol 확인

④ Show 모두 해제

⑤ OK

*Library Symbol Properties

General Footprint Filters

Fields

| Name | Value |
|-----------|--------|
| Name | DSP33V |
| Reference | #PWR |
| Value | DSP33V |
| Footprint | |
| Datasheet | |

Symbol name: DSP33V

Description:

Keywords:

Derive from symbol:

General

Number of Units: 1

All units are interchangeable

Has alternate body style (De Morgan)

Define as power symbol

Pin Text Options

Show pin number

Show pin name

Place pin names inside

Position offset: 0.508 mm

Attributes

Exclude from simulation

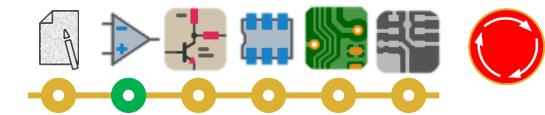
Exclude from schematic bill of materials

Exclude from board



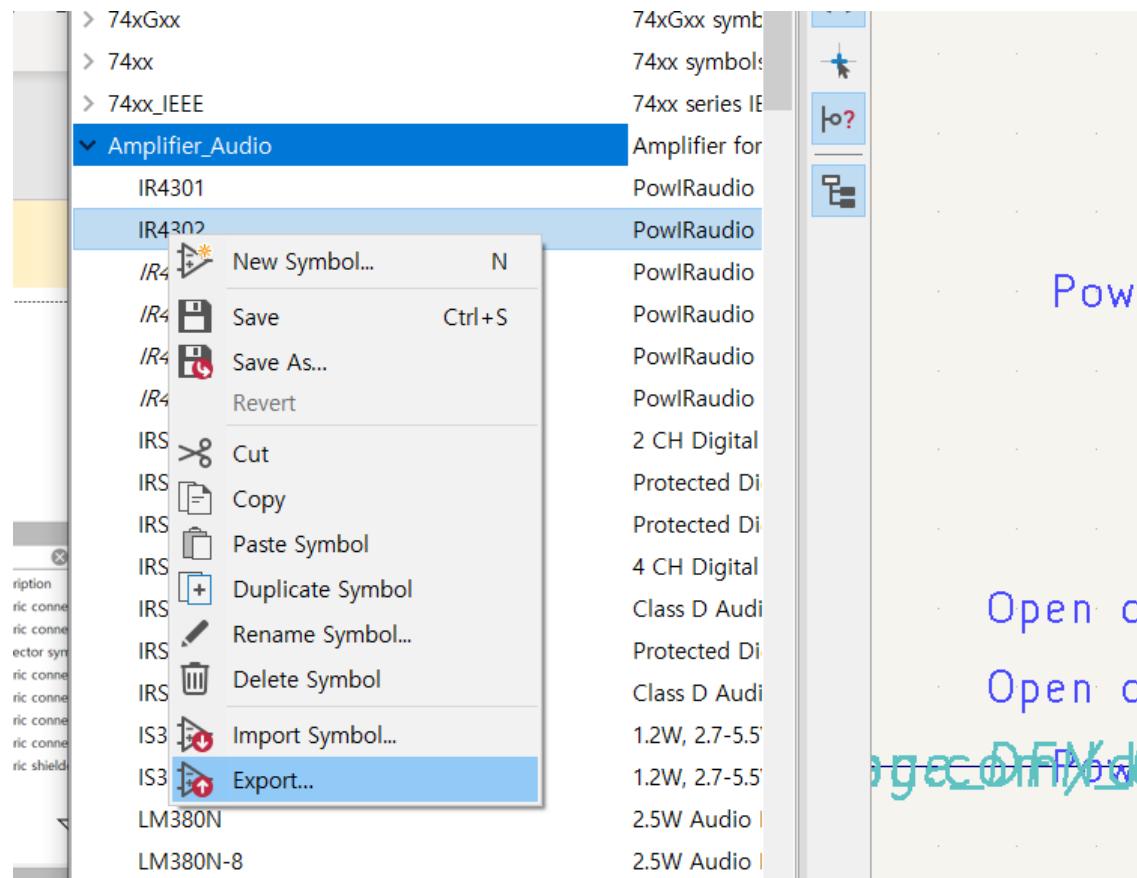
화살표 그림은 취향

Create Symbols: Copy reference part symbols

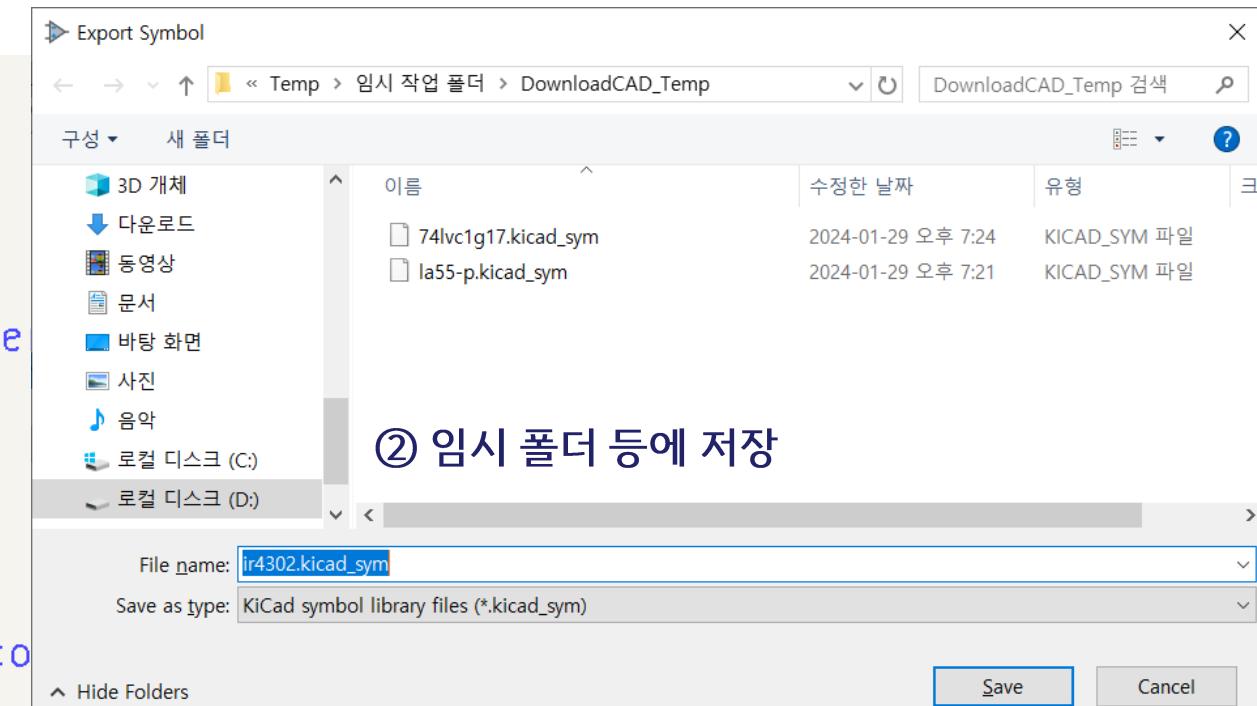


❖ 기존 Symbol을 활용하고 싶을 때 → Export 사용 권장

▶ 별도의 저장 공간에 Export 후, 다운로드 라이브러리 불러오기와 같은 과정 수행



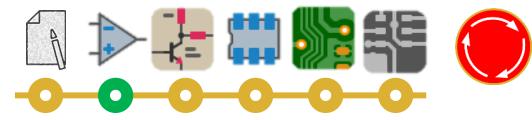
① 원하는 Symbol 우클릭 후 Export...



② 임시 폴더 등에 저장

③ 다운로드한 심볼과 같은 과정으로 Import

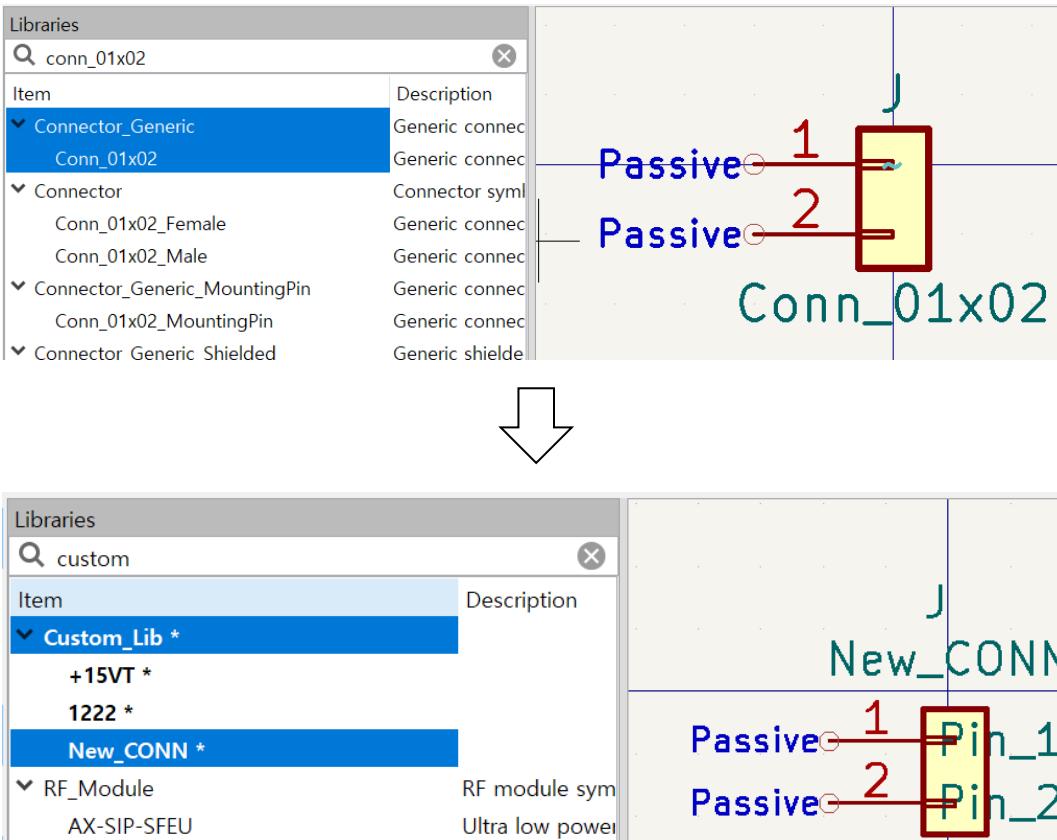
Create Symbols: Copy reference part symbols



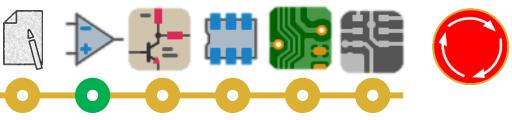
❖ 기존 Symbol 그림 복사

▶ 커넥터 등 기존 라이브러리에 있는 심볼의 그림만 활용할 때

- ✓ 기존 라이브러리의 전체 그림을 선택, 복사
- ✓ 새로 만든 Symbol 페이지에 붙여넣기
- ✓ 핀 설정 등은 다시 확인



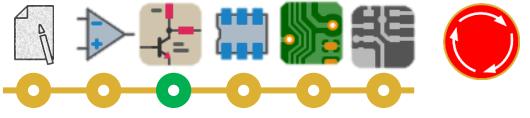
Tip) 간단히 Pin 추가 하기



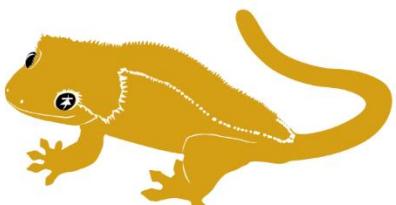
❖ Insert 키 사용

- ▶ 1번 핀 만들고 Insert 키를 누르면 동일한 핀이 추가 된다.
 - ✓ A1이라고 하고, Insert를 누르면 A2, A3, ... 가 추가 된다.
 - ✓ In many places in KiCad, pressing “Insert” will repeat the last action. The location of the new item will be shifted and the numbering incremented automatically, as applicable.
In the Symbol Editor, this can be used to place a large number of pins quickly.
In the Schematic Editor, it can be used to repeatedly place a component, or to label a large component’s pins with numbered labels. “Insert” can be useful in the Footprint and Board Editors as well.
- ▶ 많은 다리의 커넥터, DSP GPIO 등 편하게 쓸 곳이 많음.
- ▶ Tip) 선 연결도 된다.
 - ✓ Schematic 작업 시 활용



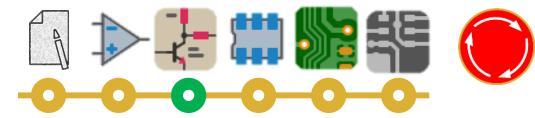


스키메틱 그리기 (Create schematic)



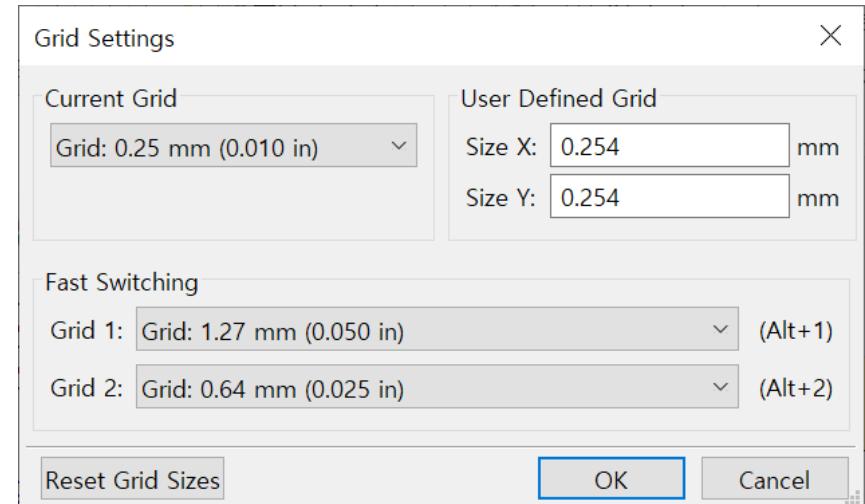
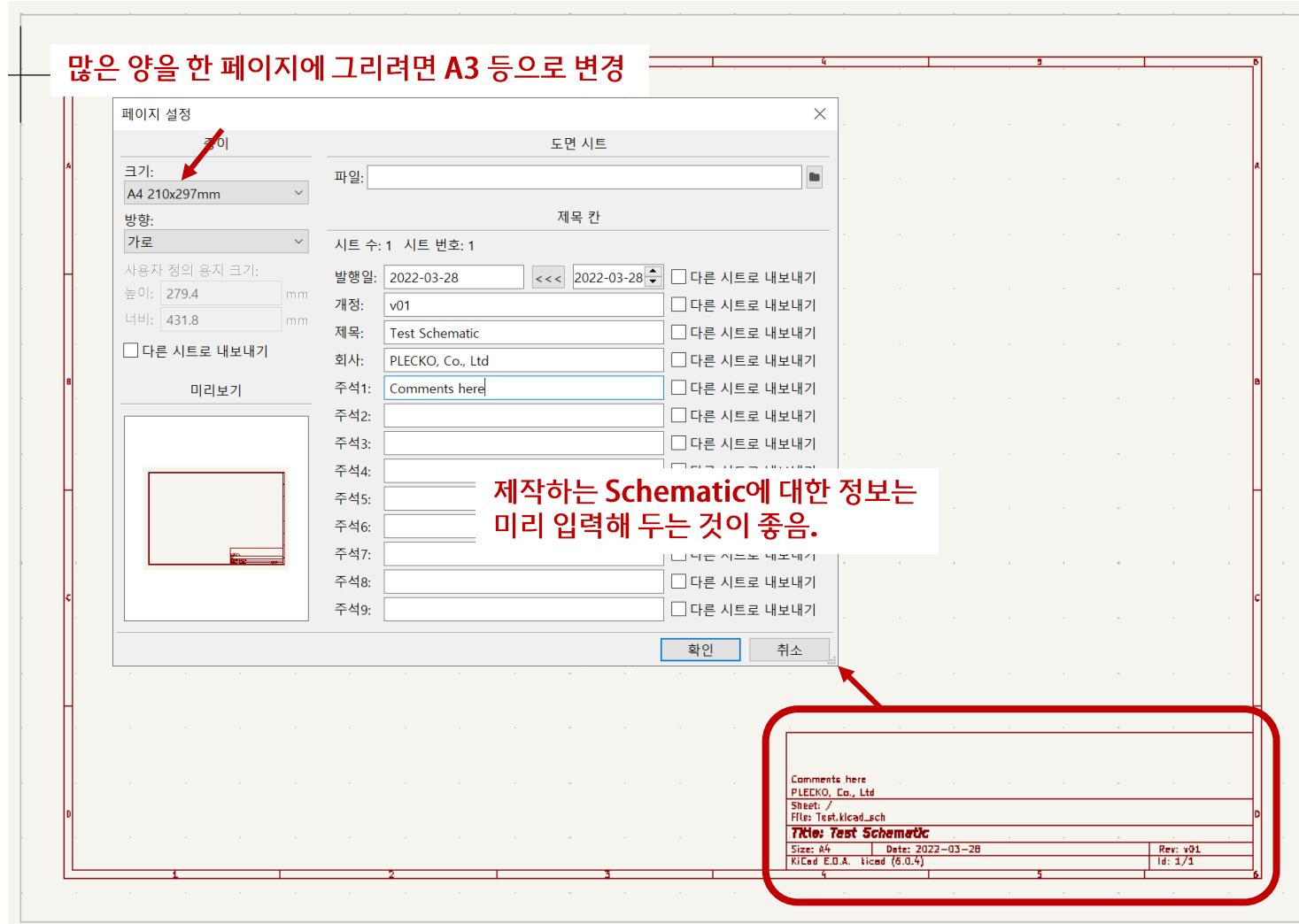
PLECKO

Create Schematic: Sheet setting



❖ 도구 (Tools) > 회로도 편집기 (Schematic Editor, Ctrl + E)

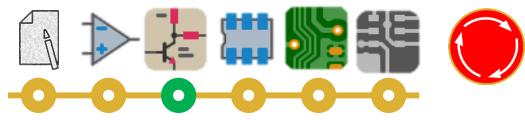
- ▶ File > Page Settings..
- ▶ View > Grid Properties..



▲ 작업 Grid 설정

Symbol이 보통 inch (2.54 mm) 단위로 편집되므로, Schematic도 inch 단위로 설정 하면 편하다.
1.27 mm 권장
※ Layout은 다름.

Create Schematic: Icons



← Wire 연결 (>v7, Shift + Space로 45도 가능)

← BUS

← BUS 분기

← NC (Not Connect)

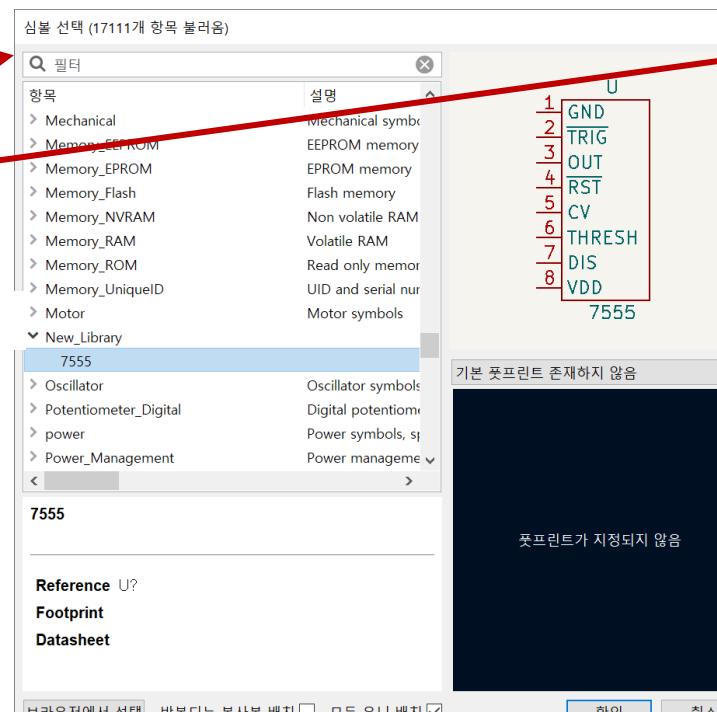
← 선 분기

← 네트 라벨: Pour 등 특정 선에 이름 부여 가능

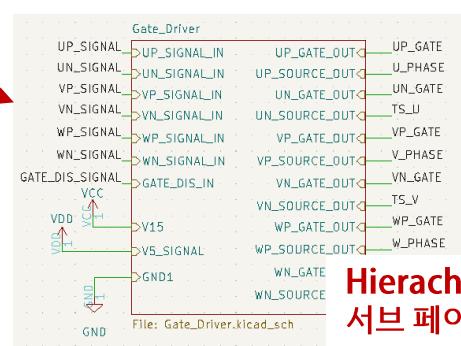
← 전역 라벨

← 페이지 추가

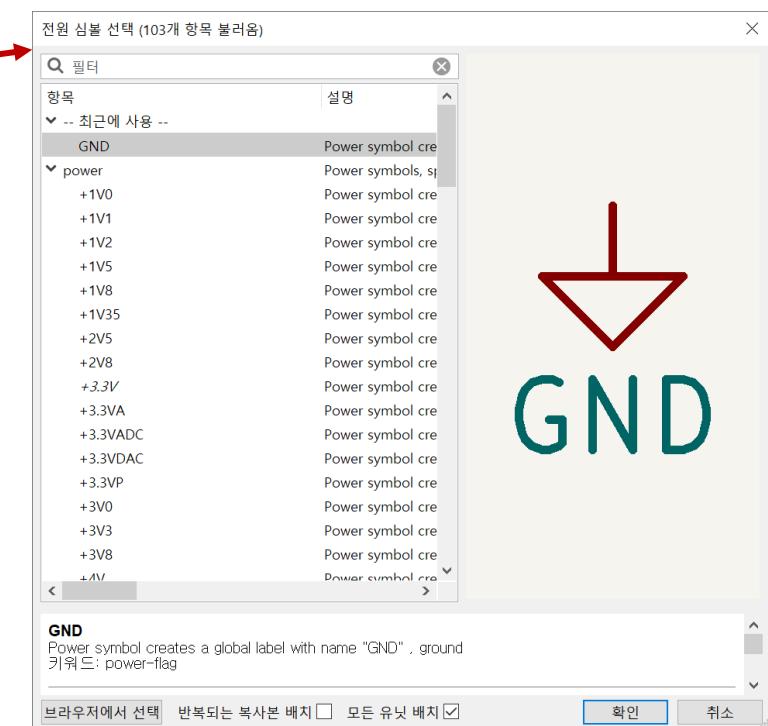
← Text 입력: 회로 별 Comment 등



심볼 추가: 전역 라이브러리 및
새로이 만든 라이브러리 사용 가능
검색창에 소자 및 라이브러리 명 검색 가능



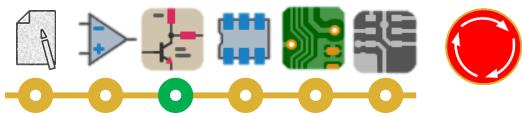
Hierarchical 라벨:
서브 페이지에 Port 만들 때 사용



전원 관련

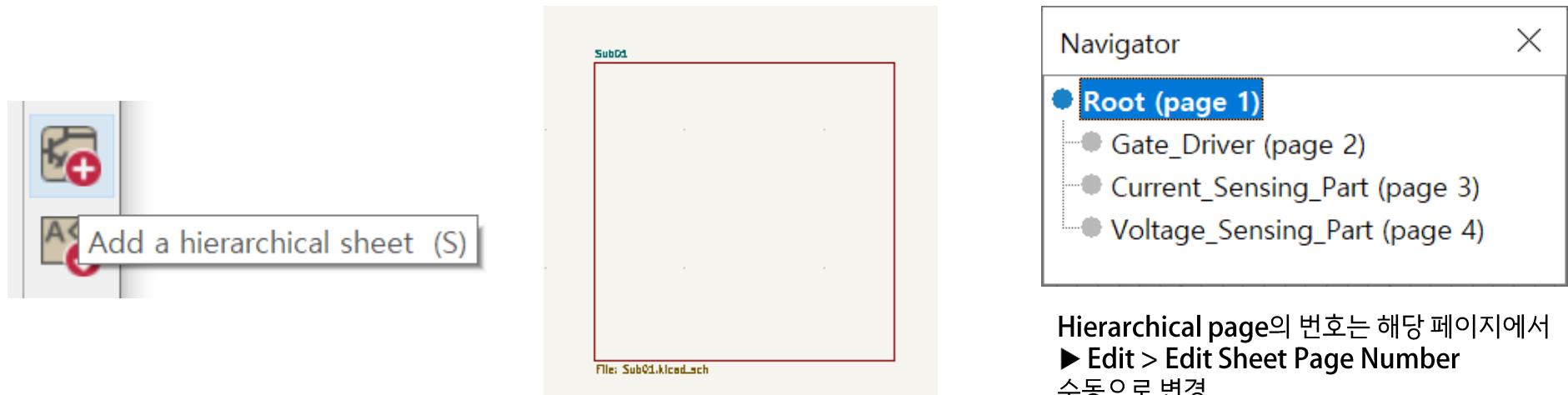
Hierarchical sheet를 사용하면,
(1) Global하게 동일하게 사용하거나,
(2) Local마다 GND1, GND2, ... 등 따로 사용하는 방법도 있음.
(3) 경우에 따라, 새로운 Power pin을 만들어서 사용

Create Schematic: Hierarchical pages

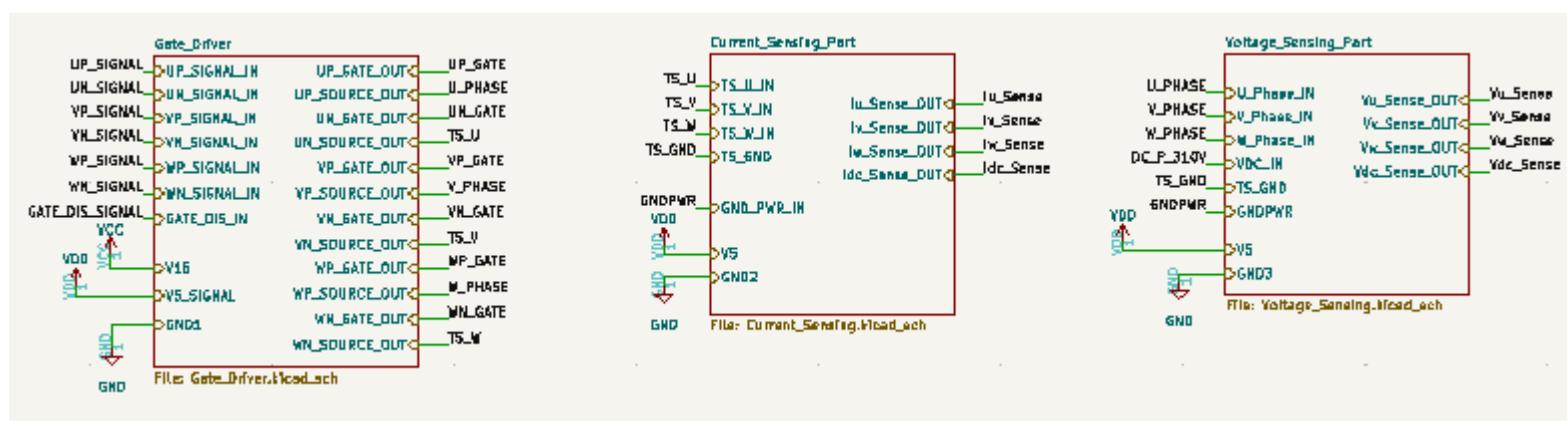


❖ Hierarchical sheet

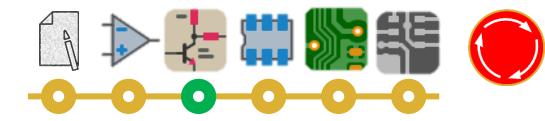
- ▶ Submodule을 구성하여 회로를 나눠서 그릴 수도 있다.



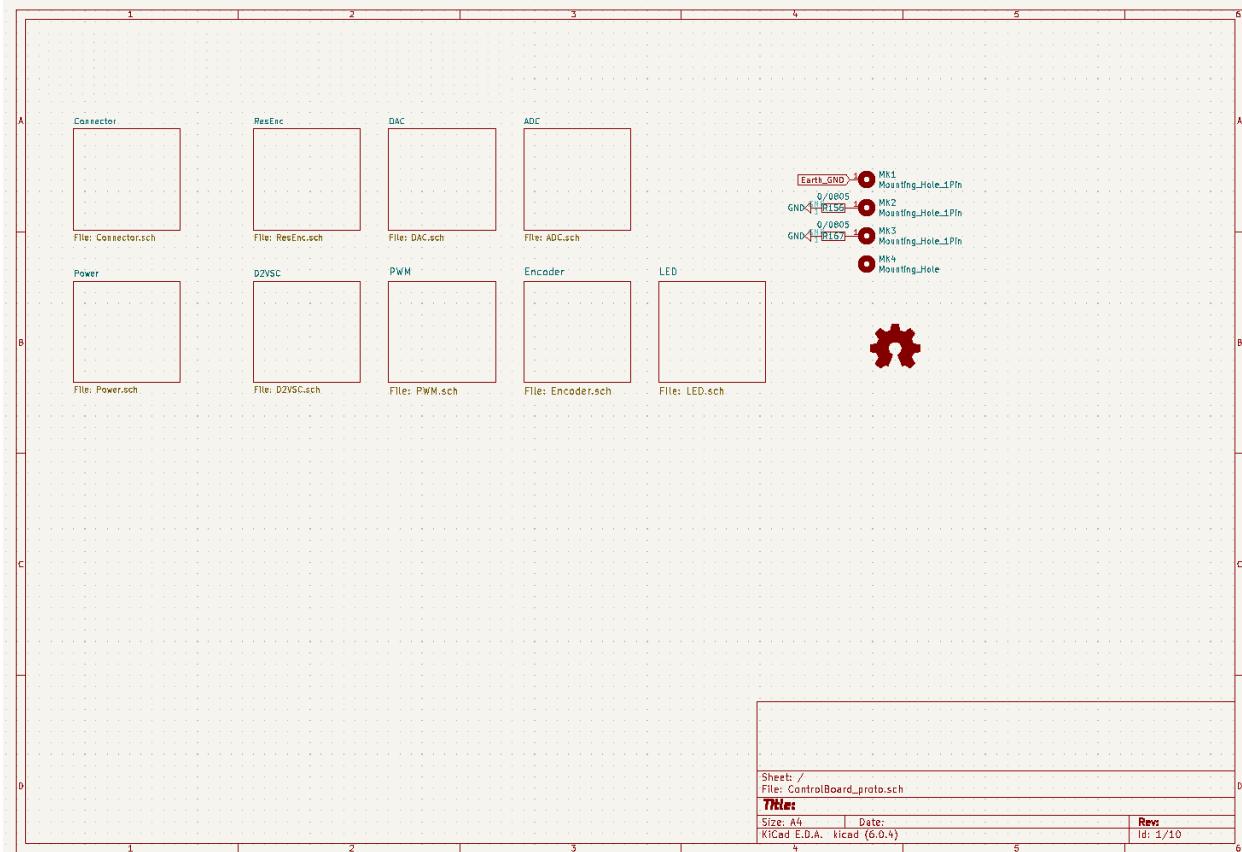
Hierarchical page의 번호는 해당 페이지에서
▶ Edit > Edit Sheet Page Number
수동으로 변경



Create Schematic: Example

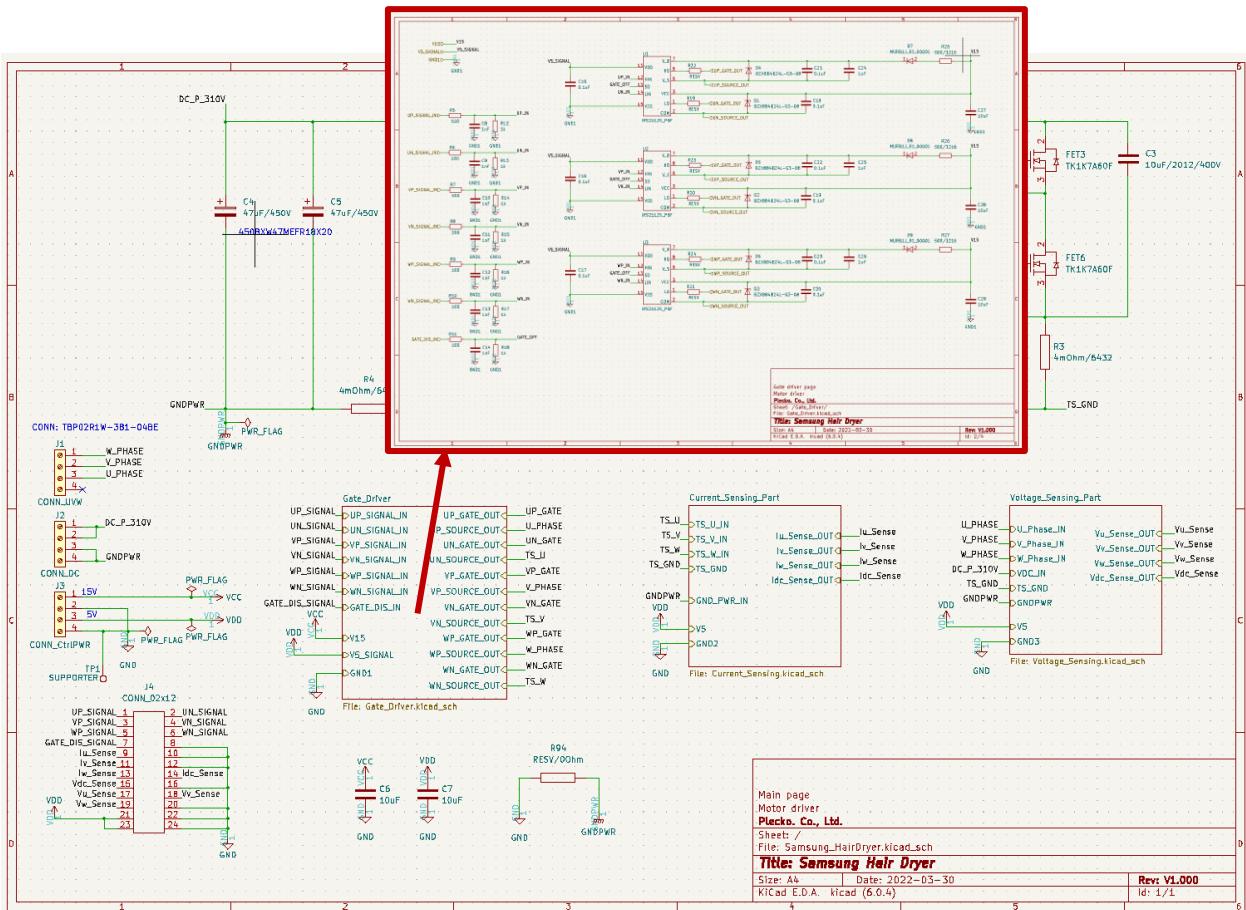


❖ Hierarchical sheet 구성 예시



※ Global label을 이용한 hierachial sheet 구성 예시

Sheet 간 Wiring을 활용



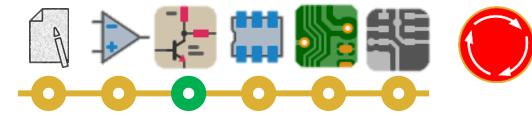
※ Net label을 이용한 hierachial sheet 구성 예시

Sheet 간 Wiring이 없어 Global label을 사용하지 않는 예시
각 sheet 입출력은 Hierachical label, sheet 내부는 Net label을 사용한 예시
⇒ Sheet간 Wiring을 Global label을 이용해서 구성할 수도 있다.



PLECKO

Create Schematic: Component settings



❖ 소자 정보 입력

▶ Value

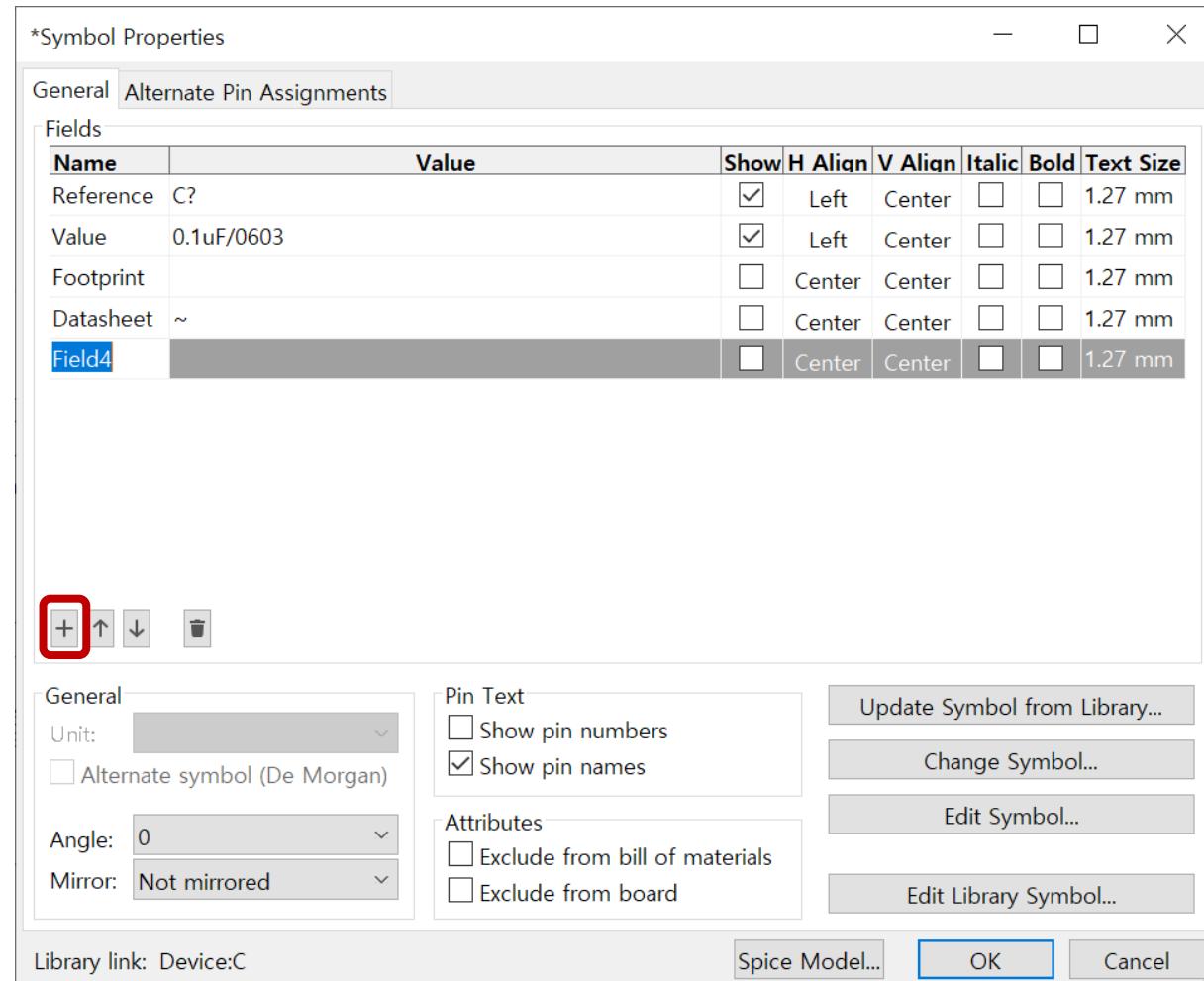
- ✓ 수동 소자: 값/크기 (ex. 10uF/0805, 649/2012)
- ✓ IC: 소자 이름

▶ Footprint

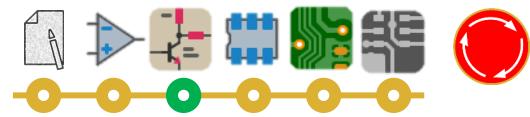
- ✓ 미리 지정할 수 있으면 지정
 - 칩 저항, 캐패시터 등은 사이즈에 맞춰 미리 지정
- ✓ IC는 추후 Footprint 작업 후 지정해도 됨.

▶ Custom..

- ✓ '+' 버튼을 누르고 Field 추가
- ✓ Manf# (Manufacture product number)
 - 실제 검색되는 프로덕트 넘버
 - Package를 특정할 수 있는 정보도 포함됨.
- ✓ Digikey# / Mouser# ...
 - 구매 사이트에서 제공되는 번호로도 관리 가능
- ✓ BOM List로 추후 작업 이력, 사용 소자 등을 관리하기 위하여 사용함.
- ✓ Datasheet는 링크를 주로 사용



Create Schematic: Field table



❖ Field 생성: BOM에 표기되는 정보



Group 별로 일괄 지정할 수도 있다.
Group은 Reference name에 따라서 프로그램에서 알아서 묶어 준다.

Symbol Fields Table

| Field | Show | Group By | Reference | Value | Footprint | Datasheet | Digikey | Manf# | Qty |
|-------------------------------------|-------------------------------------|-------------------------------------|--|---------------------|---|-----------------------|--------------------|-------|-----|
| <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> | > C?, C? | 10uF/0805 | ~ | -- mixed values -- | -- mixed values -- | 18 | |
| | | | > C?, C? | 0.01uF/0603 | ~ | -- mixed values -- | -- mixed values -- | 26 | |
| | | | C? | 1nF/0805 | ~ | | | 1 | |
| | | | C? | 0.01uF/0603 | ~ | | | 1 | |
| | | | > C?, C? | 12pF/0603 | ~ | | | 2 | |
| | | | > C?, C?, C?, C? | 56pF/0603 | ~ | | | 4 | |
| | | | > C?, C?, C? | 1nF/0603 | ~ | | | 3 | |
| | | | C? | 0.1uF/0805 | ~ | | | 1 | |
| | | | C? | 47uF | http://nichicon-us.com/english/products/pdfs/e-uwt.pdf | 493-2225-1-ND | UWT1H470MCL1GS | 1 | |
| | | | > D?, D?, D?, D? | US1NWF-7 | ~ | | | 4 | |
| | | | > D?, D? | RED/0805 | ~ | | | 2 | |
| | | | > D?, D? | BZT52C10-TP | ~ | | | 2 | |
| | | | > D?, D? | BAT42W-TP | ~ | | | 2 | |
| | | | D? | BAT54W-HG3-18 | ~ | | | 1 | |
| | | | > D?, D? | EDZVT2R6.2B | ~ | | | 2 | |
| | | | D? | SML-310MTT86 | https://kr.mouser.com/datasheet/2/348/rohm_semiconductor_511-1299-1-ND | SML-310MTT86 | 1 | | |
| | | | J? | 2pin conn | https://www.phoenixcontact.com/ko-kr/products/pcb-header | MC1,5/2-G-3,5_P14_THR | 1 | | |
| | | | J? | Conn_Coaxial | ~ | | | 1 | |
| | | | J? | SS-60300-010 | | | | | |
| | | | > J?, J?, J?, J? | ESQ-102-33-L-D | ~ | | | | |
| | | | > L?, L? | SRF0905-400Y | ~ | | | | |
| | | | > L?, L? | ACT45B-101-2P-TL003 | ~ | | | | |
| | | | > R?, R?, R?, R?, R?, R? | 120/0603 | ~ | | | | |
| | | | R? | 20k/0603 | ~ | | | | |



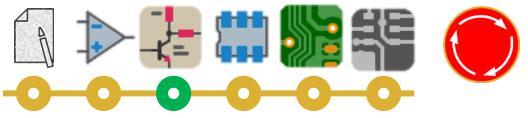
반드시 적용 후
Apply, Save Schematic & Continue 누른 후 OK
가끔 OK만 누르면 적용 안 됨.

Apply, Save Schematic & Continue

OK

Cancel

Create Schematic: Field table



❖ Field 관리 및 BOM 생성

- ▶ Field는 하단에 표기된 것만 남기고 지워둔다.
- ▶ BOM 생성은 하단의 Export as CSV 메뉴를 활용한다.

Symbol Fields Table

| Field | Show | Group By |
|-----------|-------------------------------------|-------------------------------------|
| Reference | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Value | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Footprint | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Datasheet | <input type="checkbox"/> | <input type="checkbox"/> |
| DigiKey# | <input checked="" type="checkbox"/> | <input type="checkbox"/> |
| Manf# | <input checked="" type="checkbox"/> | <input type="checkbox"/> |
| PACKAGE | <input checked="" type="checkbox"/> | <input type="checkbox"/> |
| Mouser# | <input checked="" type="checkbox"/> | <input type="checkbox"/> |

Add Field... Remove Field...

Filter Group symbols

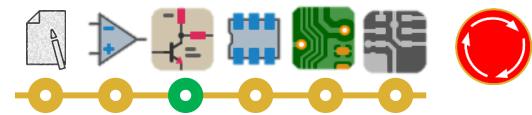
| Reference | Value |
|-----------|-------|
| | |

Export as CSV... Apply, Save Schematic & Continue OK Cancel



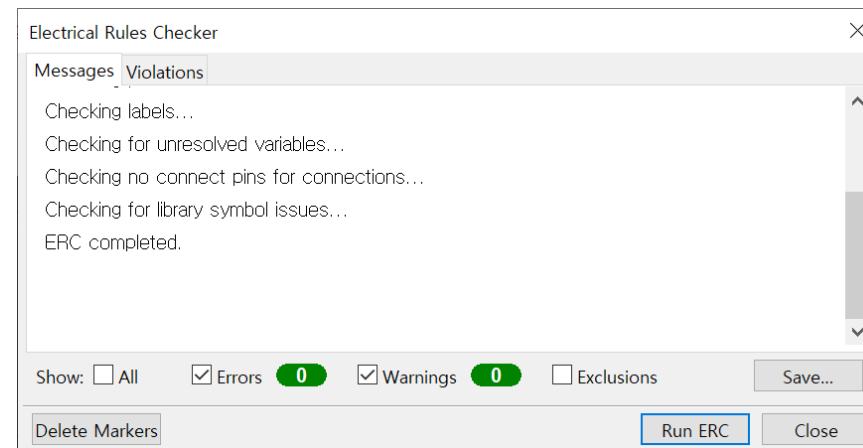
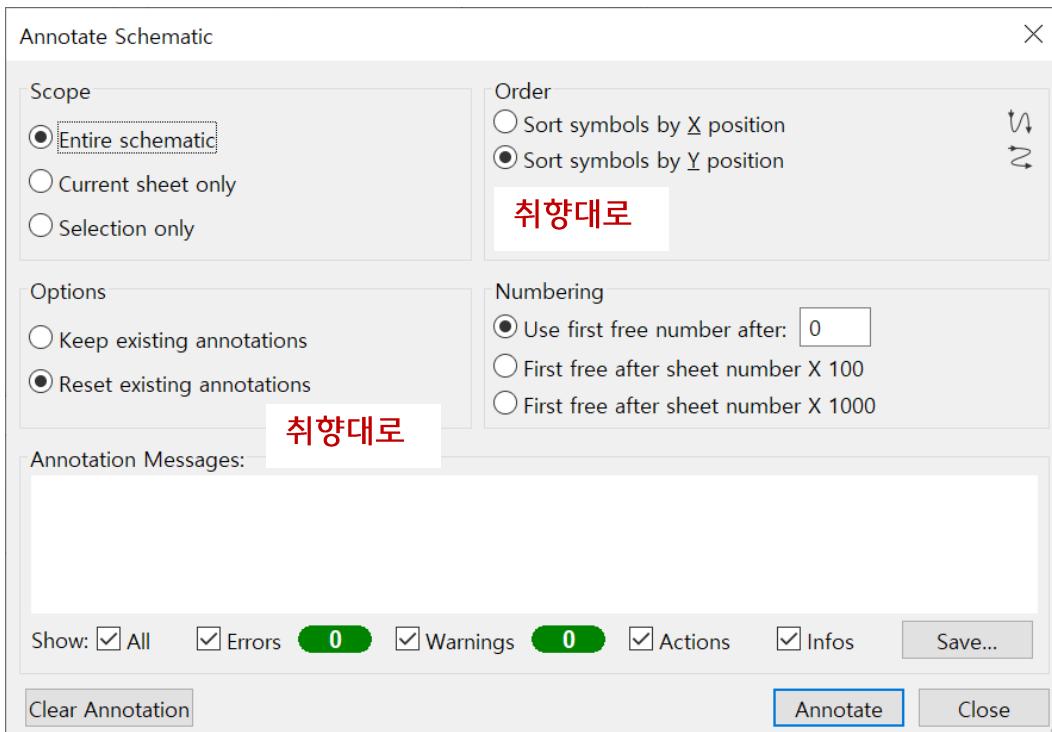
PLECKO

Create Schematic: Design rule check

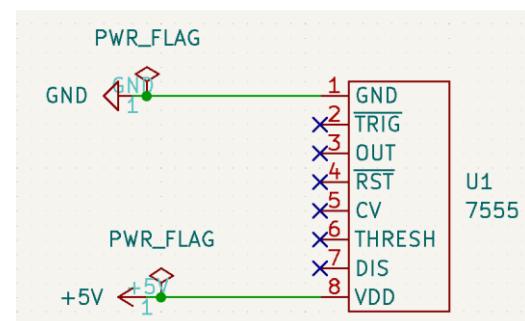


❖ Design Rule Check (DRC)

- ▶ Annotation: 소자에 번호를 부여
- ▶ Electrical Rules Checker: 회로 자체 문제 진단, 핀 속성에 따른 연결 문제 등을 진단
- ▶ (고급) File > Schematic Setup에서 Electrical Rules의 Violation Severity로 진단을 조절 가능

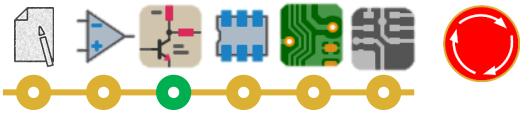


Errors는 반드시 없애도록,
Warnings도 모두 없애는 것을 권장



ERC Check에서 전원쪽 이슈가 있으면
PWR_FLAG를 사용하면 됨

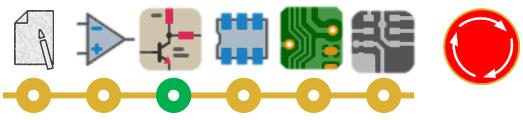
BOM Generation



❖ Schematic 작업 후,

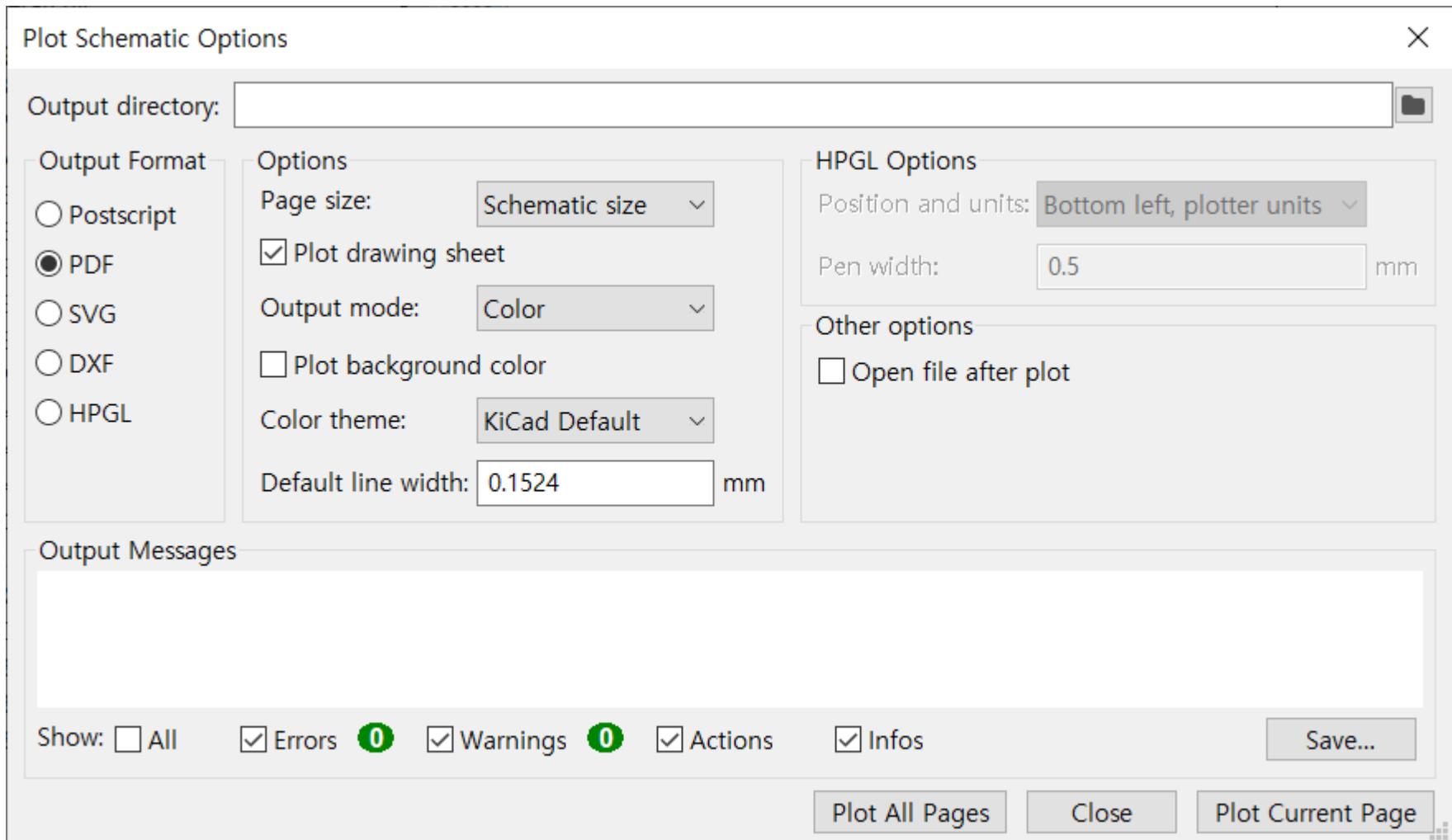
- ▶ Tools > Generate BOM...
- ▶ 최종 단계에서 수행해도 된다.

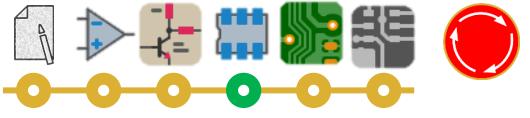
Schematic 출력



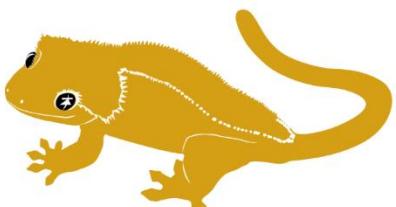
❖ File > Plot...

▶ Print 기능으로 pdf 출력 시 검색이 불가능



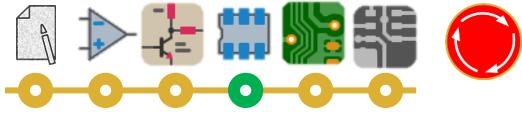


풋프린트 그리기 (Create footprints)



PLECKO

To do list



❖ 회로 그리기 전, 심볼 Check

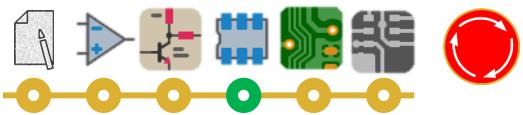
▶ 규격화된 소자인지, 특이한 소자인지

- ✓ 칩 저항, 칩 캐패시터 등: Metric 기준 1608 추천 (KiCAD 표준 라이브러리 Handsoldering)
 - 비숙련자의 손 납땜 시에는 2012 이상 추천
- ✓ SOT Package: 대부분 기본 라이브러리에서 제공함.
 - Chip이 SOT Package에 속한다면 가능하면 기본 라이브러리를 활용
 - 기본 라이브러리의 1번핀 표시가 잘 안 보일 수 있으니 필요에 따라 수정하여 사용 (v8 이상에서는 개선되었음, v7.0.11도 개선되어 있음)
 - 다만, SOT Package라도 Datasheet의 표기된 패드 사이즈와 확인 필요

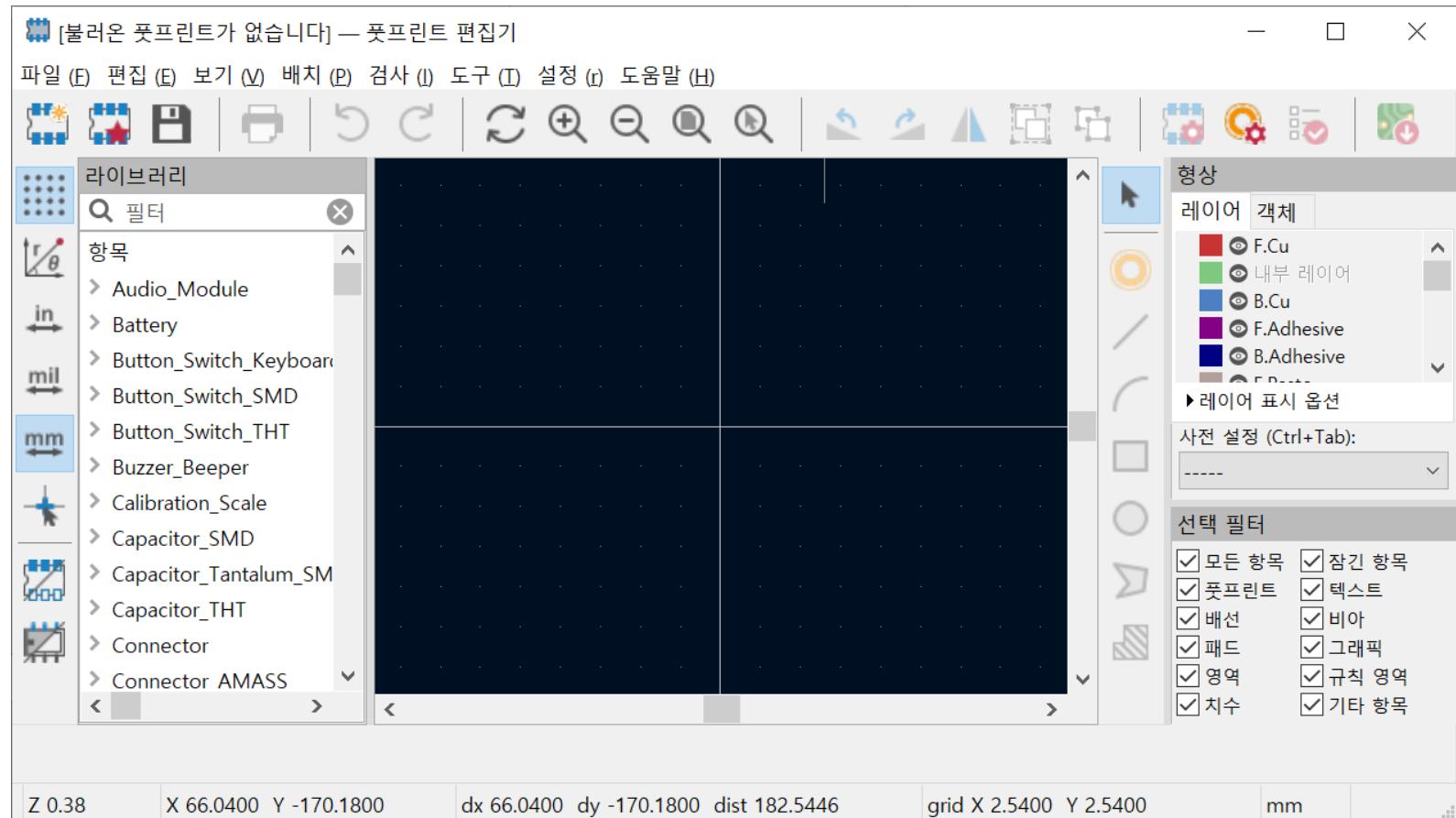
▶ 다운로드

- ✓ 특이 소자 체크
- ✓ 커넥터: 도면하고 체크 → 되도록 표준 커넥터 사용
 - 새로 도입하는 경우, 주문 후 심볼 작업 추천

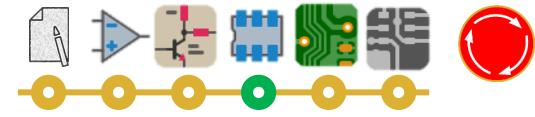
Create Footprints



❖ 도구 (Tools) > 풋프린트 편집기 (Footprint editor, Ctrl + F)



Create Footprints

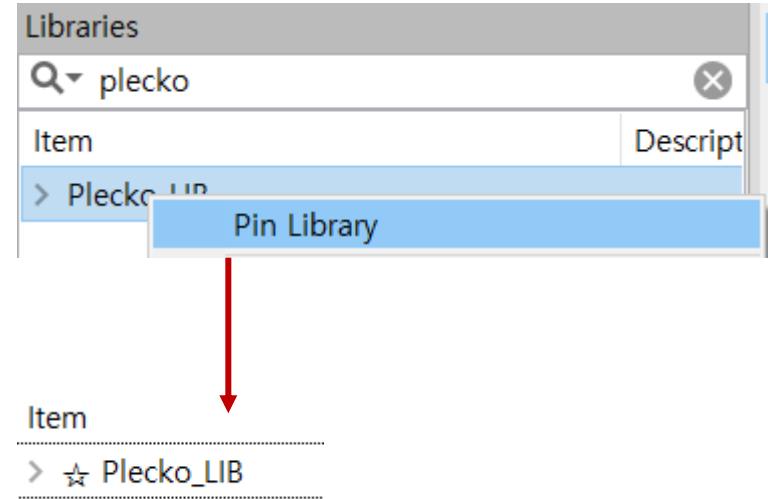
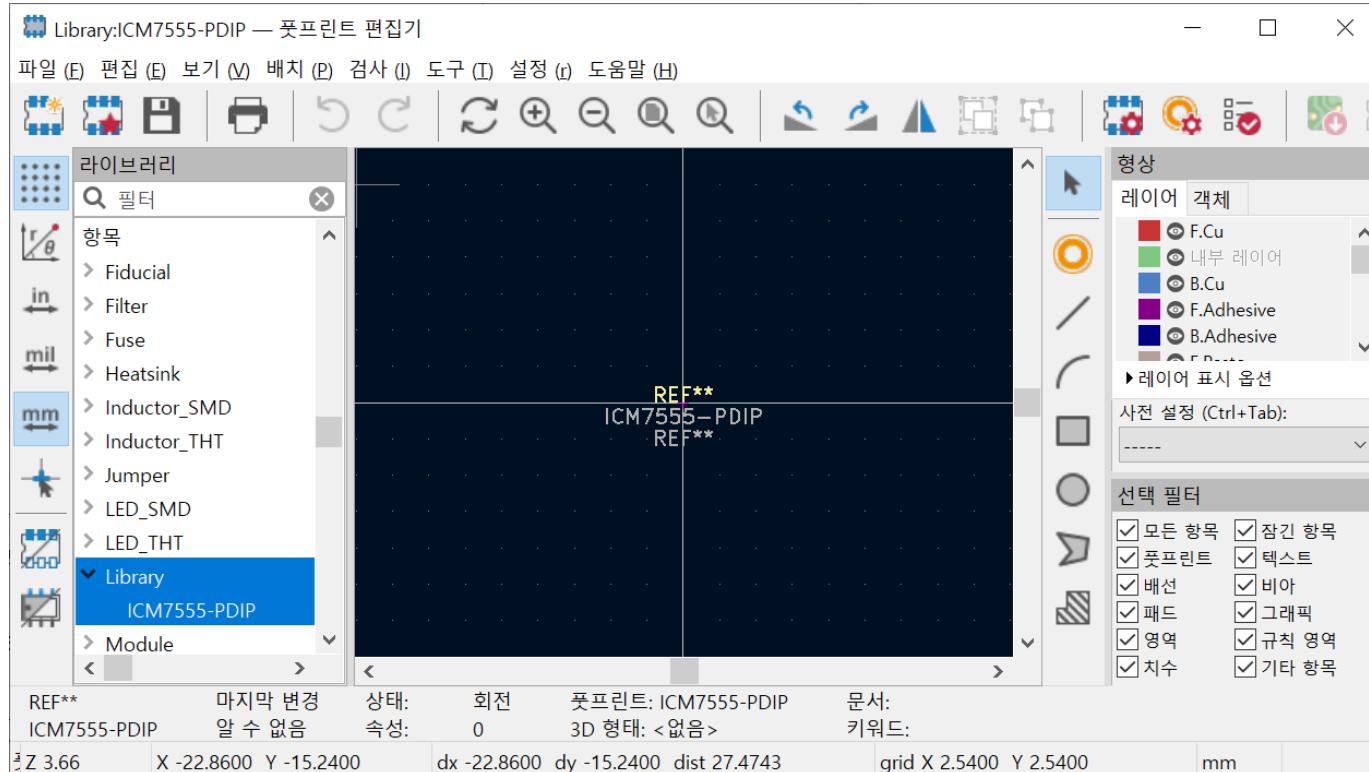


❖ 파일 (File)

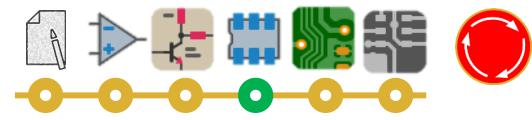
- ▶ 새 라이브러리 (New Library...): 프로젝트 별로 생성하여 관리하는 것을 권장
- ▶ 새로운 풋프린트 (New Footprint...)
- ▶ 저장 (Save): 새로 만든 라이브러리에 저장하는 것을 권장함

❖ 설정 (Preferences)

- ▶ 풋프린트 라이브러리 관리 (Manage Footprint Libraries...): 라이브러리 별 Nickname 지정 가능



Create Footprints



작업하는 Dimension 확인

Library:ICM7555-PDIP — 풋프린트 편집기

파일 (F) 편집 (E) 보기 (V) 배치 (P) 검사 (I) 도구 (D) 설정 (R) 도움말 (H)

라이브러리

항목

- > Filter
- > Fuse
- > Heatsink
- > Inductor_SMD
- > Inductor_THT
- > Jumper
- > LED_SMD
- > LED_THT
- > Library
- ICM7555-PDIP
- > Module
- > MountingEquipment
- > MountingHole
- > Mounting_Wuerth
- > NetTie
- > OptoDevice
- > Oscillator
- > Package_BGA

단위: in
단위: mil
단위: mm

그리드: 2.5400 mm (100.00 mils)

형상

- F.Cu
- 내부 레이어
- B.Cu
- F.Adhesive
- B.Adhesive
- F.Paste
- B.Paste
- F.Silkscreen
- B.Silkscreen
- F.Mask
- B.Mask
- User.Drawings
- User.Comments
- User.Eco1

사전 설정 (Ctrl+Tab):

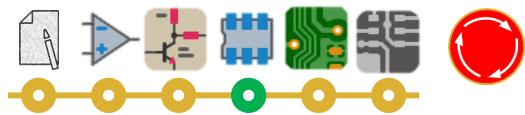
선택 필터

- 모든 항목
- 풋프린트
- 배선
- 패드
- 영역
- 치수
- 잠긴 항목
- 텍스트
- 비아
- 그래픽
- 규칙 영역
- 기타 항목

라이브러리 풋프린트 이름 패드 문서:
Library ICM7555-PDIP 0 키워드:

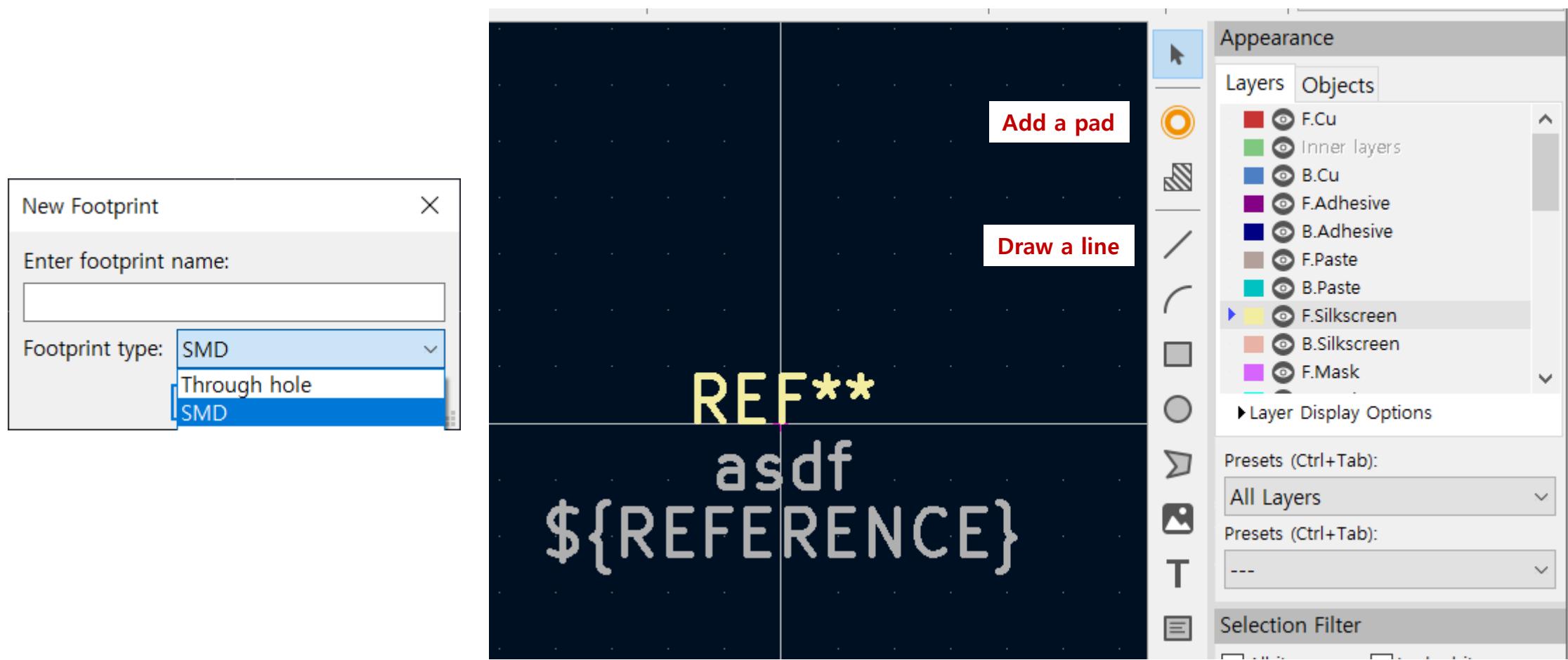
풋프린트 'ICM7555-PDIP'이(가) 'Library'... Z 3.66 X 5.0800 Y -25.4000 dx 5.0800 dy -25.4000 dist 25.9030 grid X 2.5400 Y 2.5400 mm

Create Footprints: New Footprint

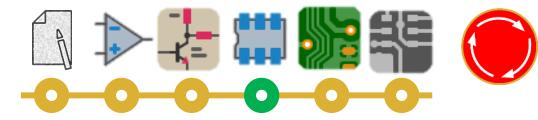


❖ 해당 라이브러리 우클릭 후 New Footprint 클릭

- ▶ 작업 할 IC가 SMD인지 DIP인지 지정
- ▶ 패드 추가: Layers에서 F.Cu 선택 후 진행
- ▶ 선 추가: Layers에서 F.Silkscreen 선택 후 진행



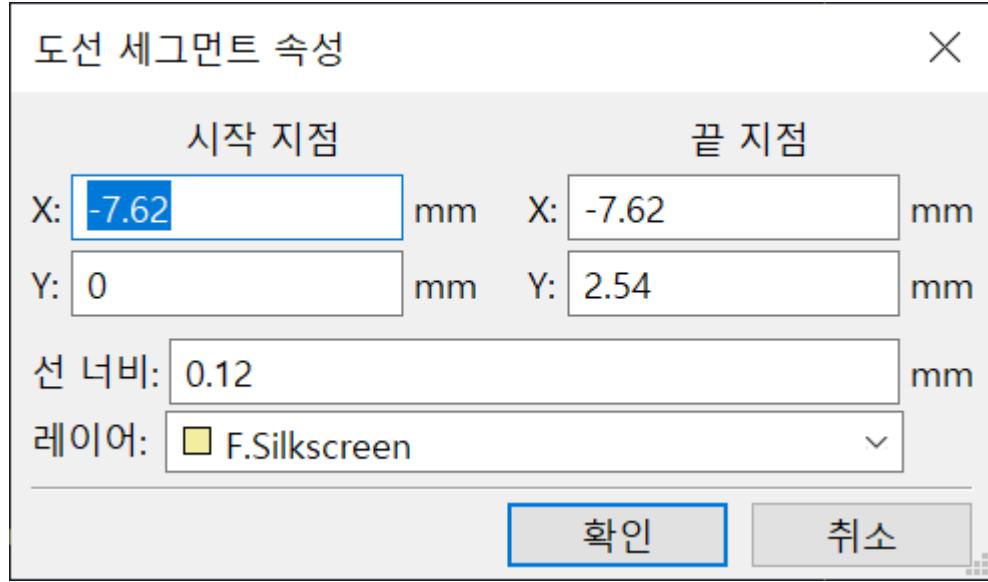
Create Footprints



The screenshot shows the KiCad PCB Editor interface. On the left, the 'Pad 속성' (Pad Properties) dialog box is open, highlighting the 'Pad 형식' (Pad Type) section which is set to '스루홀' (Through Hole). The 'Pad 번호' (Pad Number) is 1. The '위치 X' (X Position) is -0.15 mm and 'Y' is 0.15 mm. The 'Pad 형태' (Pad Shape) is '원형' (Circular). The 'Pad 사이즈 X' (Pad Size X) is 0.4 mm and 'Y' is 1.524 mm. The '각도' (Angle) is 0 deg. Below these, the '구멍 모양' (Hole Shape) is set to '원형' (Circular) and the '홀 크기 X' (Hole Size X) is 0.3 mm. There are two checkboxes at the bottom left: '홀에서의 오프셋 형상' (Offset shape from hole) and '다이 길이에 패드를 지정' (Specify pad length in die length). A note at the bottom left says '오프린트 REF** (ICM7555-PDIP)'.

On the right, the PCB view shows a green spiral component and a large blue circle containing a white number '1'. At the bottom right of the PCB view are '확인' (Confirm) and '취소' (Cancel) buttons. The status bar at the bottom of the screen displays '기판 제작 속성' (Board Fabrication Properties).

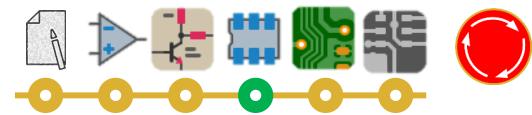
실제 정보를 바탕으로 제작
홀 사이즈나 패드 크기는 좀 더 크게 설계
(datasheet에 추천 크기도 있음)



마스크 층 확인
(잔여 잉크 없도록)



Create Footprints: Importing



❖ 파일 (File) > 가져오기 (Import) > 풋프린트 (Footprint...)

▶ 6.0 이상 확장자: kicad_mod

풋프린트 불러오기

« digikey-kicad-library-master > digikey-footprints.pretty

구성 새 폴더

내 PC 3-SIP_Module_TM1000Q.kicad_mod
3D 개체 3-SIP_Module_V7805-500.kicad_mod
다운로드 3-SIP_Module_V7805-1000.kicad_mod
동영상 4-SMD_2.35x2.95mm.kicad_mod
문서 6-DFN_3x3mm.kicad_mod
바탕 화면 6-PLCC_3.5x3.5mm.kicad_mod
사진 0603.kicad_mod
음악 0805.kicad_mod
로컬 디스크 (C:) 1206.kicad_mod
로컬 디스크 (D:) 1210.kicad_mod
네트워크 2320.kicad_mod

파일 이름(N): 4-SMD_2.35x2.95mm.kicad_mod

KiCad 풋프린트 파일 (*.kicad_n)

열기(O) 취소

REF**
1 4
2 REF**
3

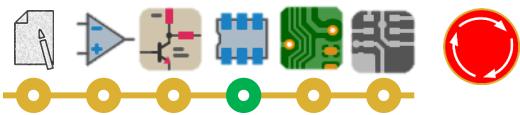
4-SMD_2.35x2.95mm

Library
4-SMD_2.35x2.95mm
ICM7555-PDIP

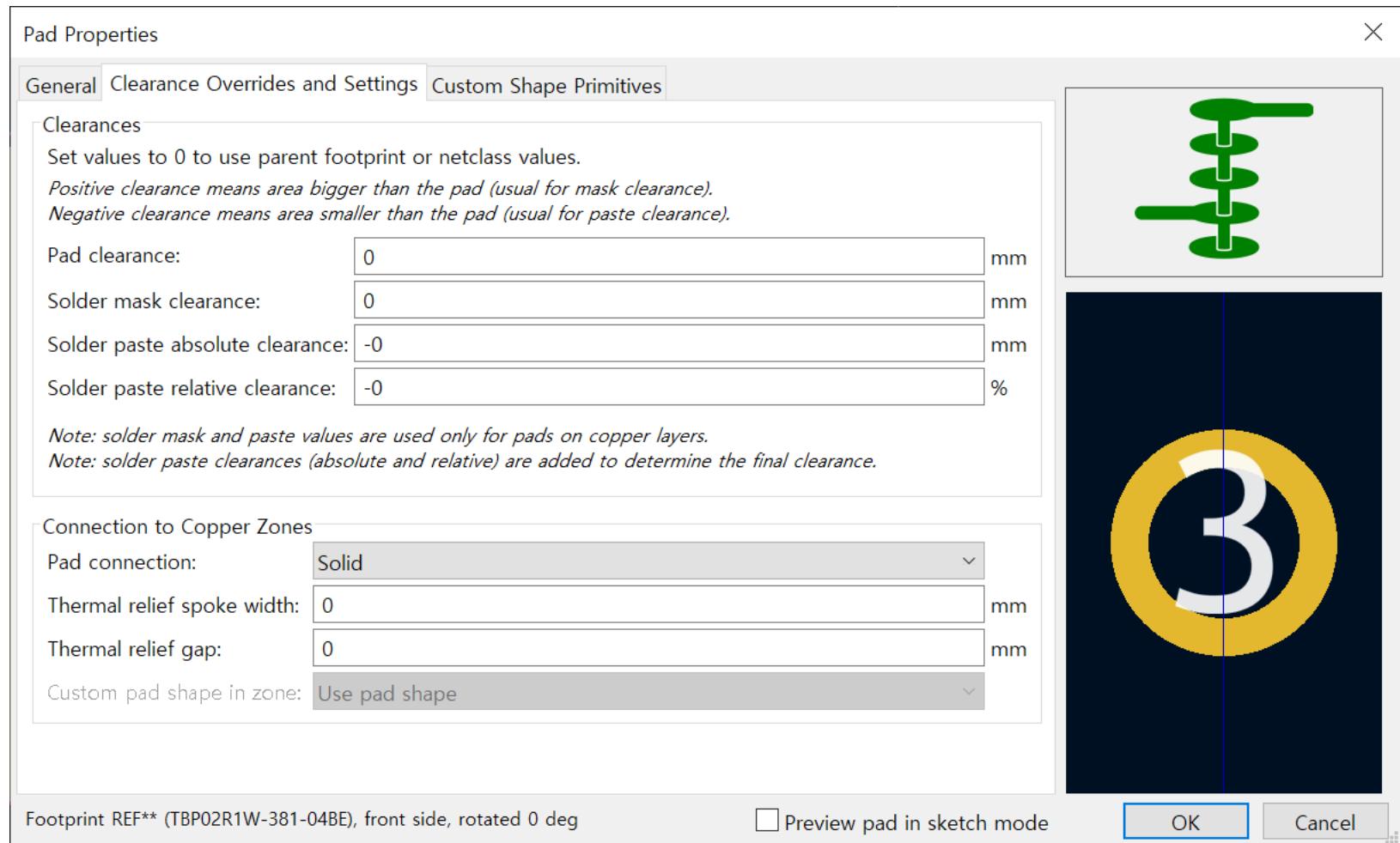
기존 라이브러리에서 파일을 가져와서
현재 작업 중인 라이브러리에 붙여 넣을 수 있다.

웹에서 다운로드도 가능.

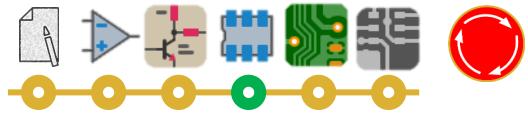
Create Footprints



- ❖ 패드 속성 (Pad properties) > 클리어런스 재정의 및 설정 (Clearance Overrides and Settings)
 - ▶ 보통은 단열판(Thermal relief), Power pin 같은 경우 실선(Solid)으로 설정
 - ✓ 납땜 편의, 전류 도통량 등을 고려하여 지정 (참고: [전압/전류를 고려한 도체 배치](#))



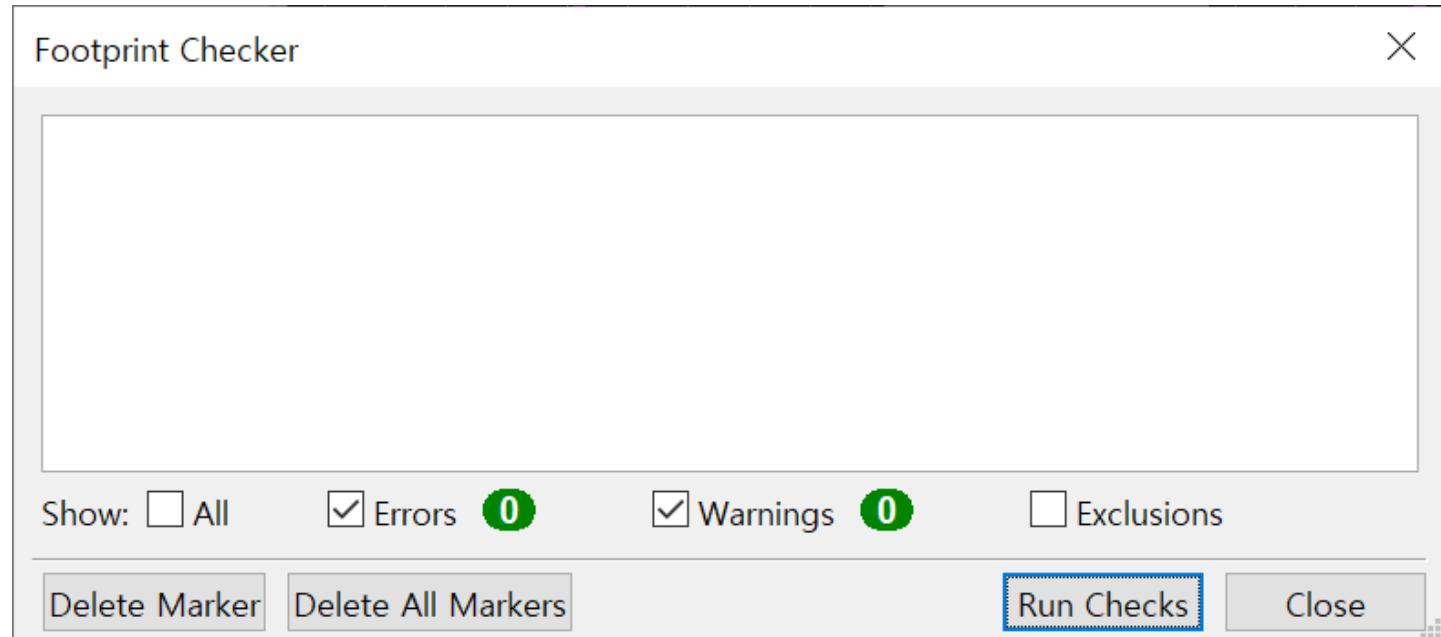
Create Footprints



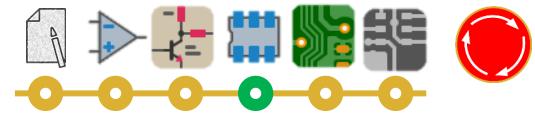
❖ Footprint check



- ▶ 마무리로 반드시 진행
- ▶ Footprint check 하지 않은 경우 PCB 작업 후 Error가 발생할 수 있고, 그 때 관련 Error를 일일이 수정하는 것은 불필요한 노동이다.
- ▶ 발생할 수 있는 error
 - ✓ Courtyard 겹치기: 가져온 것을 편집한 경우 많이 발생
 - ✓ Courtyard 끝이 닫히지 않은 경우,
 - ✓ REF: Footprint가 SMD나 Throughhole이거나 설정 잘못한 경우



Create Footprints



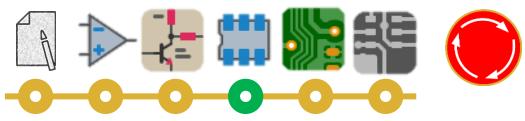
❖ Local project folder에 추가한 경우

- ▶ kicad_mod 확장자로 저장됨
- ▶ 새로운 Local project folder를 만들면 해당 Footprint 파일을 복사 붙여넣기 하면 됨.

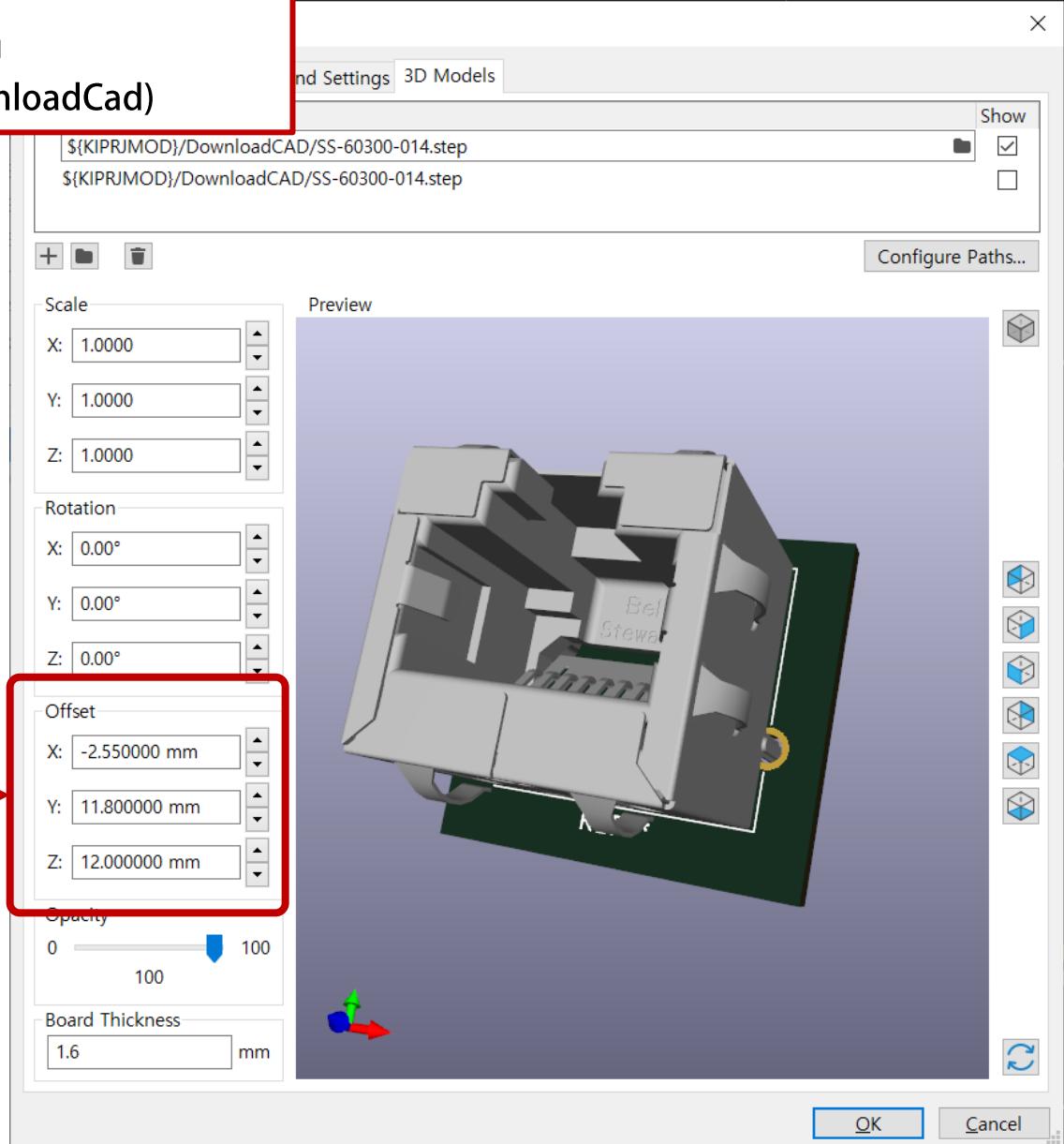
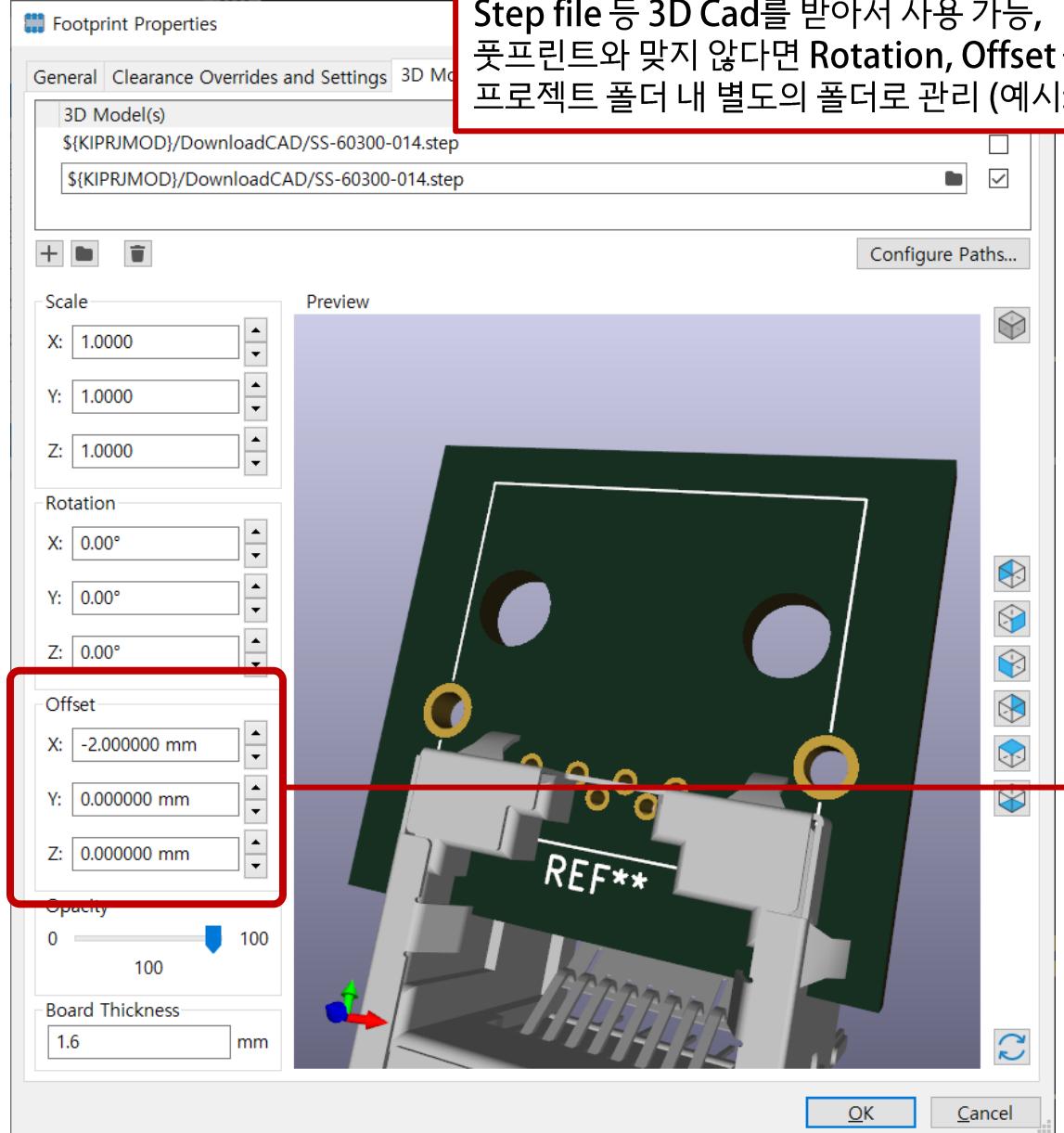
| 이름 | 수정한 |
|--------------------------------|---------|
| 74LVC2G04GV,125.kicad_mod | 2022-06 |
| ACT45B-101-2P-TL003.kicad_mod | 2022-06 |
| DS90LV028AQMA.kicad_mod | 2022-06 |
| LOGO_PLECKO.kicad_mod | 2022-04 |
| RT9069.kicad_mod | 2022-06 |
| SFH11-PBPC-D08-ST-BK.kicad_mod | 2022-06 |
| SN75C1167N.kicad_mod | 2022-06 |
| SS60300-010.kicad_mod | 2022-06 |

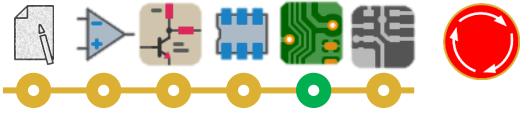
3D Model 연결

3D model

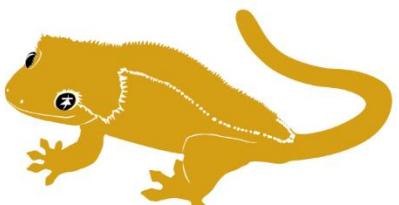


Step file 등 3D Cad를 받아서 사용 가능,
풋프린트와 맞지 않다면 Rotation, Offset 등 조정
프로젝트 폴더 내 별도의 폴더로 관리 (예시: DownloadCad)



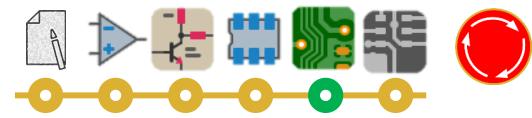


PCB 레이아웃 (Board layout)



PLECKO

Layout 전 준비: Schematic Editor에서



❖ Design Rule Check (DRC)

- ▶ 아이콘을 순서대로 시행
 - ✓ Layout 작업 중 변동 발생하여 수정하면 반드시 반복 수행



▶ Annotation

- ✓ 소자에 번호를 부여
- ✓ Layout 작업 전 혹은 도중 소자가 추가되는 경우 새로이 정렬된 번호 부여가 필요할 때 수행

▶ Electrical Rules Checker

- ✓ Layout 작업 시작 전 반드시 수행

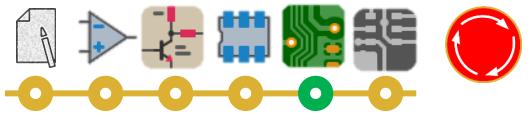
▶ Footprint assignment, Field table

- ✓ 풋프린트 연결 및 소자 정보 확인
- ✓ Layout 작업 전 반드시 확인

▶ BOM generation

- ✓ 해당 작업은 프로젝트 수행 완료 후 진행하는 것을 권장함.

Layout 전 준비: Schematic Editor에서



Screenshot of the KiCad Schematic Editor's "Assign Footprints" dialog window.

The window title is "Assign Footprints". The menu bar includes File, Edit, Preferences, Help. The toolbar has icons for saving, opening, and filtering footprints.

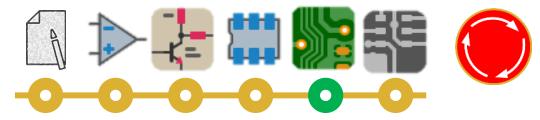
The left panel shows "Footprint Libraries" with "Audio_Module" selected. The main area displays "Symbol : Footprint Assignments" for components C1 through C26, each assigned a specific footprint from the library.

The right panel shows "Filtered Footprints" with two entries: "1 Audio_Module:Reverb_BTDR-1H" and "2 Audio_Module:Reverb_BTDR-1Y".

A red box highlights the "Assign Footprints" icon in the toolbar, and a red arrow points down to the dialog window. A red text overlay in the center-right of the dialog reads: "Footprint 할당된 것을 확인,
할당되지 않은 것은 재 지정." (Check assigned footprints,
reassign unassigned ones.)

At the bottom, status text says "Library location: C:\Program Files\KiCad\6.0\share\kicad\footprints\Capacitor_SMD.pretty". Buttons at the bottom right are "Apply, Save Schematic & Continue", "OK", and "Cancel".

Board Layout



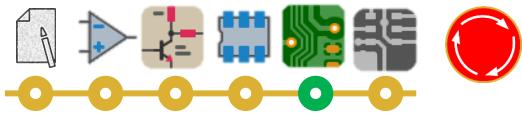
❖ 도구 (Tools) > PCB 에디터 (PCB editor, Ctrl + P)

The screenshot shows the PCB Editor software interface with the following details:

- Title Bar:** Test — PCB 에디터
- Toolbar:** Includes icons for File, Save, Print, Undo, Redo, Selection, Zoom, and Tools.
- Status Bar:** Displays pad count (8), via count (0), segment count (0), net count (8), routing status (Not Routed), coordinate (X 241.3000 Y -20.3200), distance (dx 241.3000 dy -20.3200 dist 242.1541), grid position (grid X 2.5400 Y 2.5400 mm), and selection mode (항목 선택).
- Dimension Confirmation:** A red box highlights the status bar message "작업하는 Dimension 확인: Inch 단위 추천" (Dimension confirmation: Recommended in Inch unit).
- Page Settings:** The "페이지 설정" (Page Setup) dialog is open, showing:
 - 종이:** 크기: A4 210x297mm, 방향: 가로
 - 미리보기:** Preview of the A4 page with dimensions 279.4 mm (Height) and 431.8 mm (Width).
 - Checkboxes:** 페드 (Pad), 그래프 (Graph), 영역 (Area), 규칙 (Rule), 치수 (Dimensions), 기타 (Others).
- Annotations:** A red box highlights the "Comments here" section in the preview area, and another red arrow points from the "Comments here" section in the status bar to the same section in the preview.
- Legend:** On the left, there is a legend for various symbols used in the PCB design.



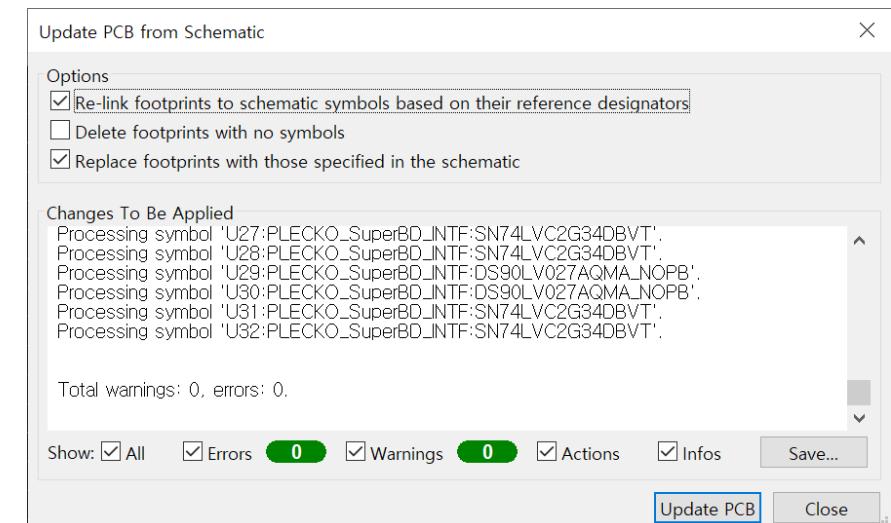
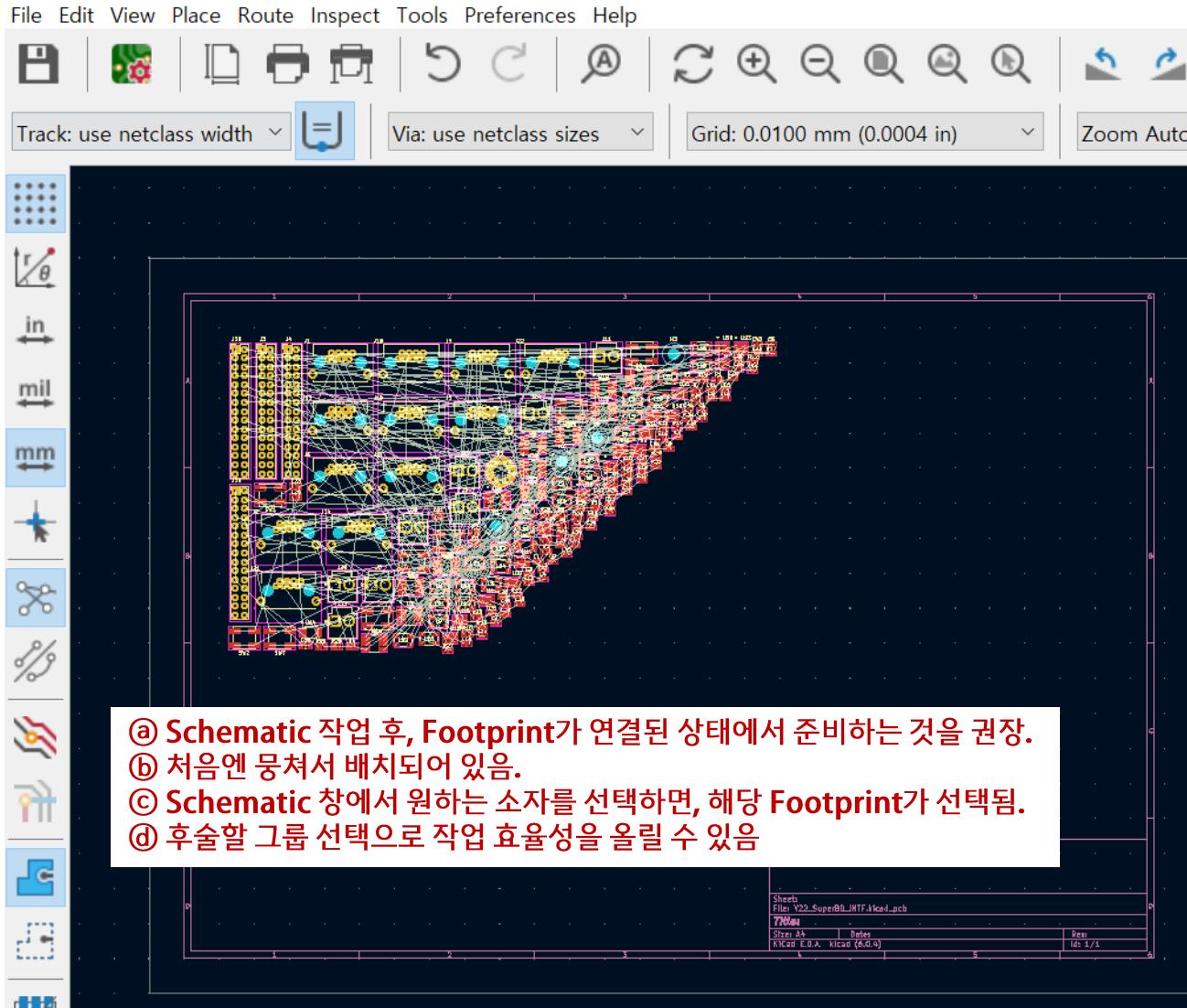
Board Layout



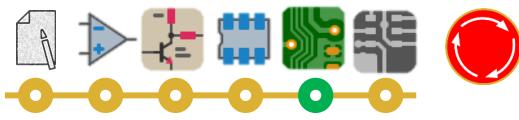
❖ Update PCB



★ PCB 파일을 바로 실행하면 해당 아이콘이 비활성화 되는 경우 있음
KiCad 프로젝트 실행 창에서 PCB Editor를 열거나, Schematic Editor에서 Open PCB로 여는 것을 권장함



Board Layout: Board setup



OSH Park ~ https://oshpark.com

OSHPARK ABOUT US SERVICES SUPPORT SHARING LOGIN

Let's get started!

Drag and drop your KiCAD, EagleCAD, or zipped Gerber files

BROWSE FOR FILES

드릴이나 여러 옵션에 대해서 참고할 수 있는 사이트.
제작 가능한 Design rule은 실 제작 업체의 정보 참고.
[국내: 한샘디지텍](#)

Producing Perfect Purple PCBs Promptly

Professional grade fabrication, at a hobbyist price

Community High Quality Made in the USA

Silkscreen Type: High Res DLP, both sides
OSHPARK SERVICES SUPPORT OSH PARK DOCS / FABRICATION SERVICES / 2 LAYER PROTOTYPE SERVICE

Stackup

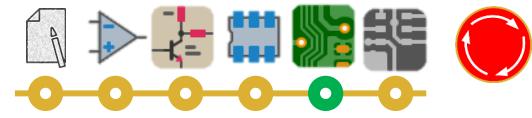
| Thickness | Layer | Tolerance |
|--------------------|---------------|-----------------------|
| 1mil (0.0254mm) | silkscreen | +/-0.2mil (0.00508mm) |
| 1mil (0.0254mm) | solder resist | +/-0.2mil (0.00508mm) |
| 1.4 mil (0.0356mm) | 1 oz copper | |
| 60 mil (1.5240mm) | core | +/-6mil (0.1524mm) |
| 1.4 mil (0.0356mm) | 1 oz copper | |
| 1mil (0.0254mm) | solder resist | +/-0.2mil (0.00508mm) |
| 1mil (0.0254mm) | silkscreen | +/-0.2mil (0.00508mm) |

Material Specs

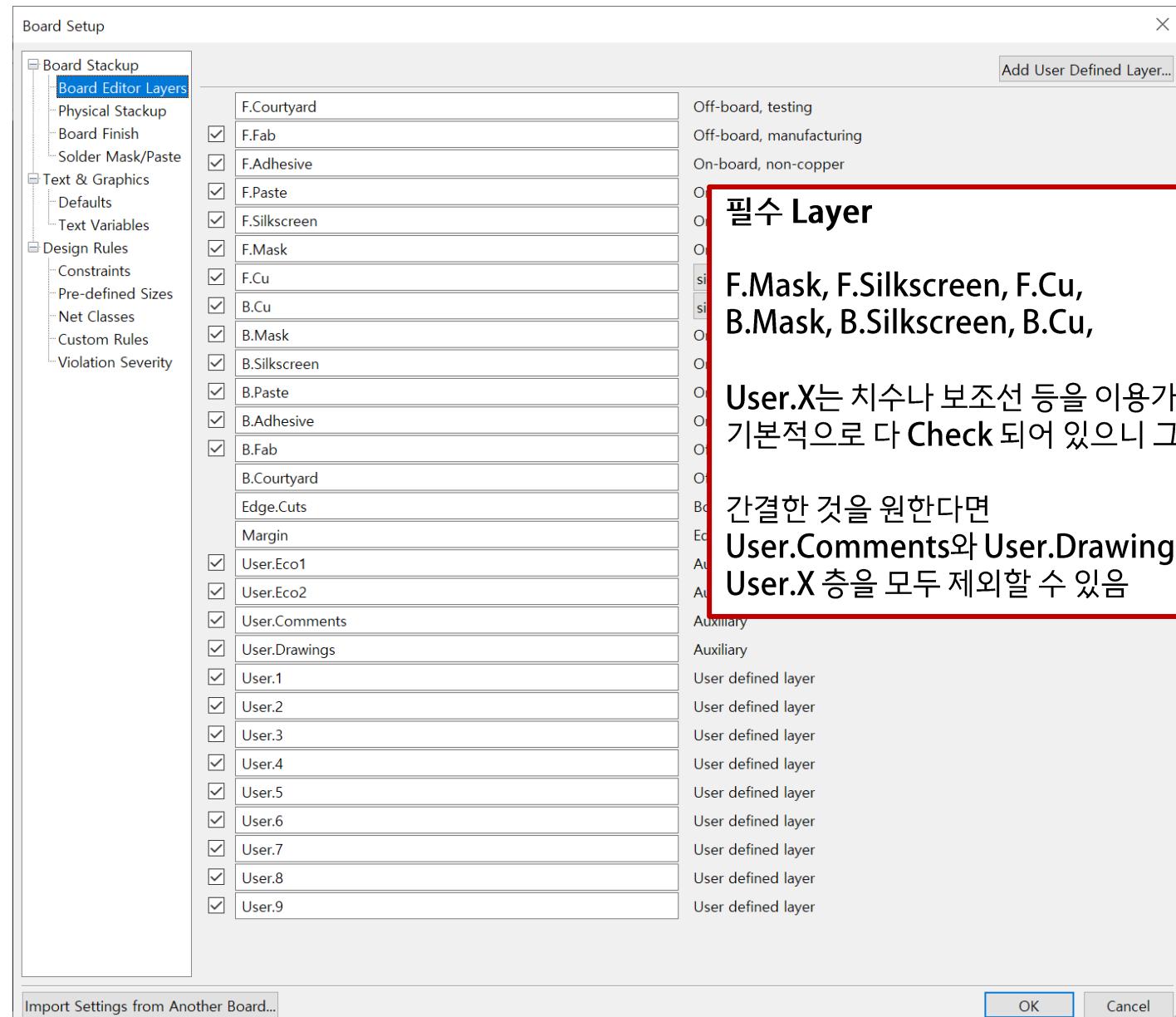
| Spec | Value | |
|-------------------------------|---|---|
| Substrate | 175Tg FR4 | Kingboard KB6167F Datasheet |
| Board Thickness | 63mil (1.6mm) nominal | |
| Dielectric | 4.5 at 10Mhz | |
| Soldermask Color | Purple | Mask Datasheet |
| Minimum soldermask web | 4 mil (0.1016mm) | |
| Maximum soldermask alignment | 3mil (0.0762mm) | Covers retraction, expansion, and shift |
| Silkscreen minimum line width | 5 mil (0.127mm) (recommended minimum) 3 mil (0.0762mm) (short lines, text, graphics) | Silkscreen Datasheet |
| Maximum board size | 16in (406.4mm) by 22in (558.8mm) | |



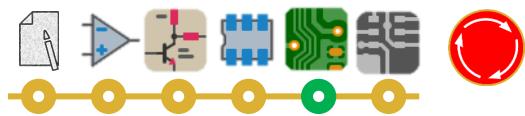
Board setup (1) Board Editor Layers



❖ File > Board Setup..



Board setup (2) Physical Stackup



❖ File > Board Setup..

Board Setup

Layer 설정: 4층, 6층 등 작업 환경에 따라 설정

Copper layers: 2

Impedance controlled

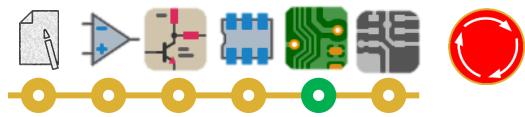
| Layer | Id | Type | Material | Thickness | Color | Epsilon R | Loss Tan |
|-------|--------------|---------------------|---------------|-----------|---------------|-----------|----------|
| | F.Silkscreen | Top Silk Screen | Not specified | 0.01 mm | Not specified | 3.3 | 0 |
| | F.Paste | Top Solder Paste | Not specified | 0.035 mm | Not specified | 4.5 | 0.02 |
| | F.Mask | Top Solder Mask | FR4 | 1.51 mm | Not specified | 3.3 | 0 |
| | F.Cu | Copper | | 0.035 mm | Not specified | | |
| | Dielectric 1 | Core | | 0.01 mm | Not specified | | |
| | B.Cu | Copper | | | Not specified | | |
| | B.Mask | Bottom Solder Mask | Not specified | | Not specified | | |
| | B.Paste | Bottom Solder Paste | | | Not specified | | |
| | B.Silkscreen | Bottom Silk Screen | Not specified | | Not specified | | |

Board thickness from stackup: 1.6 mm

이 부분은 기입 여부에 따라 Gerber 출력이 바뀌는 것은 아니지만,
업체 별 작업 사양 확인이 필요한 경우 기입해둔다.

★ 임피던스 매칭 관련 설계가 들어간 경우 필히 기록해둬야 함.
★ 여기에 기입한대로 제작되는 것이 아님 → PCB 업체 사양을 반드시 확인

Board setup (3) Text & Graphics



❖ File > Board Setup..

Board Setup

Board Stackup

- Board Editor Layers
- Physical Stackup
- Board Finish
- Solder Mask/Paste

Text & Graphics

- Defaults
- Formatting
- Text Variables

Design Rules

- Constraints
- Pre-defined Sizes
- Net Classes
- Custom Rules
- Violation Severity

Default properties for new graphic items:

| | Line Thickness | Text Width | Text Height | Text Thickness | Italic | Keep Upright |
|---------------|----------------|------------|-------------|----------------|--------------------------|-------------------------------------|
| Silk Layers | 0.15 mm | 0.8 mm | 0.8 mm | 0.15 mm | <input type="checkbox"/> | <input checked="" type="checkbox"/> |
| Copper Layers | 0.2 mm | 1.5 mm | 1.5 mm | 0.3 mm | <input type="checkbox"/> | <input type="checkbox"/> |
| Edge Cuts | 0.1 mm | | | | | |
| Courtyards | 0.05 mm | | | | | |
| Fab Layers | 0.1 mm | 1 mm | 1 mm | 0.15 mm | <input type="checkbox"/> | <input type="checkbox"/> |
| Other Layers | 0.15 mm | 1 mm | 1 mm | 0.15 mm | <input type="checkbox"/> | <input type="checkbox"/> |

Default properties for new dimension objects:

Units: Automatic Text position: Outside

Units format: 1234 mm Keep text aligned

Precision: 0.0000 Arrow length: 1.27 mm

Suppress trailing zeroes Extension line offset: 0.5 mm

Import Settings from Another Board... OK Cancel

Silkscreen Text 설정

[Width, Height, Thickness]

- [1 mm, 1 mm, 0.15 mm]
- [1 mm, 1 mm, 0.1 mm]
- [0.8 mm, 0.8 mm, 0.15 mm]
- [0.8 mm, 0.8 mm, 0.1 mm]

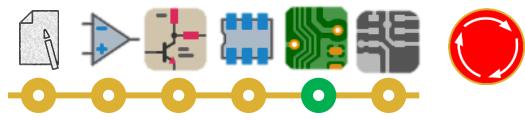
정도로 세팅하면 됨.

※ Keep Upright 체크!



PLECKO

Board setup (4) Constraints



❖ File > Board Setup.. (고급 설정: 기본으로 작업하여도 무방함)

Board Setup

- Board Stackup
- Text & Graphics
- Design Rules

Copper

| | | | |
|---------------------------|------|------|-------------------------|
| Minimum clearance: | 0 | mm | |
| Minimum track width: | 0.2 | 0.2 | mm |
| Minimum connection width: | 0 | mm | |
| Minimum annular width: | 0.05 | 0.05 | mm |
| Minimum via diameter: | 0.4 | 0.4 | mm |
| Copper to hole clearance: | 0.25 | 0.25 | mm (경우에 따라 0.1 or 0.15) |
| Copper to edge clearance: | 0.5 | mm | |

Holes

| | | | |
|-------------------------|------|------|-------------------------|
| Minimum through hole: | 0.2 | 0.2 | mm (or 0.3) |
| Hole to hole clearance: | 0.25 | 0.25 | mm (경우에 따라 0.1 or 0.15) |

uVias

| | | | |
|------------------------|-----|-----|----|
| Minimum uVia diameter: | 0.2 | 0.2 | mm |
| Minimum uVia hole: | 0.1 | 0.1 | mm |

Silkscreen

| | | | |
|-------------------------|------|----|----|
| Minimum item clearance: | 0 | 0 | mm |
| Minimum text height: | 0.8 | mm | |
| Minimum text thickness: | 0.08 | mm | |

Arc/circle approximated by segments
Max allowed deviation: 0.005 mm
Note: zone filling can be slow when < 0.005 mm.

Zone fill strategy **Check!!**

Allow fillets outside zone outline

Min thermal relief spoke count: 2

Include stackup height in track length calculations

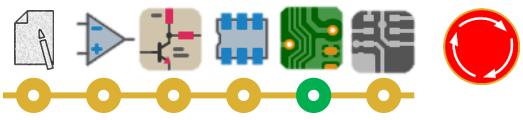
Import Settings from Another Board... OK Cancel

기본 0.5
통상 Outline 기준 0.3
V-cutting 경우 0.5

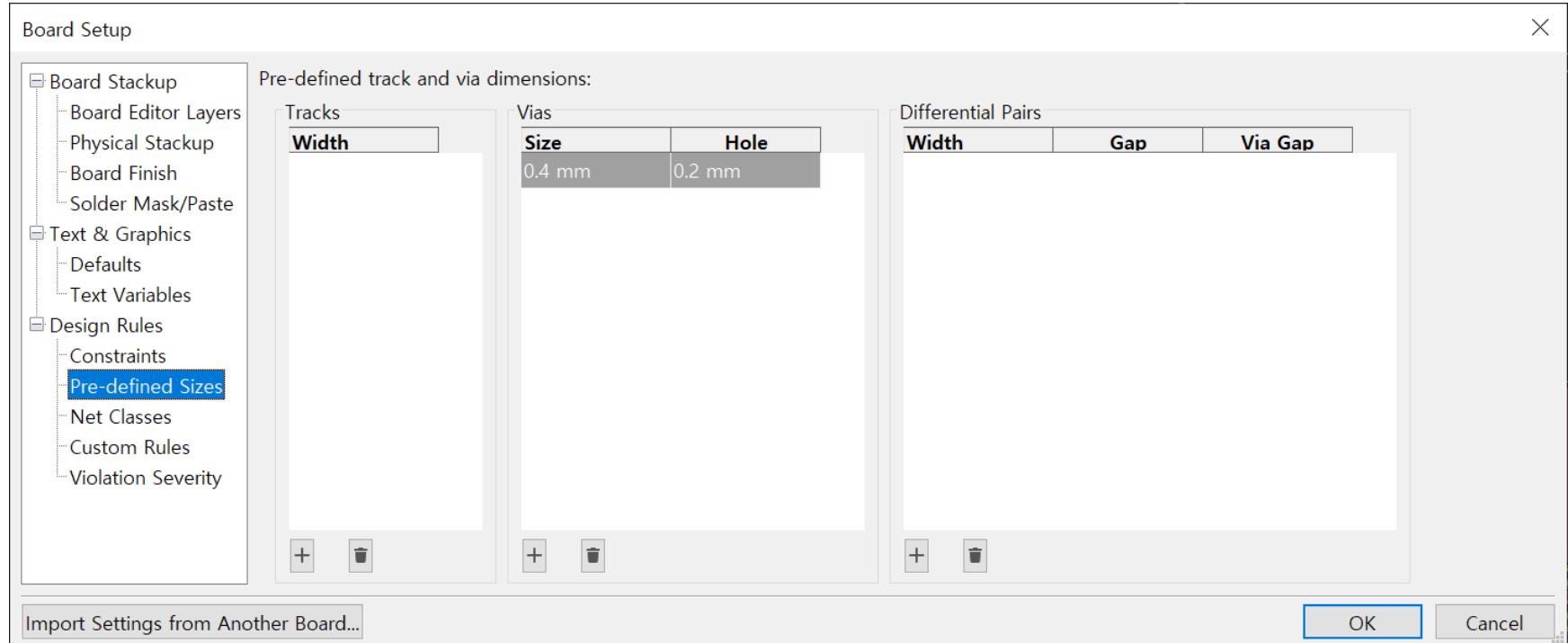
상황에 따라 0으로 설정하고,
0.3~0.5 mm 되도록 매뉴얼 작업도 가능

작업 시에는 uVia보다는 표준 Via를 사용하는 것을 권장

Board setup (5) Pre-defined Sizes



❖ File > Board Setup..

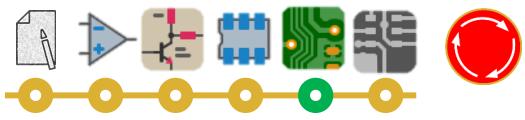


별도 Via setting

필요에 따라 pre-define

- Tracks: 특정 도선을 다르게 할 때,
- Vias: 특정 Via의 크기를 조절할 때,

Board setup (6) Net Classes



❖ File > Board Setup..

Board Setup

Net Class Clearance Track Width Via Size Via Hole uVia Size uVia Hole DP Width DP Gap

| Net Class | Clearance | Track Width | Via Size | Via Hole | uVia Size | uVia Hole | DP Width | DP Gap |
|-----------|-----------|-------------|----------|----------|-----------|-----------|----------|---------|
| Default | 0.2 mm | 0.25 mm | 0.8 mm | 0.4 mm | 0.3 mm | 0.1 mm | 0.2 mm | 0.25 mm |

① Clearance: PCB 제작 업체 사양을 참고. (최소 0.1 or 0.15mm)
→ 0.15 or 0.25 추천
② Track Width: 0.15 or 0.25 mm 추천
③ Via Hole: (0.6, 0.3) or (0.8, 0.4) 추천
Via Size: 0.5 mm 이상 (Non-PTH 길이 0.3 이상 조건)
→ (한샘디지텍 기준: Via Size 0.4mm로 작업 시 20% 정도 가격 더 받게 됨, 0.5는 보정되어 기본 가격)
Via hole 0.2 mm 이상

Filter Nets

Net class filter:
Net name:
Show All Nets Apply Filters

Net Net Class

| Net | Net Class |
|----------------|-----------|
| +12V | Default |
| GND | Default |
| Net-(D1-Pad2) | Default |
| Net-(H1-Pad1) | Default |
| Net-(J2-Pad10) | Default |
| Net-(J2-Pad6) | Default |
| Net-(J2-Pad9) | Default |
| Net-(L1-Pad1) | Default |
| Net-(I1-Pad2) | Default |

Assign Net Class

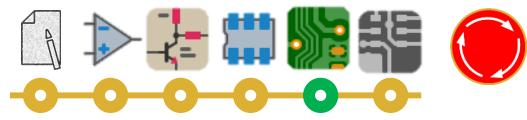
New net class:
Assign To All Listed Nets Assign To Selected Nets

Import Settings from Another Board... OK Cancel

| 원판 두께에 따른 Minimum Via Hole Size | |
|---------------------------------|-------|
| 1.6T 이하 | 0.2mm |
| 2.0T 이하 | 0.3mm |
| 2.4T 이하 | 0.4mm |
| 3.2T 이하 | 0.5mm |



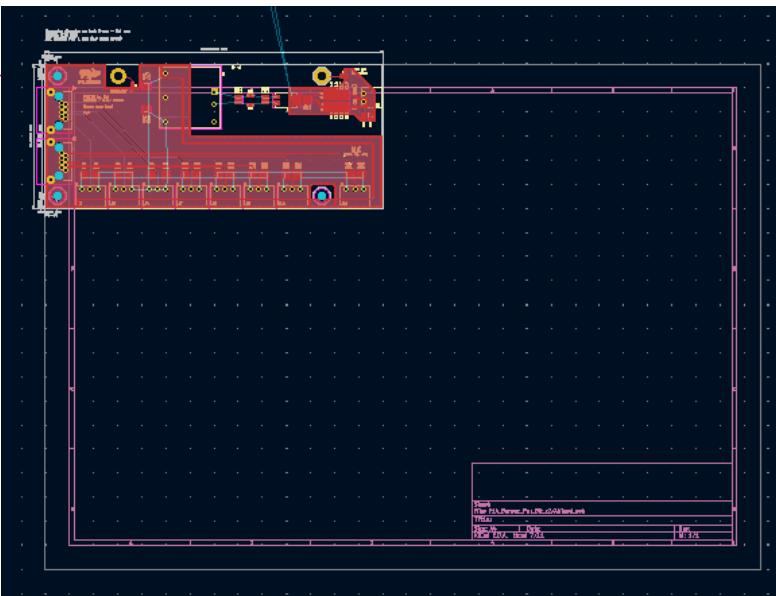
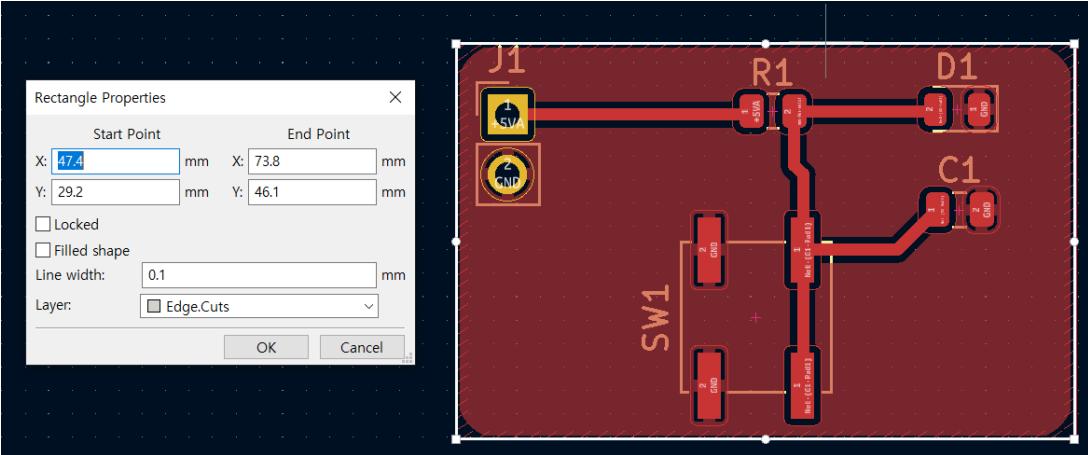
Edgecut



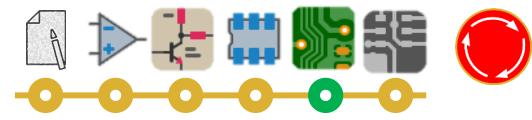
❖ 실제 PCB 작업 영역 설정



- ▶ Edge.Cuts Layer 선택 후,
- ▶ Drawing 할 영역을 그릴 수 있다.
 - ✓ 미리 계획된 Size가 있는 경우 치수에 맞게 조정
 - ✓ 작업에 따라 조정 가능
- ▶ 자삽 파일 생성 고려하여
 - ✓ 좌측 상단을 0,0에 맞추는 것을 권장
(페이지 표기 왼쪽 상단)
 - ✓ Start point를 0, 0으로 설정



Edgecut

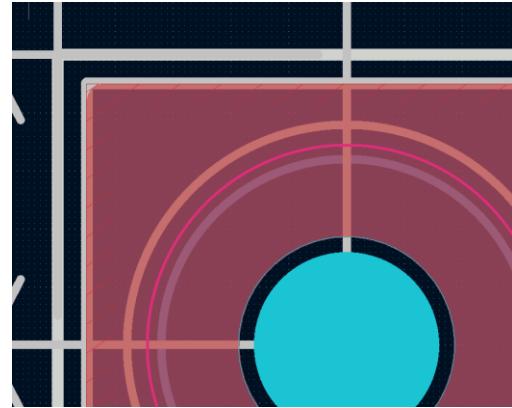


❖ 실제 PCB 작업 영역 설정

▶ Edge cut을 설정한 후, 0.3 혹은 0.5 mm 이내 Pattern 설계 금지

▶ **약 0.5 mm 정도 여유를 남겨둬라!**

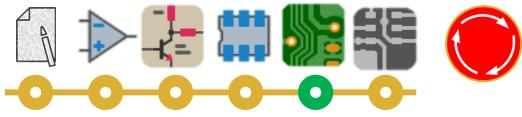
- ✓ 보드 설정에서 Copper to edge clearance가 제대로 설정되어 있다면
자동으로 적용된다.



Keep out

| 외형 Router M/C 가공 | V-Cutting 가공 |
|--|--|
| <p>Outline 편측 0.3mm 이내 Pattern(도체) 설계 금지</p> | <p>Outline 편측 0.5mm 이내 Pattern(도체) 설계 금지</p> |

Board Layout: 기본 조작



❖ 주요 단축키

▶ X: Track

- ✓ Track 작업 중 “V” 다른 층으로 가는 Via를 만들 때
- ✓ Track 선택 후 “U” 전체 Route 선택 및 수정 가능

▶ Ctrl + Shift + V: Free via

▶ B: Fill All Zones, Copper layer 수정 후 update

- ✓ Ctrl + B: Unfill All Zones

▶ 그 외에도 다양한 단축키가 있으며, 사용자 숙련도에 따라 편리한 단축키 사용

❖ 고려할 점

▶ Wire의 각도는 직각이 되지 않도록

- ✓ 135도로 꺾이도록
- ✓ 삼거리 혹은 사거리 형으로 모이는 경우
→ Via 추가 추천

▶ 전원선과 신호선의 분리

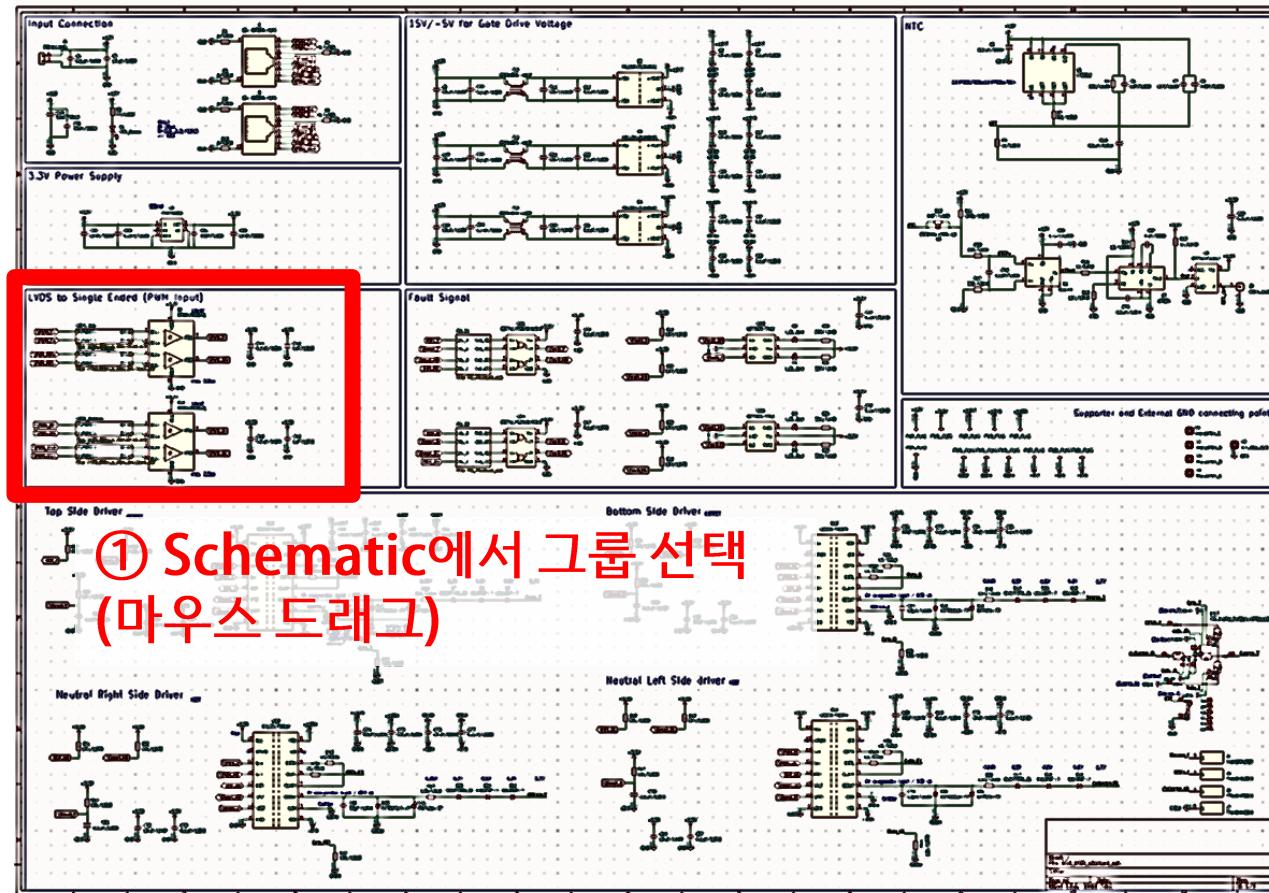
- ✓ 부득이한 경우 직교하여 최소한으로 교차

▶ 디지털과 아날로그 신호 분리

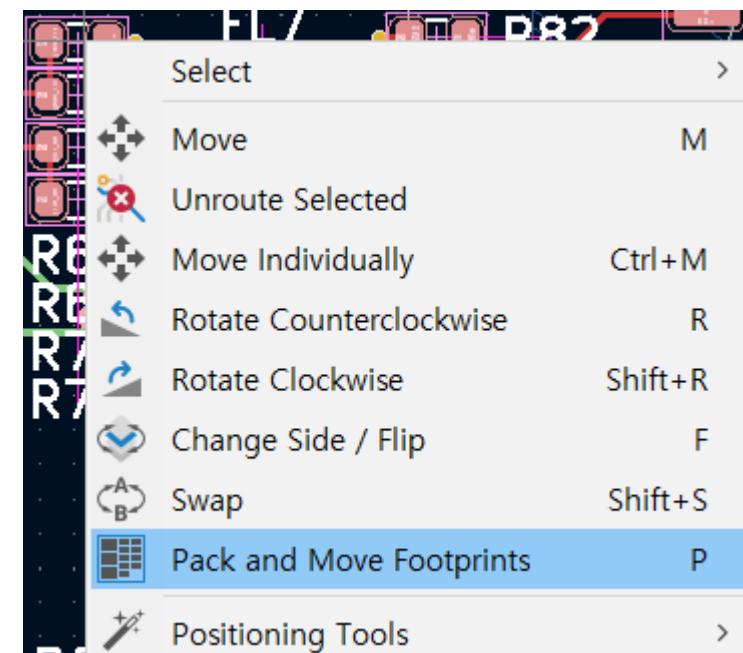
▶ Bypass capacitor는 칩 전원 핀과 가까이,

▶ 높은 전압을 다루는 경우, 도체간 간격 유의

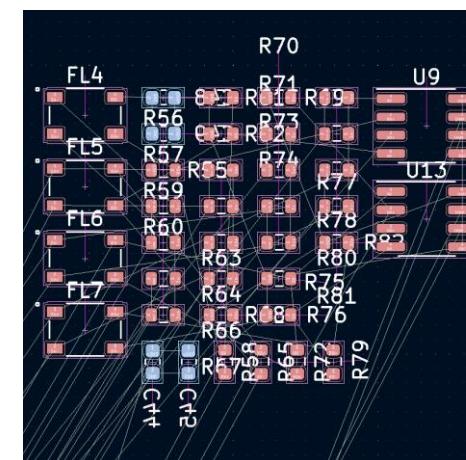
Board Layout: 그룹 선택



① Schematic에서 그룹 선택
(마우스 드래그)

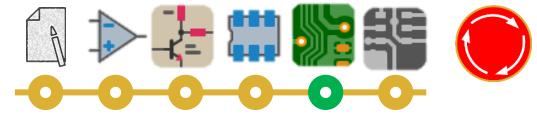


② PCB Editor에서 마우스 우클릭 후
Pack and Move Footprints



③ 그룹 선택하여
이동 가능

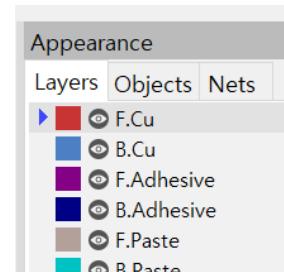
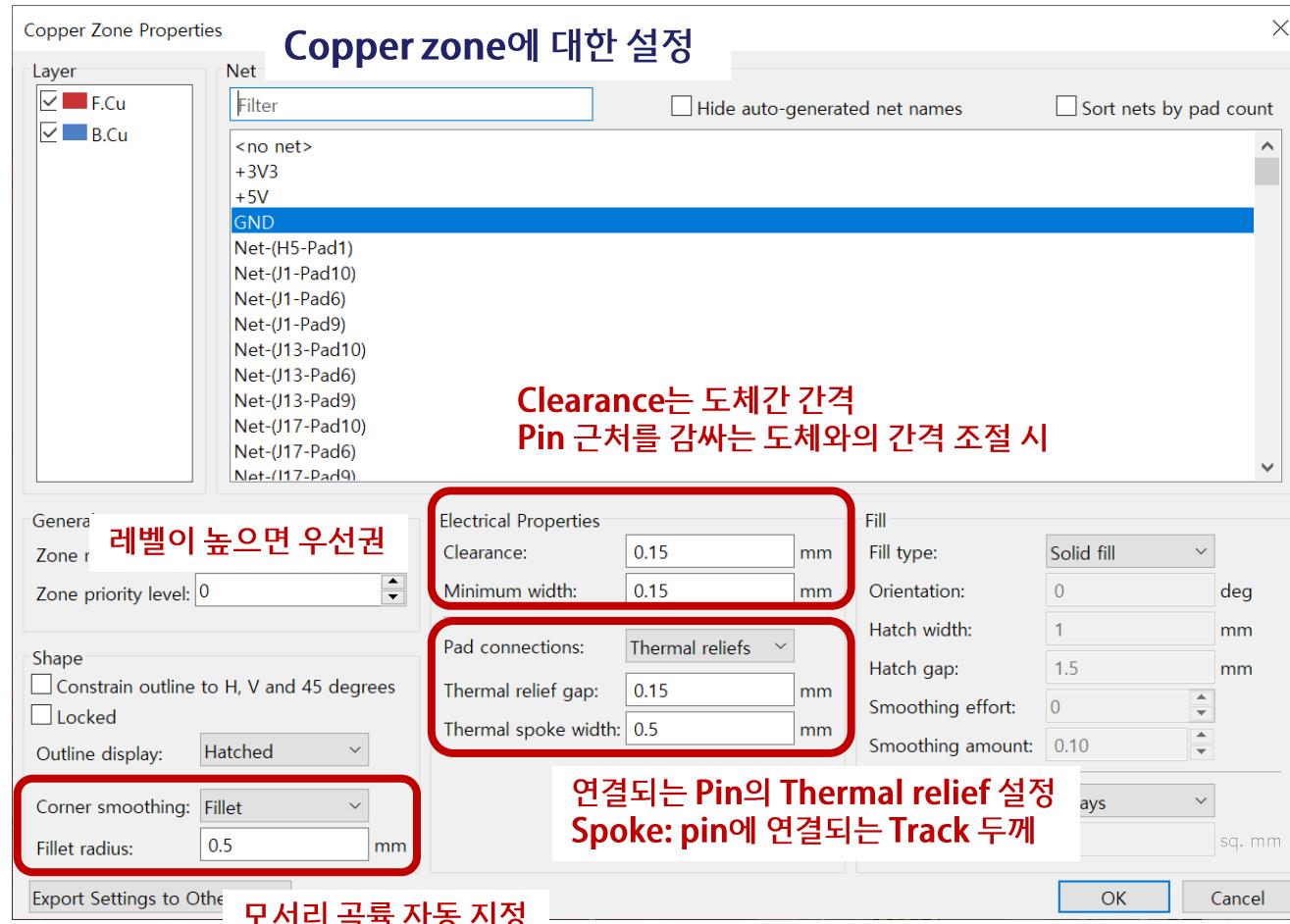
Board Layout: Pour 그리기



❖ Pour 그리기



- ▶ Copper 층 추가하려면 Cu 층 선택 후 해당 아이콘 누름
- ▶ Copper에 연결되는 Pin의 clearance, track width, thermal relief 등을 설정
- ▶ 작업 후 Edit > Fill All Zones.. (B) (채우는 작업, 작업 중 배선의 시각적 편의를 위해 비우고 싶다면 Ctrl + B)



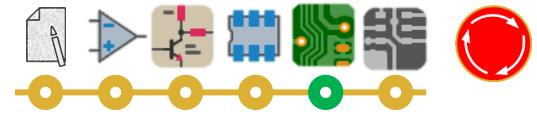
※ Pour 우선 순위 예시

- GND: 0
- 전원: 1
- 시그널: 2

※ Clearance (참조)

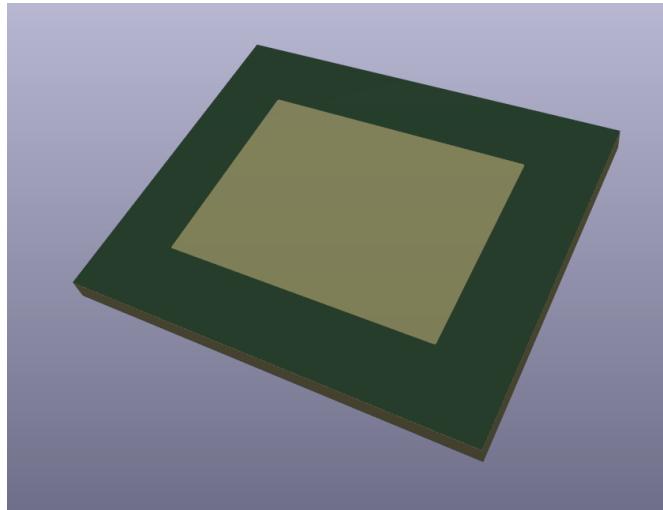
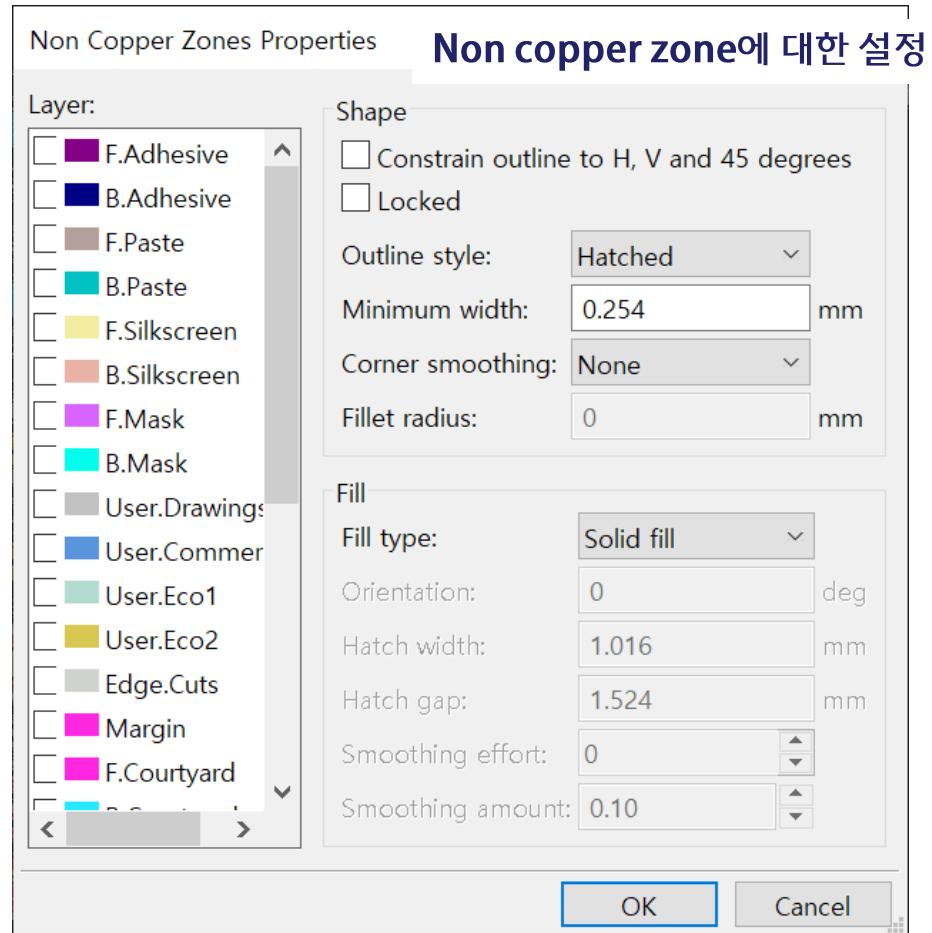


Board Layout: Pour 그리기

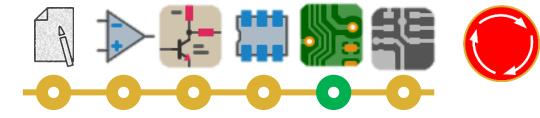


❖ Solder Mask 제거

- ▶ 활용처: Pour 마스크 제거
- ▶ Mask Layer 선택 후 사용 시 Copper가 드러나게 할 수 있다.



Board Layout: Free via

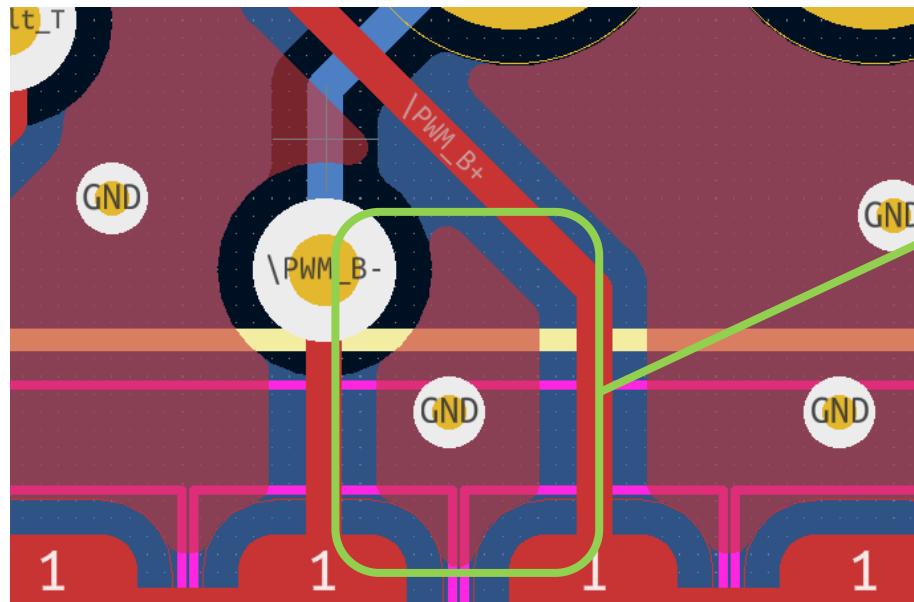


❖ Free via 뚫기

- ▶ 넓은 Pad의 위 아래 층 연결을 하거나, 소자나 Hole 배치에 따라 섬이 생기는 경우를 없애기 위해 Via 사용

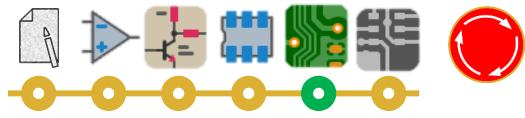


넓은 Pour에 적당한 수의 Free via를 만들어 두면 노이즈 측면에서도 좋다.
취향에 따라...
다만 Hole 개수가 너무 많으면 추가 요금 발생

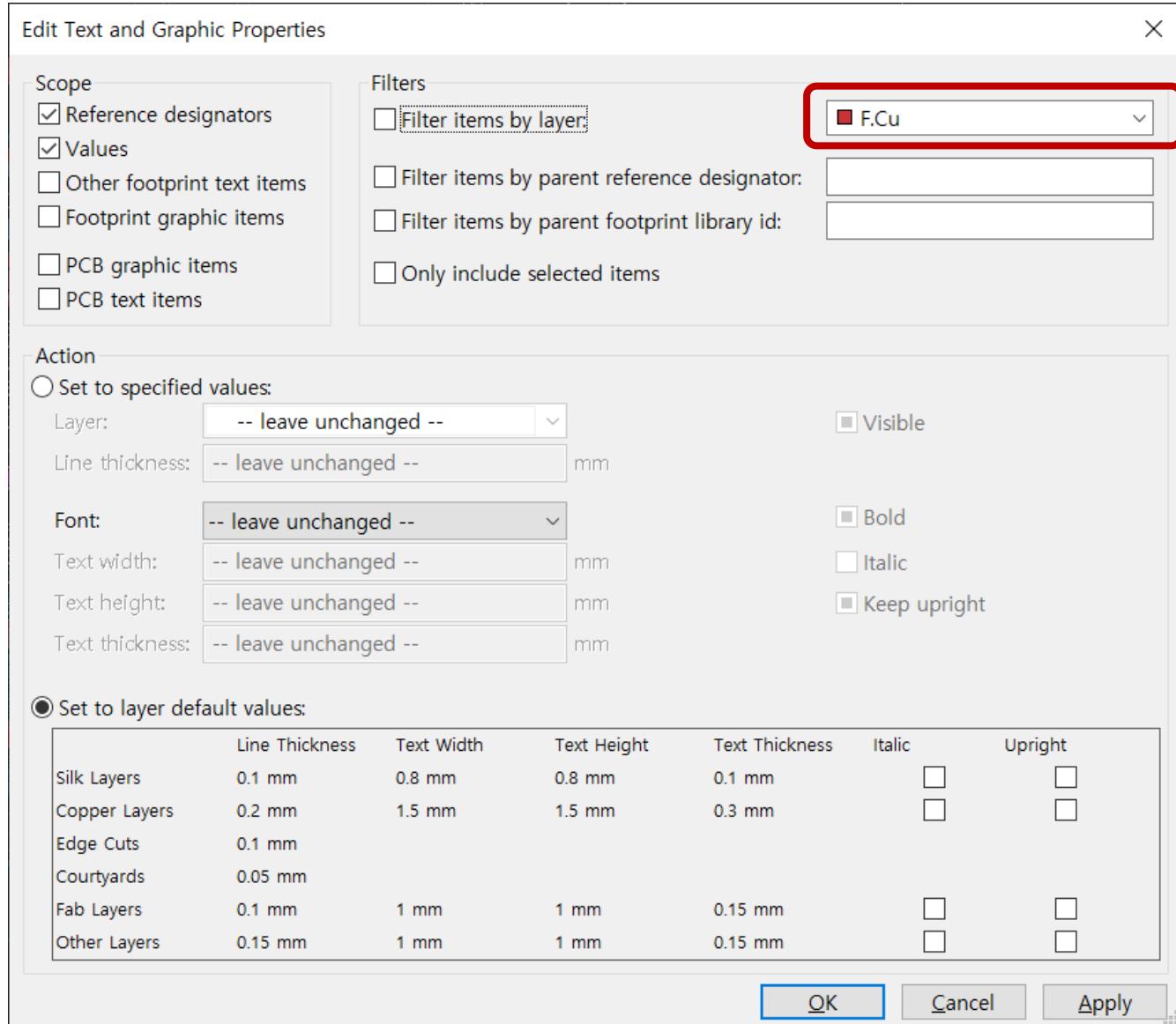


Via가 없으면 F.Cu 층의 pour는 섬이 되어 전위가 정의되지 않는다.

Board Layout: Text size 일괄 변경

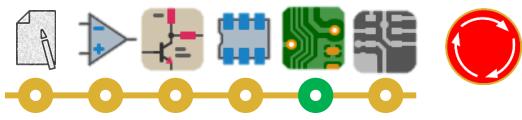


❖ Edit > Edit Text and Graphic Properties

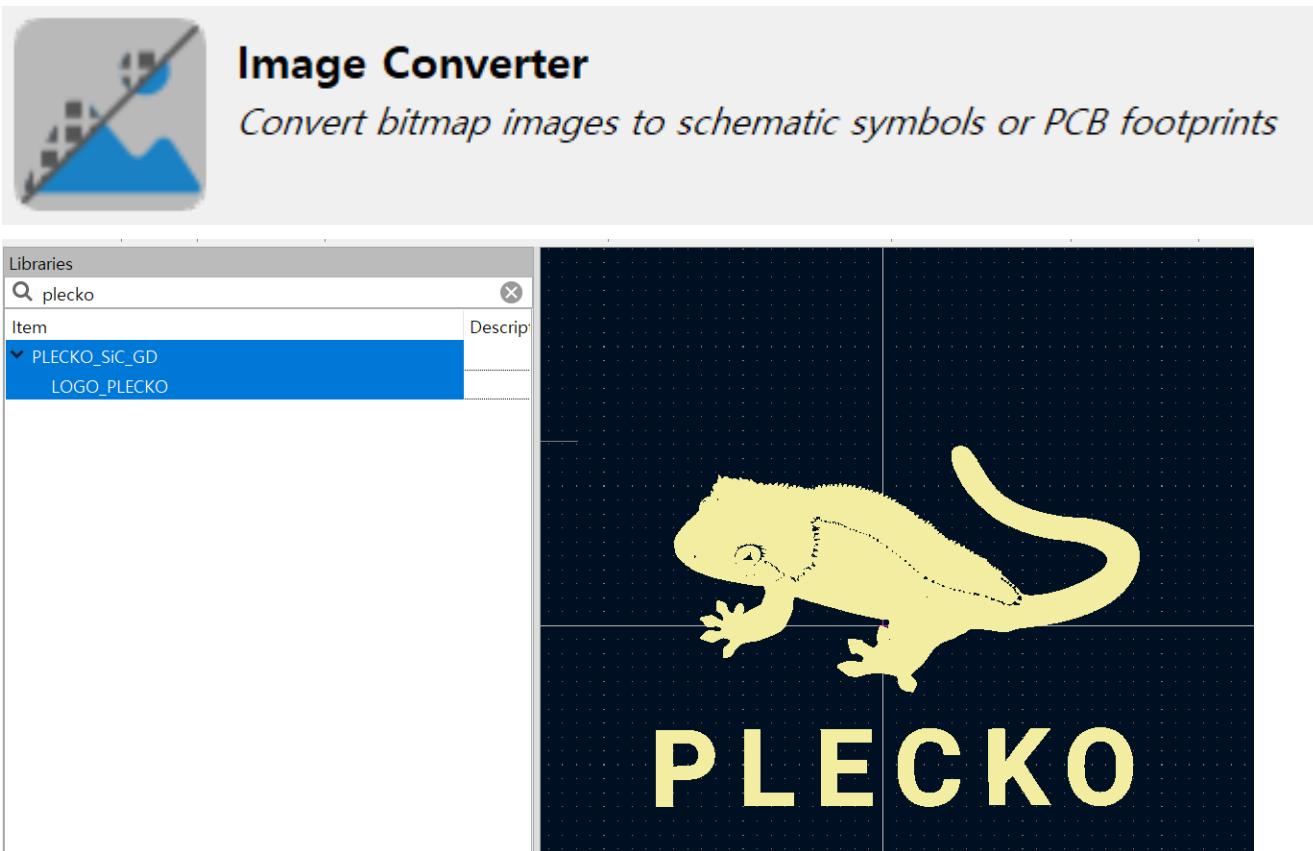
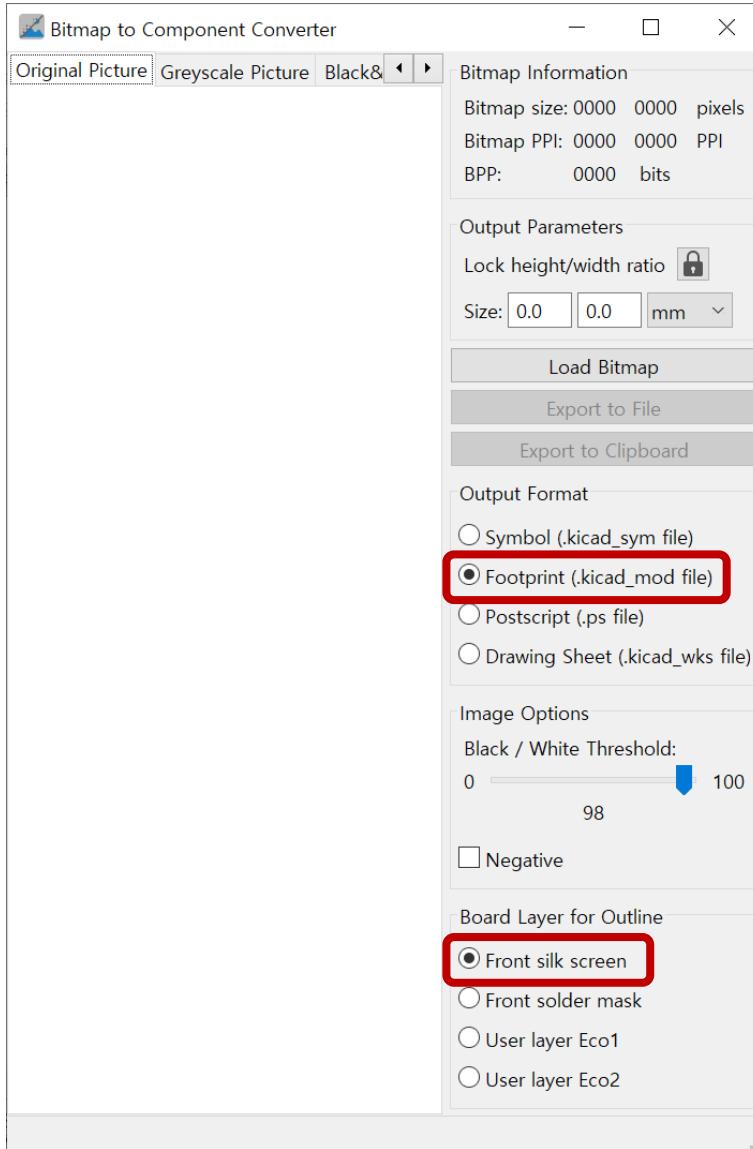


F.Silkscreen이나 B.Silkscreen 선택

Board Layout: 이미지 넣기

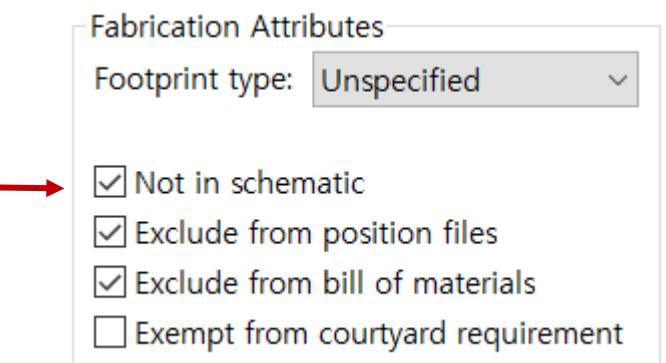


❖ Image Converter

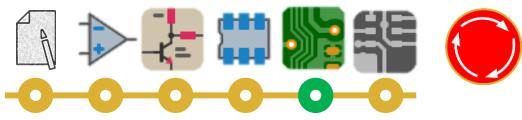


Footprint format으로 저장하고,
Place > Add Footprint (A)를 이용해 삽입하면 된다.

* PCB Update 때마다 없어지는 것을 방지하기 위하여,
설정에서 오른쪽과 같이 체크해준다.



Board Layout: User Layer

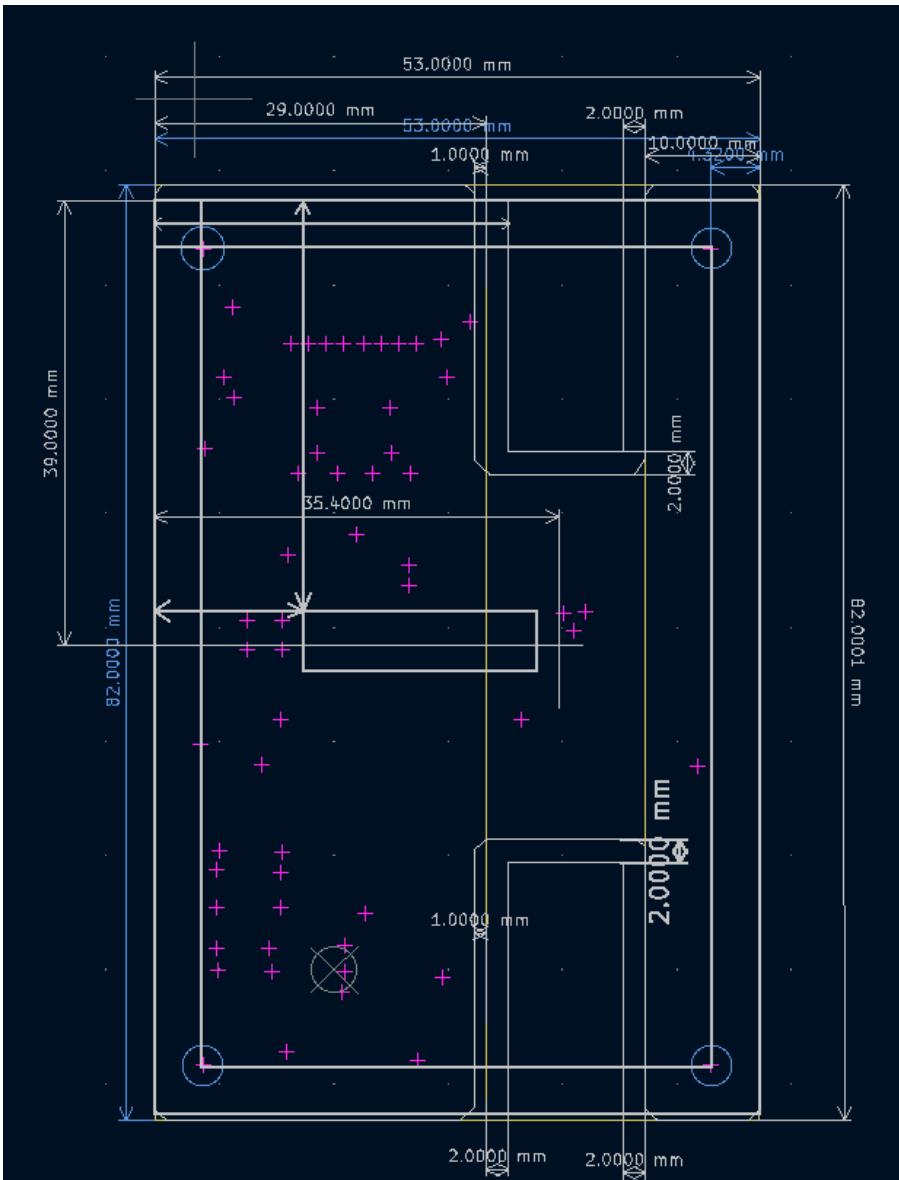
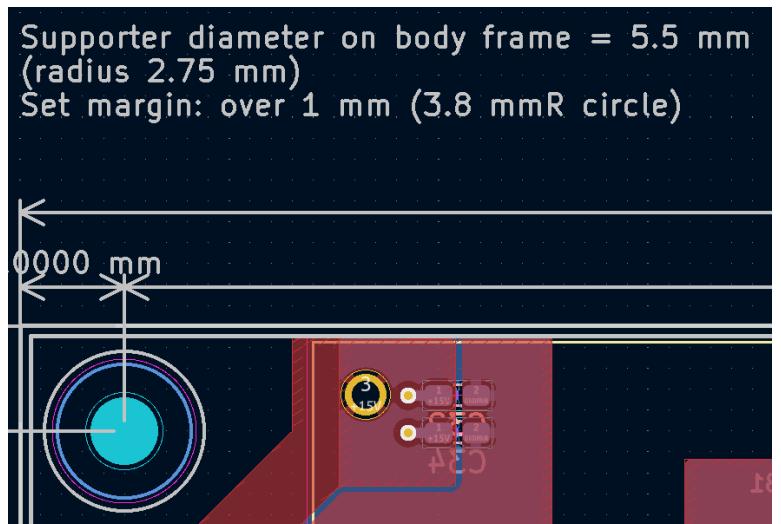


❖ User 층을 활용하여 기타 정보를 적어둘 수 있다.

- ▶ 실제 제작될 보드에 사용되는 정보는 아니지만,
- ▶ 실측한 보조선과 길이 정보를 나타내기 위해 사용 가능

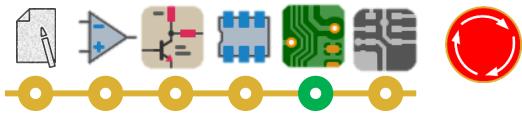
❖ Supporter 작업 시

- ▶ 프레임에 삽입되어 오는 철제 서포터의 지름이 약 5.5 mm
- ▶ 전압에 따른 여유 확보를 위해 별도의 원 표기 후 작업 추천
 - ✓ Ex) 800 Vdc 약 4 mm 확보 필요,
→ 6.75 mm 이상의 원을 그려두고 작업



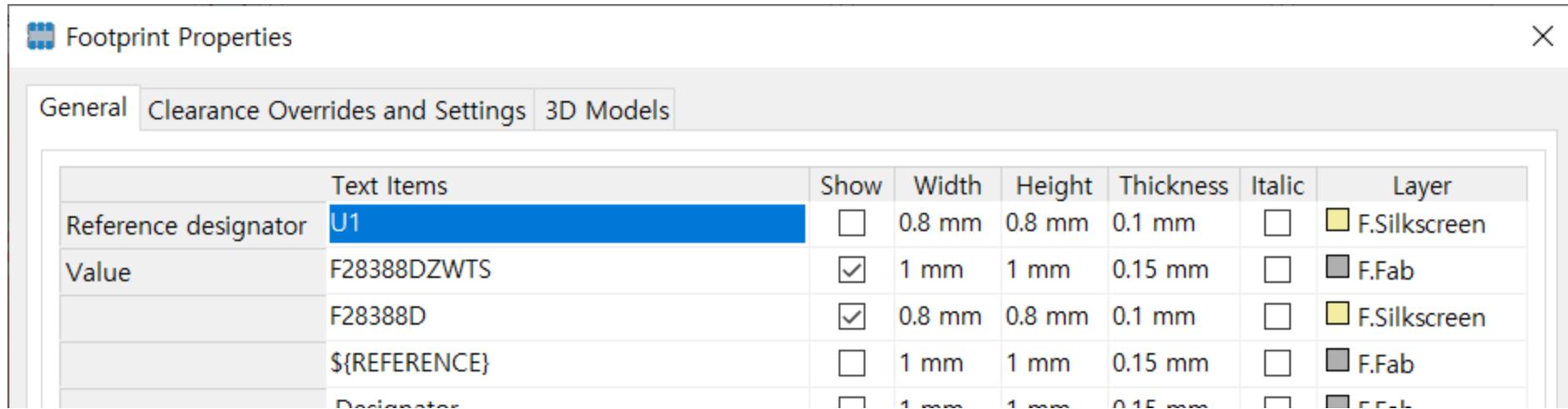
PLECKO

Reference 대신 다른 이름 쓰기

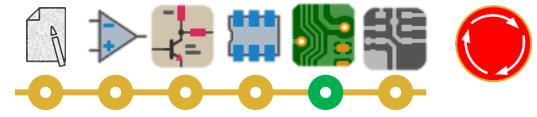


❖ U1, J1 등 Reference 대신 Silkscreen에 다른 것 쓰고 싶을 때

- ▶ Reference 이름을 바꿔므로 Schematic과의 Netlist 정보가 달라 Warning이 뜬다.
 - ✓ 필요하다면 Schematic의 Reference designator 수정도 가능

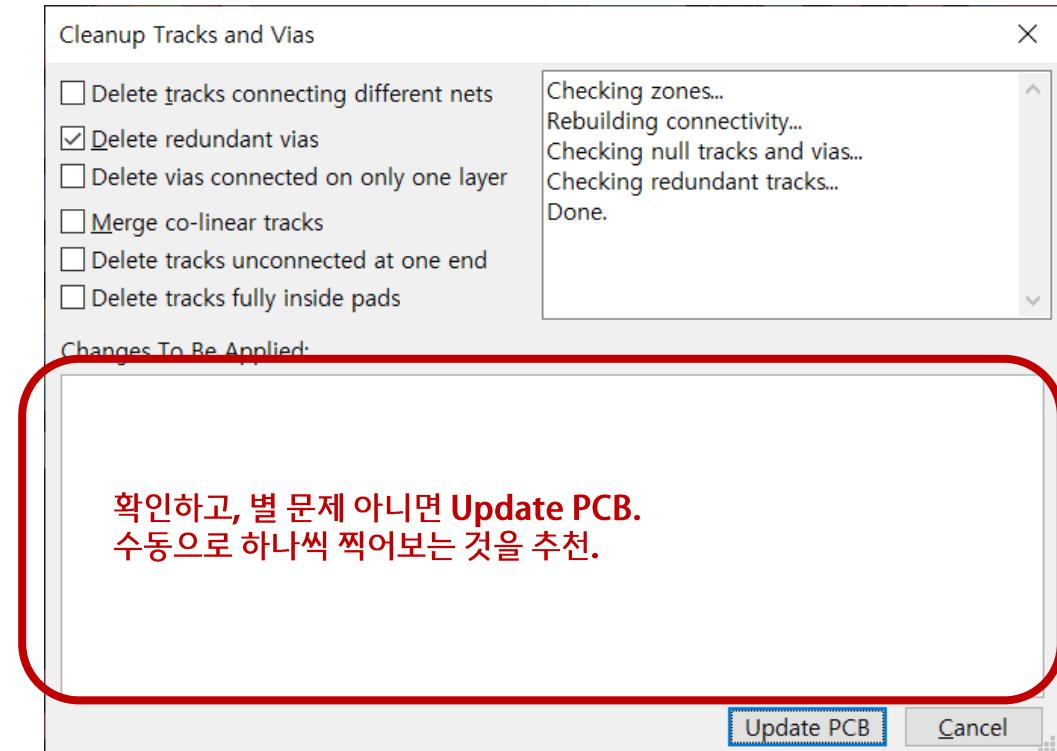


Board Layout: 작업 후 마무리

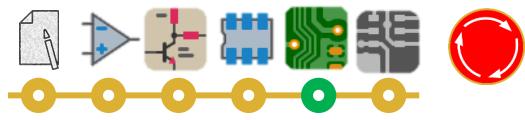


❖ Tools > Cleanup Tracks and Vias

- ▶ Merge co-linear tracks: 작업 중 일자임에도 두 개로 구성된 선을 합쳐준다.
- ▶ Delete redundant vias: 중첩된 Via 체크
- ▶ Delete vias connected on only one layer: 1개 Layer에만 연결된 via를 찾는다.
- ▶ Delete tracks connecting different nets: 잘못 연결된 선을 찾는다.

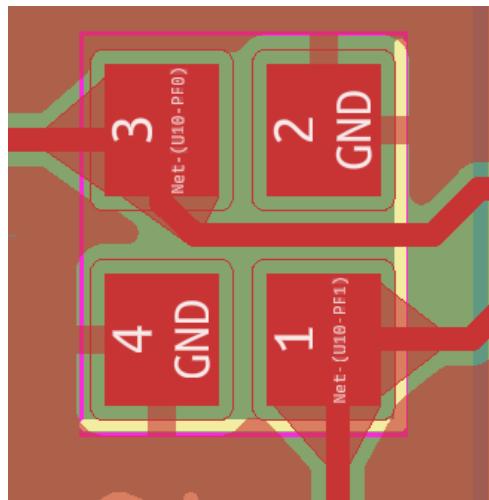
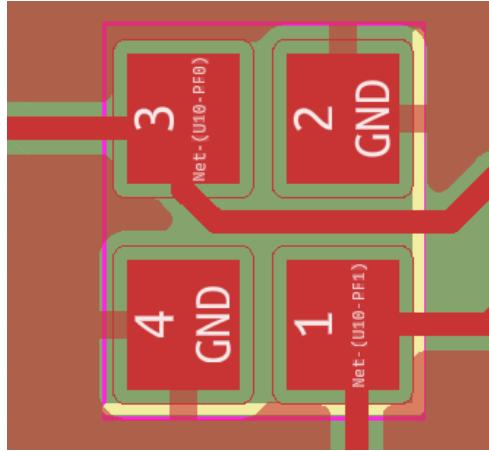
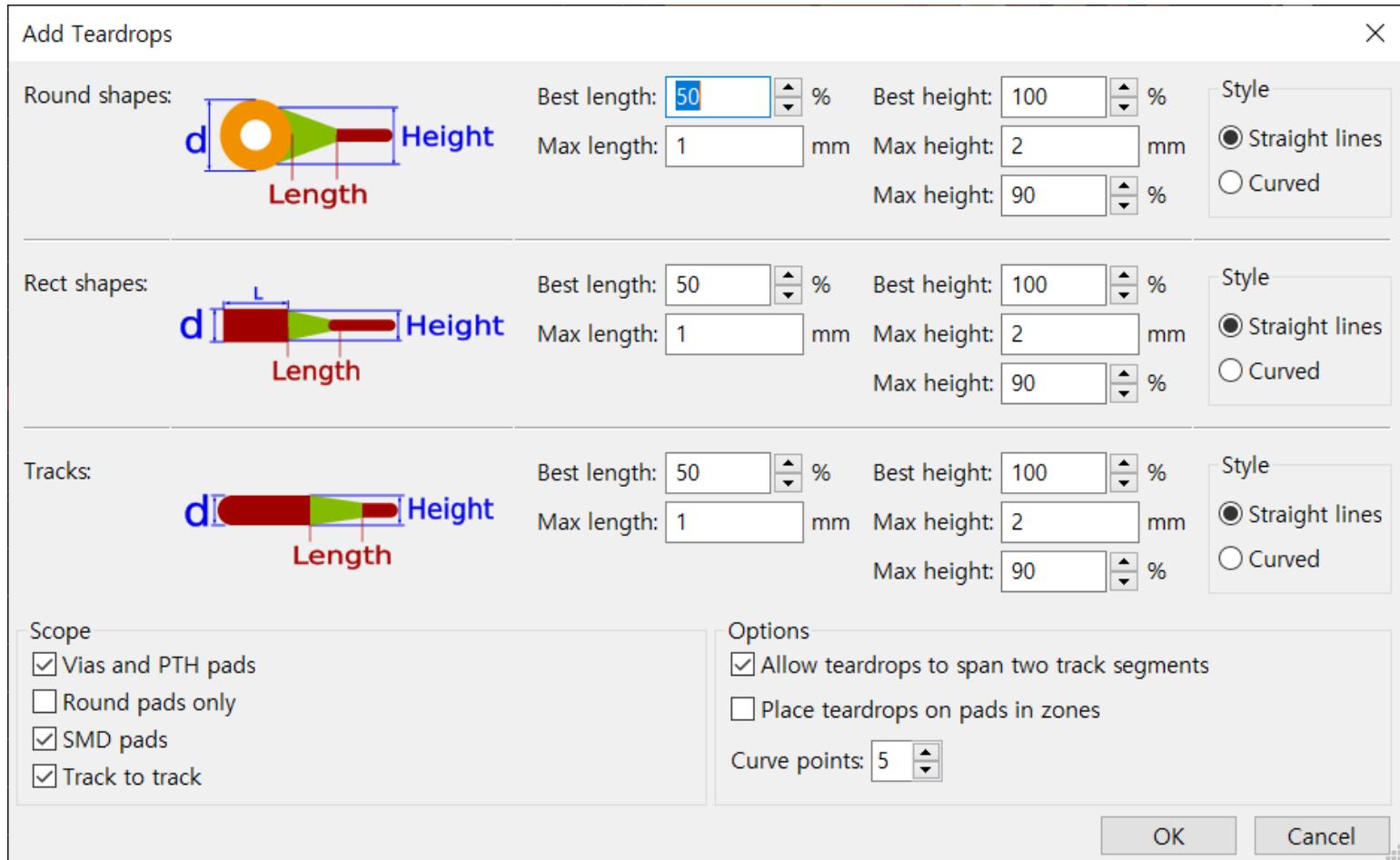


Board Layout: 작업 후 마무리

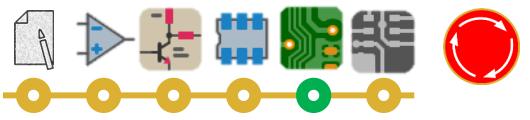


❖ Tools > Add Teardrops... (고급)

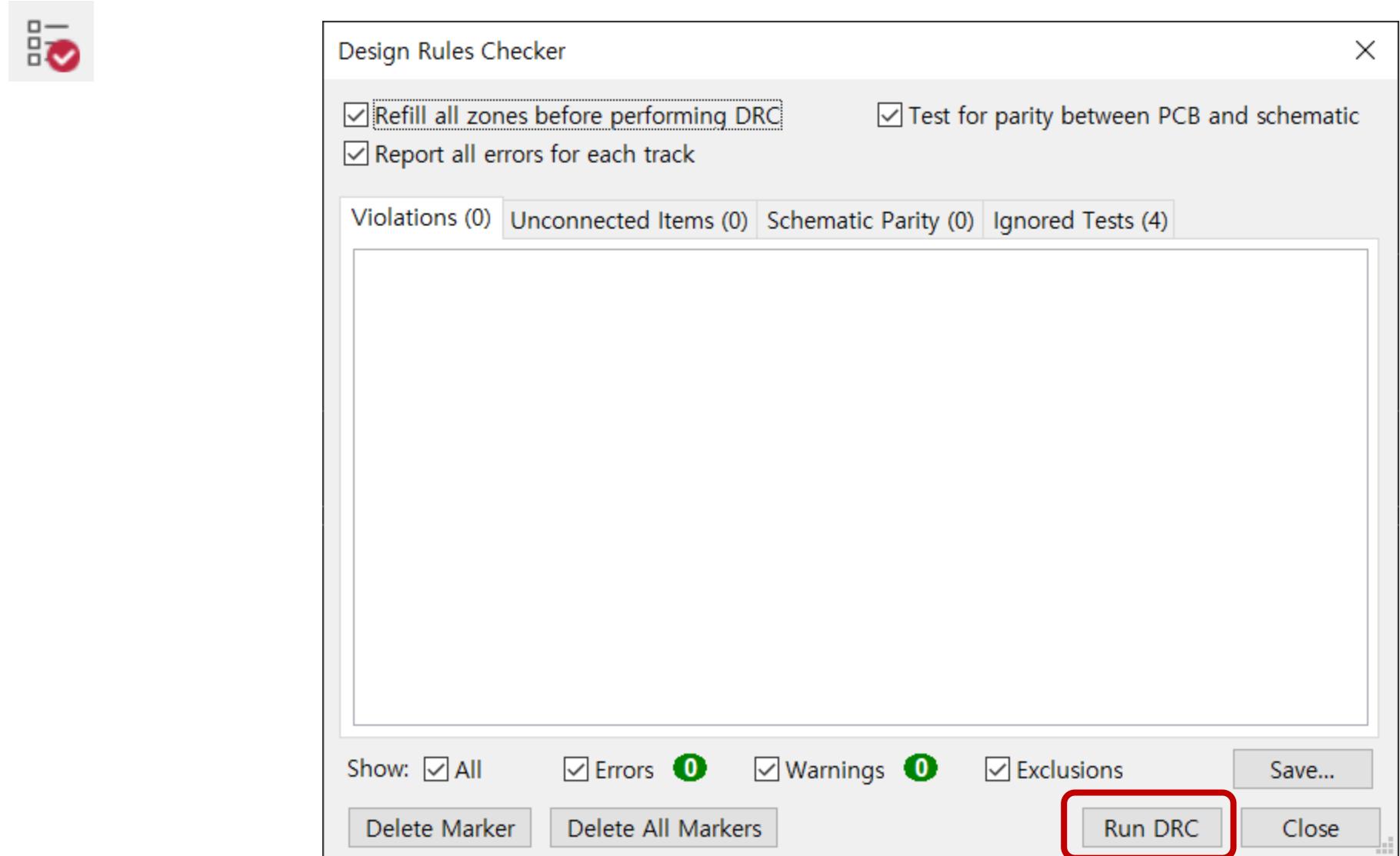
- ▶ 기본 설정으로 충분, 추가 후 다시 Fill (단축키 B)
- ▶ 회로 수정 후에는 Teardrop을 제거하고 다시 Add 해야 함.
 - ✓ Refill 시 자동 업데이트 안됨



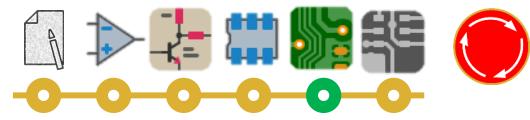
Board Layout: 작업 후 마무리



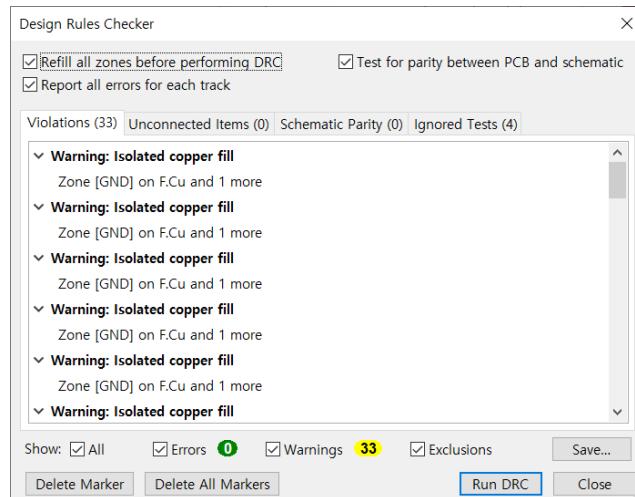
❖ DRC check



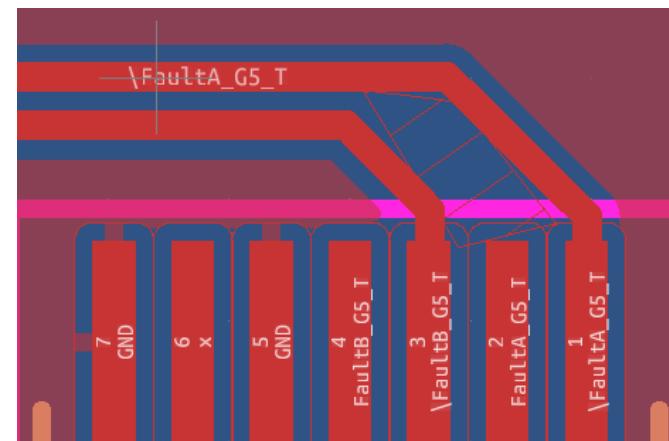
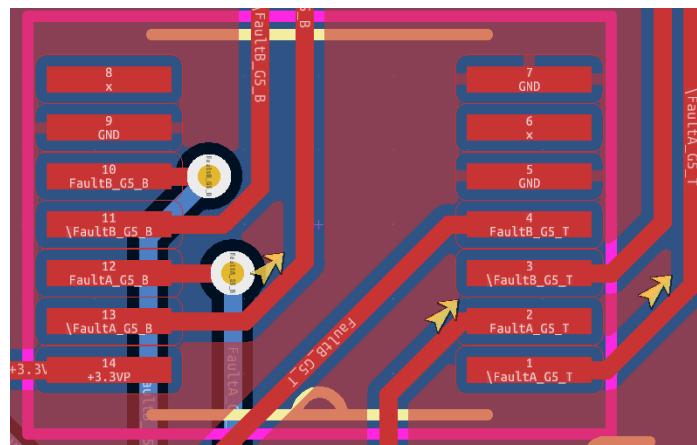
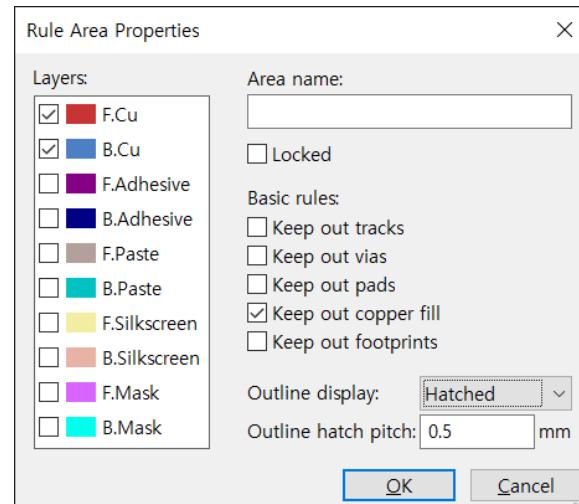
Keep out copper fill



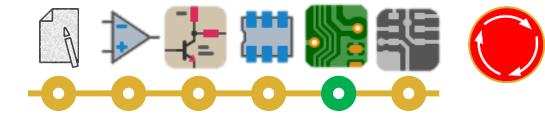
- ❖ 작업 후 Minor하게 isolated copper fill이 발생할 수 있는데, 중요하지 않은 섬일 수 있다.
 - ▶ 이 때는 Rule area에서 Keep out copper fill 기능을 이용하여 제거할 수 있다.
 - ▶ 보통은 섬이 생기지 않게 디자인 하는 것이 가장 바람직 함을 기억한다.



Rule area



Board Layout: 작업물 3D 확인



❖ View > 3D Viewer

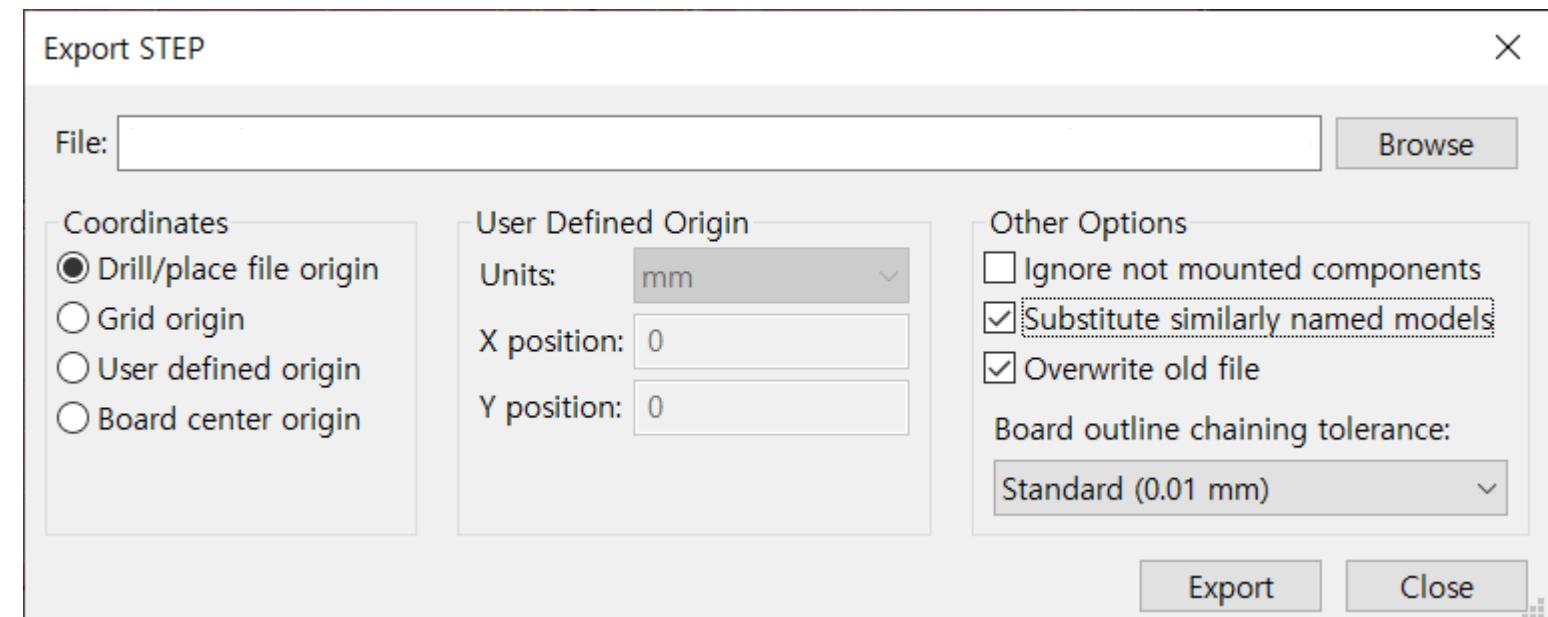
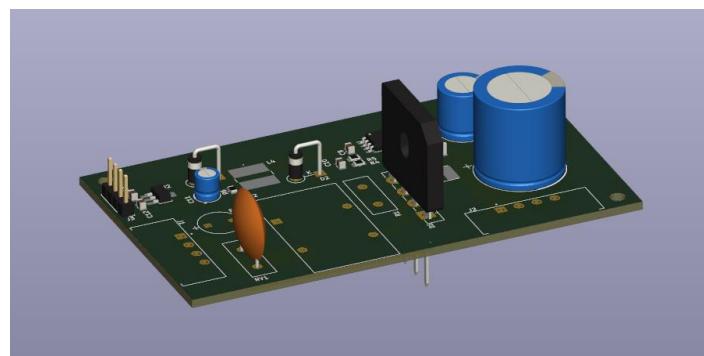
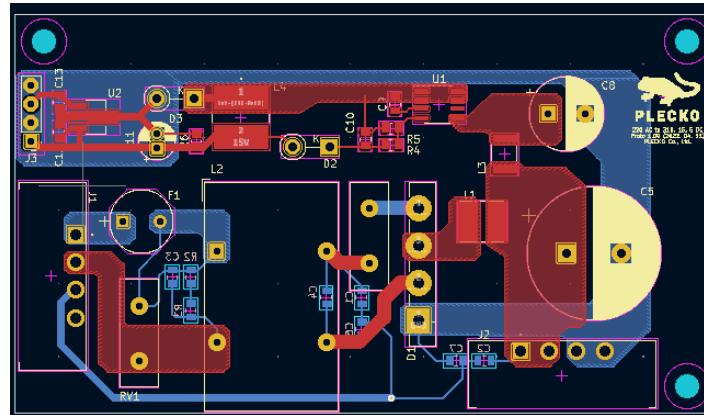
▶ Export 중 VRML 선택 시 wrl 파일 생성

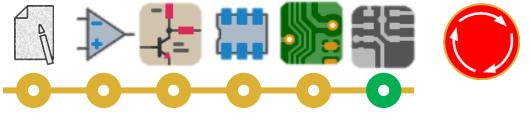
✓ KiCad의 3D Viewer: VRML description

✓ 다른 보드 작업 때 활용하려면 Unit을 0.1 inch로 선택

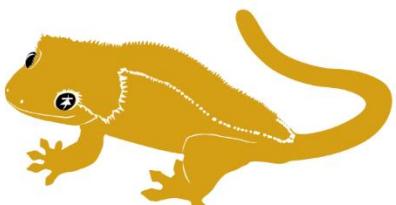
▶ Export > step (통상 공유 시 사용되는 Cad 선언)

✓ Check “Subsitute similarly named models”: VRML을 step 변환할 때 누락 없도록 함.



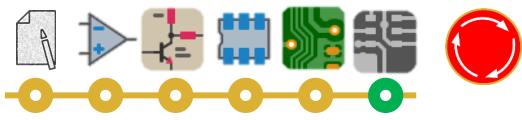


거버 파일 제작 (Post processing)



PLECKO

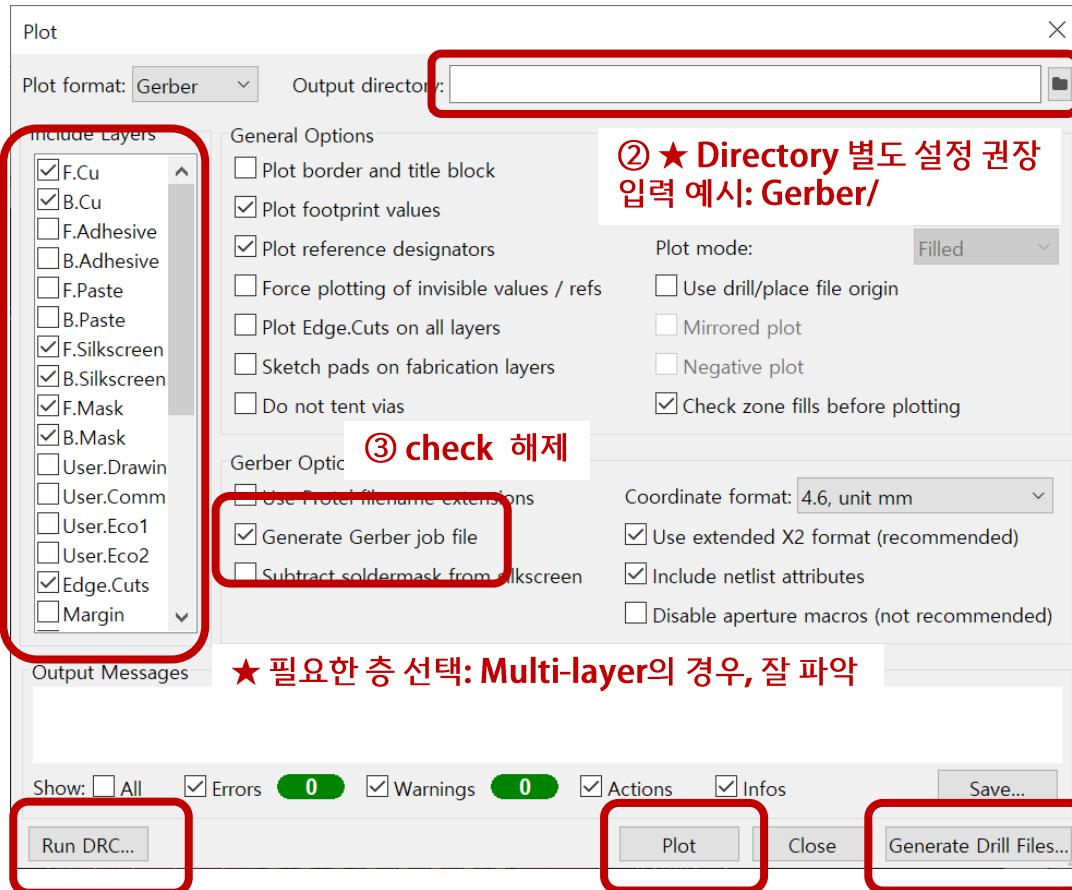
Post Processing



❖ (PCB Editor에서) File > Plot..

- ▶ 플롯 누르고, generate drill files
- ▶ 각 층 Cu, F/B.Silkscreen, F/B.Mask, Edge.Cuts

* 거버 파일 종류와 필수/선택



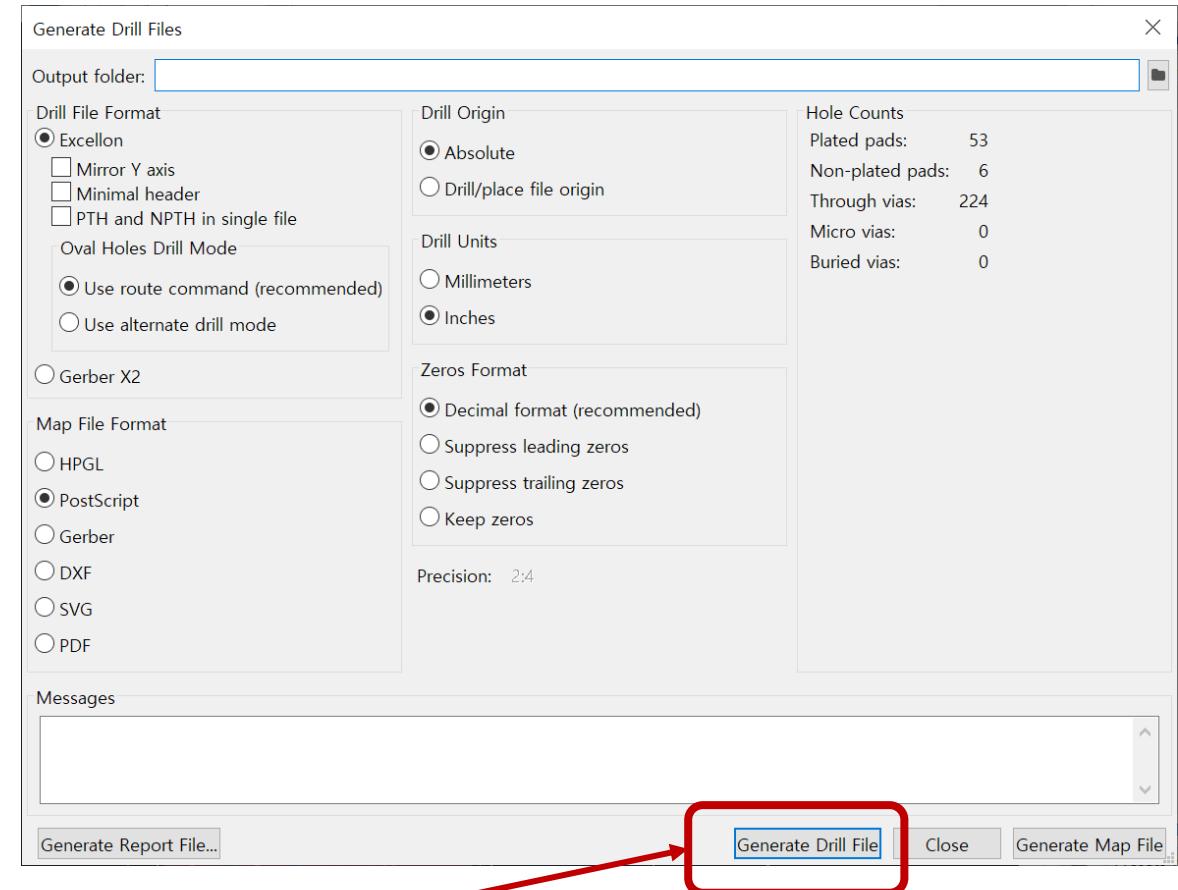
① 하기 전에 꼭 하라고 Plot에 Run DRC..가 있다.

한번 더 실행.

★ Directory 리셋되니 재지정

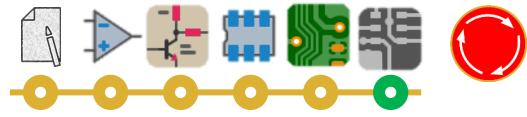
④ Gerber file 생성

⑤ Drill file 생성



PLECKO

Post Processing



❖ 2 Layer 작업 기준 9개 파일 생성됨.

- ▶ (plot할 때 gbrjob 제외 했다면), gbr 7개 / drl 2개
- ▶ PCB 제작업체에 넘기면 됨.
- ▶ 4 Layer면 Inner layer copper 층 추가되어 11개 파일
- ▶ 6 Layer면 Inner layer copper 층 추가되어 13개 파일

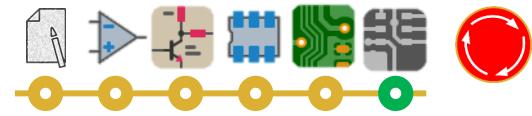
2 Layer 작업 결과

| | | | |
|-------------------|--------------------|-----------|-------|
| -B_Cu.gbr | 2022-06-30 오후 6:16 | GBR 파일 | 140KB |
| -B_Mask.gbr | 2022-06-30 오후 6:16 | GBR 파일 | 4KB |
| -B_Silkscreen.gbr | 2022-06-30 오후 6:16 | GBR 파일 | 2KB |
| -Edge_Cuts.gbr | 2022-06-30 오후 6:16 | GBR 파일 | 2KB |
| -F_Cu.gbr | 2022-06-30 오후 6:16 | GBR 파일 | 356KB |
| -F_Mask.gbr | 2022-06-30 오후 6:16 | GBR 파일 | 9KB |
| -F_Silkscreen.gbr | 2022-06-30 오후 6:16 | GBR 파일 | 223KB |
| | 2022-06-30 오후 6:16 | GBRJOB 파일 | 3KB |
| -NPTH.drl | 2022-06-30 오후 6:16 | DRL 파일 | 1KB |
| -PTH.drl | 2022-06-30 오후 6:16 | DRL 파일 | 6KB |

4 Layer 작업 결과

| | | | |
|----------------|---------------------|-----------------------|---------|
| -B.Cu.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 1,950KB |
| -B.Mask.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 742KB |
| -B.SilkS.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 452KB |
| | 2020-02-17 오후 10:13 | Microsoft Excel 숨표... | 22KB |
| -Edge.Cuts.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 7KB |
| -F.Cu.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 1,545KB |
| -F.Mask.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 830KB |
| -F.SilkS.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 583KB |
| -In1.Cu.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 939KB |
| -In2.Cu.gbr | 2020-02-05 오후 7:14 | GBR 파일 | 1,032KB |
| -NPTH.drl | 2020-02-05 오후 7:14 | DRL 파일 | 1KB |
| -PTH.drl | 2020-02-05 오후 7:14 | DRL 파일 | 26KB |

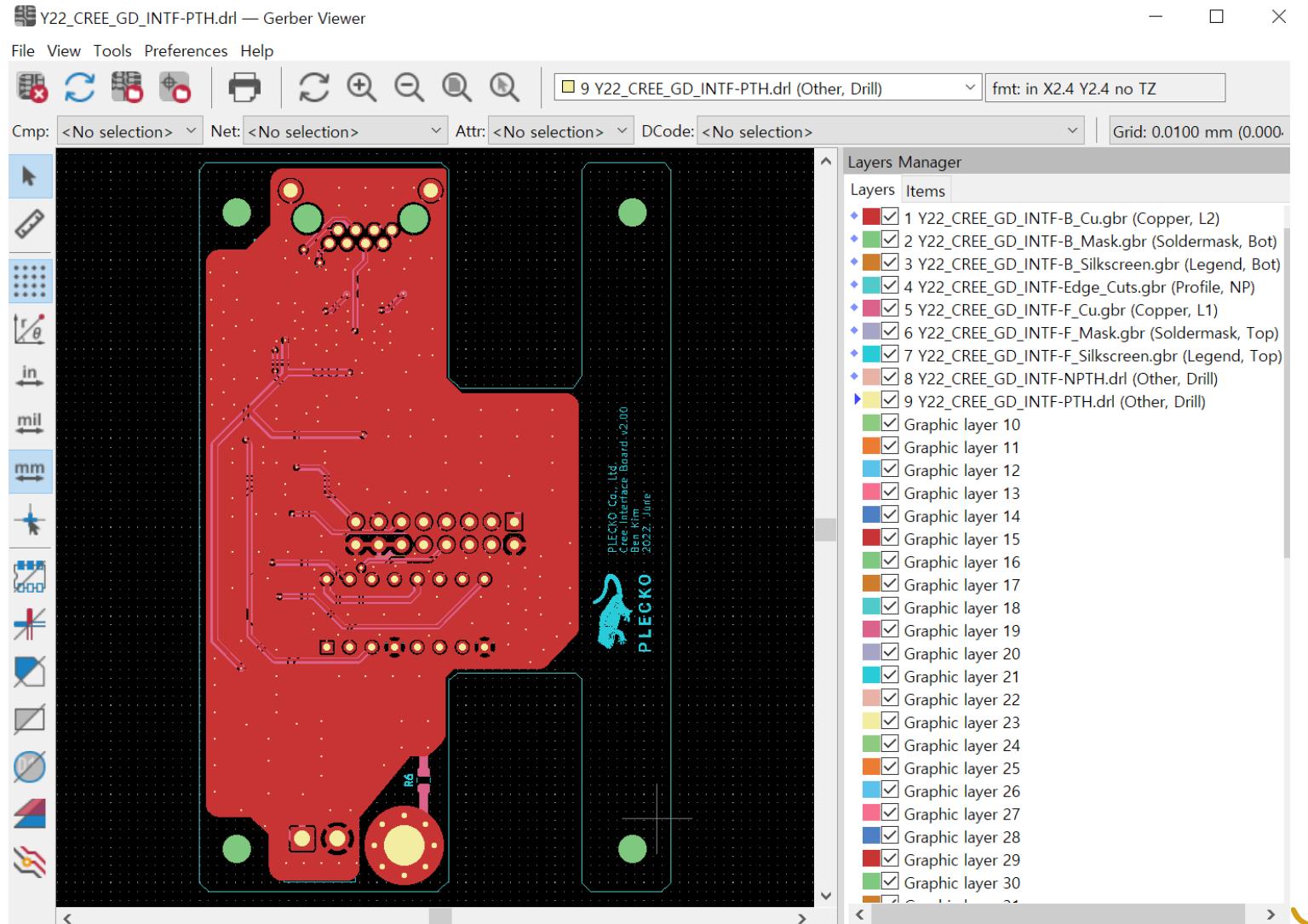
Post Processing



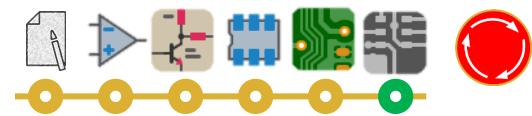
❖ Gerber viewer로 결과물을 꼭 확인

- ▶ File > Open Gerber Plot File(s)..
- ▶ File > Open Excellon Drill File(s)..

- ▶ 섬이 있나 없나,
- ▶ 배치가 적절한가,
- ▶ 90도로 꺾인 Pour가 없는가,
- ▶ Free via는 충분히 배치되었는가,
- ▶ 커넥터, 홀 위치 적절한가,
- ▶ 등등

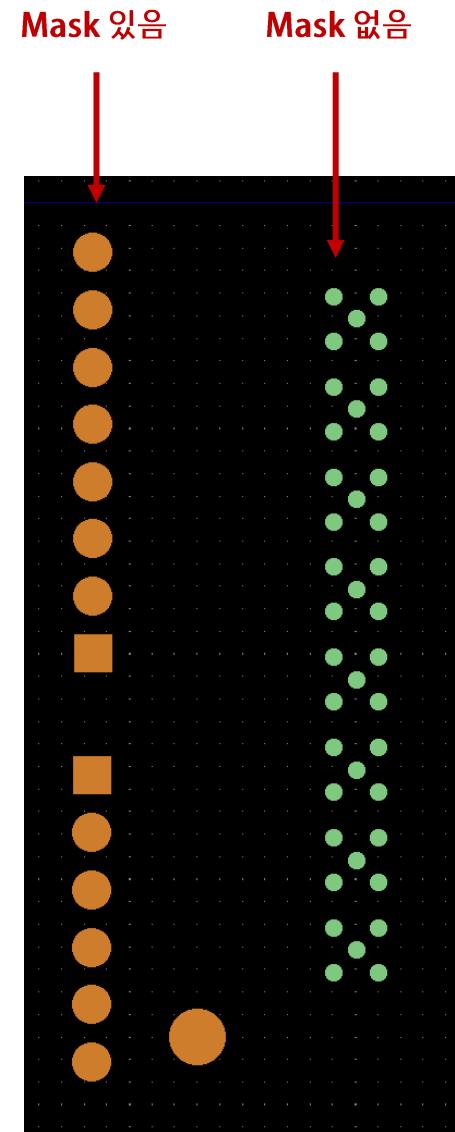
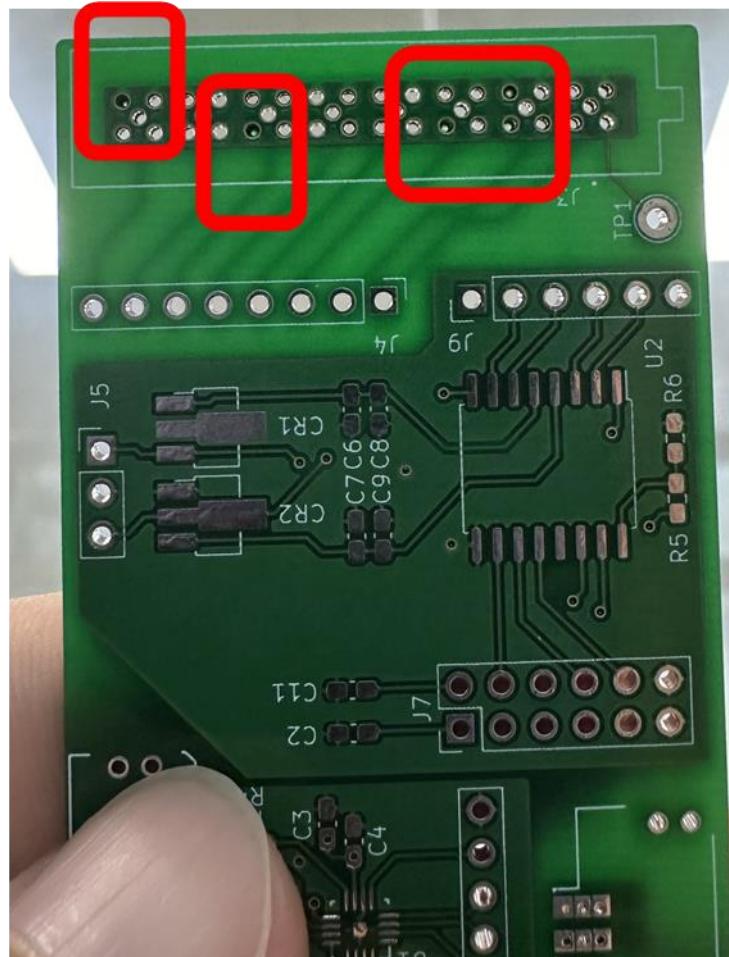


Through-hole Mask 확인: ★ 특히, Footprint 가져온 경우

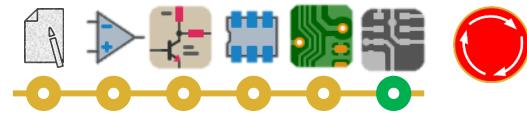


❖ 마스크 없는 경우 잉크가 남을 수 있다.

▶ 작업 과정상 홀을 뚫고 잉크를 덮는데, 마스크가 없으면 덮일 수 있다.



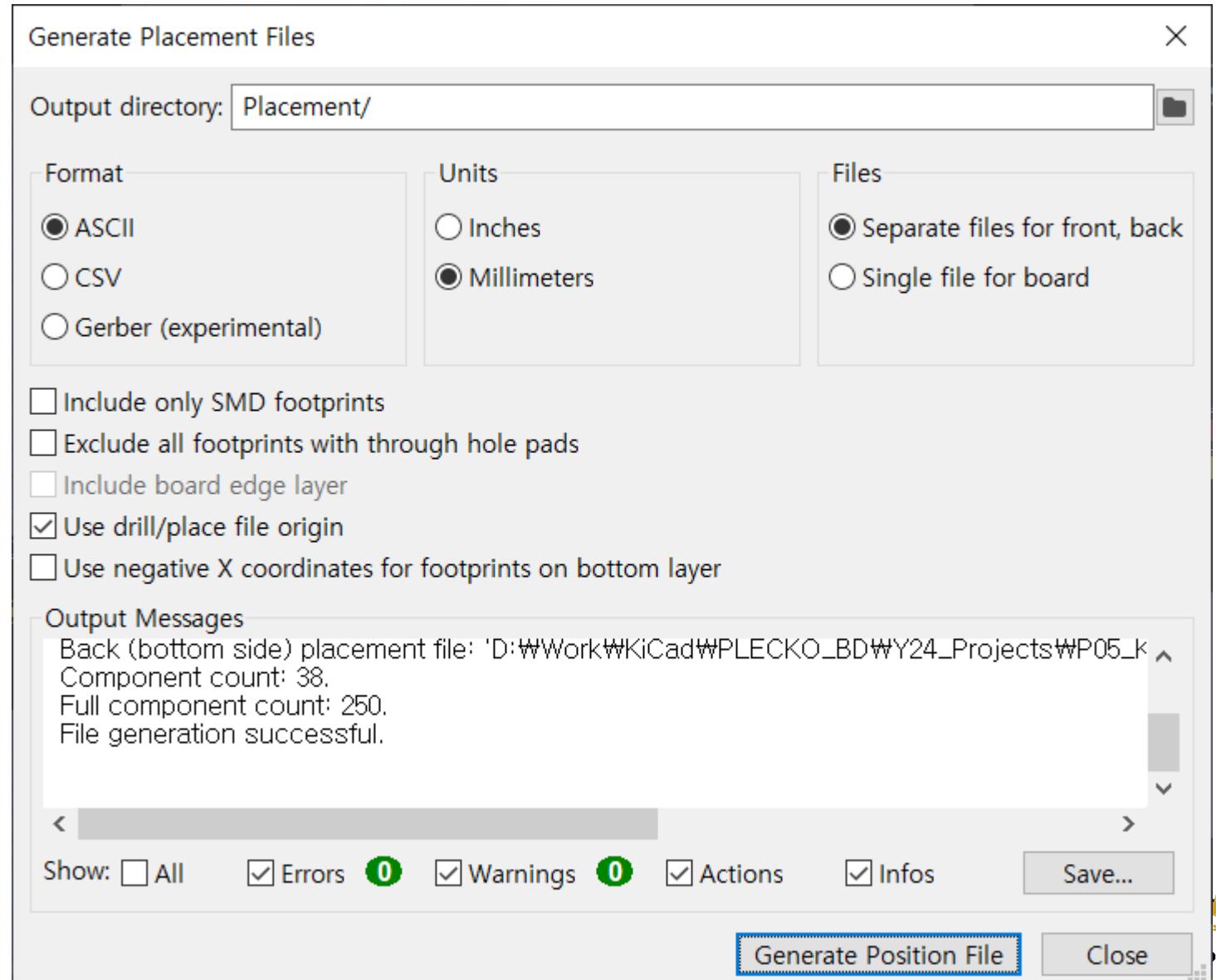
자삽 위한 파일 생성



❖ File > Fabrication Outputs > Component Placement (.pos)...

- ▶ 별도 폴더 지정 권장
- ▶ ASCII, CSV 둘 다 생성 권장
- ▶ Millimeters 권장
- ▶ Seperate files 권장

- ▶ 설정 후 Generate Posotion File



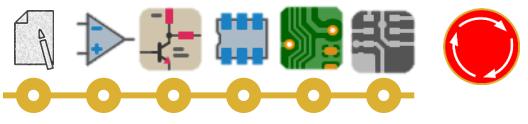
Thank you!

benkim@plecko.biz

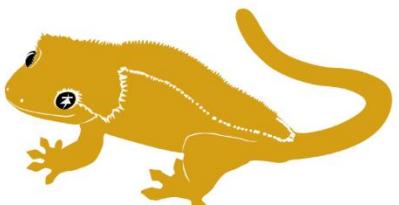


<https://www.plecko.biz>

@plecko_company

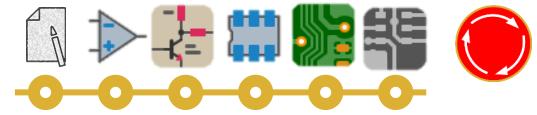


Appendix – 설계 보충 자료



PLECKO

SMD 저항 Metric과 표준 전력 소모


[Return](#)

| Imperial (Inches) | | | | Size | Metric | | | |
|--------------------|---------------------|--------------------|----------------|------|--------------------|---------------------|--------------------|----------------|
| Resistor Case Code | Approx. Length (in) | Approx. Width (in) | Power (W) | | Resistor Case Code | Approx. Length (mm) | Approx. Width (mm) | Power (W) |
| 01005 | 0.016 | 0.008 | 0.031 | - | 0402 | 0.4 | 0.2 | 0.031 |
| 0201 | 0.02 | 0.01 | 1 / 20 (0.05) | - | 0603 | 0.6 | 0.3 | 1 / 20 (0.05) |
| 0402 | 0.04 | 0.02 | 1 / 16 (0.062) | - | 1005 | 1.0 | 0.5 | 1 / 16 (0.062) |
| 0603 | 0.06 | 0.03 | 1 / 10 (0.10) | - | 1608 | 1.6 | 0.8 | 1 / 10 (0.10) |
| 0805 | 0.08 | 0.05 | 1 / 8 (0.125) | - | 2012 | 2.0 | 1.25 | 1 / 8 (0.125) |
| 1206 | 0.125 | 0.06 | 1 / 4 (0.25) | ■ | 3216 | 3.2 | 1.6 | 1 / 4 (0.25) |
| 1210 | 0.125 | 0.10 | 1 / 2 (0.5) | ■ | 3225 | 3.2 | 2.5 | 1 / 2 (0.5) |
| 1812 | 0.18 | 0.125 | 3 / 4 (0.75) | ■ | 4532 | 4.5 | 3.2 | 3 / 4 (0.75) |
| 2010 | 0.20 | 0.10 | 3 / 4 (0.75) | ■ | 5025 | 5.0 | 2.5 | 3 / 4 (0.75) |
| 2512 | 0.25 | 0.125 | 1 | ■ | 6332 | 6.3 | 3.2 | 1 |

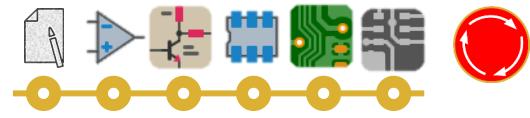
주로 사용

Shunt 시 고려



PLECKO

캐패시터 내압 고려 예시



Return

❖ 칩 캐패시터 검색 결과 – Mouser 예시

▶ 정격 전압, 공차 등을 고려해서 선정

chip capacitor 다층 세라믹 커패시터 MLCC - SMD/SMT

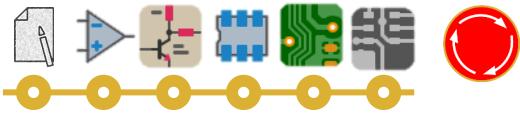
제품 (122,982) | 데이터시트 | 이미지 | 최신 제품

결과: 122,982 | 스마트 필터링

적용된 필터: 수동 부품 > 콘덴서 > 세라믹 콘덴서 > MLCC - 다층 세라믹 커패시터 > 다층 세라믹 커패시터 MLCC - SMD/SMT

| 제조업체 | 전기 용량 | 전압 정격 DC | 유전체 | 공차 | 케이스 코드 - in | 케이스 코드 - mm |
|--|---|--|--|---|--|--|
| ---- 최고 인기 제품 ---- KEMET Murata KYOCERA AVX TDK ---- A~Z ---- Cornell Dubilier Johanson Kamaya KEMET Knowles KOA Speer KYOCERA AVX Kyocera AVX MACOM | 0.01 pF 0.1 pF 0.11 pF 0.12 pF 0.13 pF 0.15 pF 0.16 pF 0.18 pF 0.2 pF 0.22 pF 0.24 pF 0.25 pF 0.27 pF 0.3 pF | 2.5 VDC 4 VDC 6.3 VDC 10 VDC 16 VDC 20 VDC 25 VDC 35 VDC 50 VDC 63 VDC 80 VDC 100 VDC 150 VDC 200 VDC | B BP BX C0G (NP0) C0H CG CGJ CH CJ CK Class 2 F High Q JB P2H R | - 0 %, + 100 % 0 %, + 100 % 0.05 pF 0.1 pF 0.25 pF 0.5 pF 1 pF - 20 %, + 80 % 1 % 2 % 2.5 % 3 % 5 % 10 % | 0101 0201 0202 0204 (Reversed) 0303 0306 (Reversed) 0402 0504 0505 0508 (Reversed) 0603 0612 (Reversed) 0704 0805 | 0201 0303 0402 0505 0510 (Reversed) 0603 0610 (Reversed) 0808 0816 (Reversed) 1005 1010 1110 1210 1220 (Reversed) |

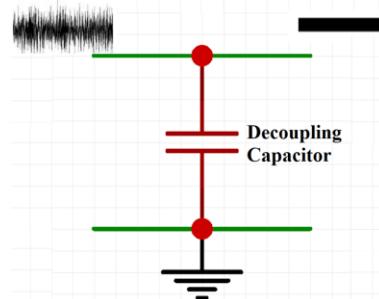
노이즈 대책



Return

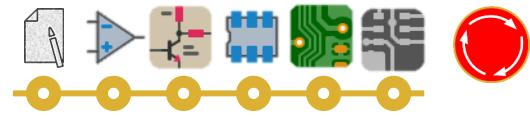
❖ 아날로그/디지털 복합 회로

- ▶ 아날로그/디지털 IC, 신호선 등의 물리적 배치를 최대한 분리시킨다.
- ▶ 아날로그/디지털 구동 전압 분리
 - ✓ 동일한 5V를 동일 Power source에서 공급하더라도 페라이트 비드 등을 통해 전원을 분리
- ▶ Decoupling capacitor
 - ✓ Isolating or decoupling two different circuits
 - 전원 노이즈 등이 IC에 들어가지 않도록 배치
 - IC 전원 입력 직전 배치하여 High frequency signal에 대해서 low impedance path를 만들어 주는 원리
 - ✓ Prevent noise from entering the system



❖ 접지 혹은 Pour 설계

- ▶ Signal line의 return path를 최소화
 - ✓ 아날로그/디지털 회로 분리 시, return path 고려
- ▶ 모터 드라이버와 같이 구동 전력이 큰 경우
 - 전력 구동부와 제어부 분리
 - ✓ 전력부 노이즈를 제어부에서 분리하기 위해 Ground 분리
 - ✓ 동 전위를 맞추기 위해 일정 접지 필요 (0Ohm 저항, 비드 등을 사용)



Reference designator

❖ REFDES (Reference designator)

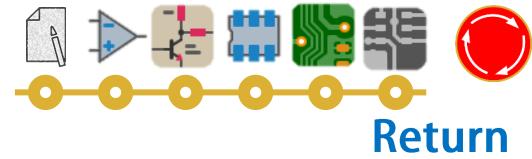
- ▶ R, L, C: 수동 소자
- ▶ FB: 페라이트 비드
- ▶ J: 커넥터
- ▶ JP: 점프
- ▶ Q: 트랜지스터
- ▶ S: 스위치
- ▶ TP: 테스트 포인트
- ▶ U: IC (Integrated circuit)
- ▶ XTAL: 크리스탈

Designators [edit]

The table below lists designators commonly used, and does not necessarily comply with standards.

| Designator | Component type |
|------------|---|
| A | Separable assembly or sub assembly (e.g. printed circuit assembly) |
| AT | Attenuator or isolator |
| BR | Bridge rectifier |
| BT | Battery |
| C | Capacitor |
| CN | Capacitor network |
| D, CR | Diode (all types, including LED), thyristor |
| DL | Delay line |
| DS | Display, general light source, lamp, signal light |
| F | Fuse |
| FB | Ferrite bead |
| FD | Fiducial |
| FL | Filter |
| G | Generator or oscillator |
| GN | General network |
| H | Hardware, e.g., screws, nuts, washers |
| HY | Circulator or directional coupler |
| IR | Infrared Diode |
| J | Jack (least movable connector of a connector pair), Jack connector (connector may have "male" pin contacts and/or "female" socket contacts) |
| JP | Jumper (Link) |
| K | Relay or contactor |
| L | Inductor or coil or ferrite bead |
| LS | Loudspeaker or buzzer |
| M | Motor |
| MK | Microphone |
| MP | Mechanical part (including screws and fasteners) |
| OP | Opto isolator |
| P | Plug (most movable connector of a connector pair), Plug connector (connector may have "male" pin contacts and/or "female" socket contacts) |
| PS | Power supply |
| Q | Transistor (all types) |
| R | Resistor |
| RN | Resistor network |
| RT | Thermistor |
| RV | Varistor; Variable resistor |
| S | Switch (all types, including buttons) |
| T | Transformer |
| TC | Thermocouple |
| TP | Test point |
| TUN | Tuner |
| U | Integrated circuit (IC) |
| V | Vacuum tube |
| VR | Voltage regulator (voltage reference), Variable resistor (potentiometer or rheostat) |
| X | Socket connector for another item not P or J, paired with the letter symbol for that item (XV for vacuum tube socket, XF for fuse holder, XA for printed circuit assembly connector, XU for integrated circuit connector, XDS for light socket, etc.) |
| XTAL | Crystal |
| Y | Crystal or oscillator |

Package



❖ Small outline (SO) integrated circuit

▶ Surface-mounted IC 패키지 (표면 실장형)

- ✓ DIP(dual in-line package) 타입보다 많이 사용됨.
- ✓ IC 크기가 더 짧거나 좁아 공간적으로 유리

▶ JEDEC 혹은 JEITA/EIAJ 표준 (통상 Pitch 1.27 mm)

- ✓ SOIC (JEDEC): gull-wing lead 사용
- ✓ SOP (JEITA/EIAJ): wide SOIC, gull-wing lead 사용
- ✓ SOJ (small-outline J-leaded package): J-type lead를 사용

▶ Smaller form factors (Pitch < 1.27 mm)

- ✓ SSOP (Shrink SOP): pitch 0.65mm or 0.635mm (0.0256 inches 혹은 0.025 inches)
- ✓ TSOP (Thin SOP)
- ✓ TTSOP (Thin-shrink SOP):

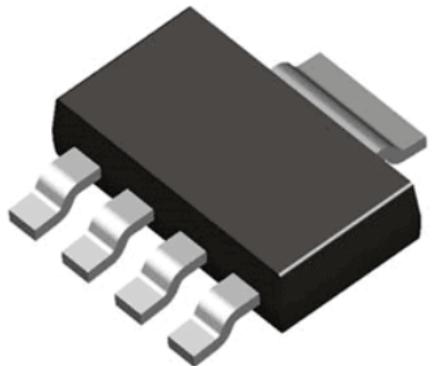
▶ SOT (다음 페이지 계속)

❖ SOT (small outline transistor)

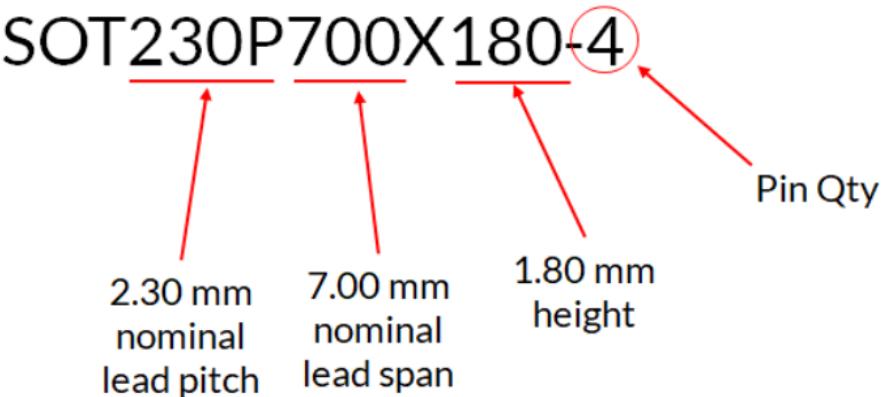
Naming Conventions

The naming convention for SOT packages (and all other [SMD packages](#)) is defined in the [IPC-7351B: Generic Requirements for Surface Mount Design and Land Pattern Standard](#). This standard only specifies the land pattern, which then corresponds back to the package outline for the specific SOT package of interest. The SOT package naming convention is shown below, using an SOT223-4 package as an example.

SOT + Pitch P + Lead Span Nominal X Height – Pin Qty



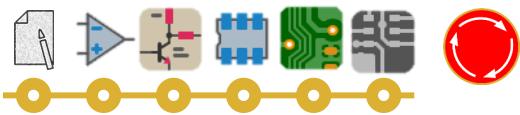
SOT230P700X180-4



2.30 mm nominal lead pitch
7.00 mm nominal lead span
1.80 mm height
Pin Qty

SOT223-4 package drawing and land pattern naming convention

Download



Return

❖ Footprint, 3D Model download

Documents & Media

RESOURCE TYPE LINK

Datasheets [SFH11 Series Datasheet](#)
[SFH11-P Series Drawing](#)

Product Training Modules [Box Header Line](#)
[IDC Header Line](#)

Environmental Information [Sullins Connector Solutions RoHS3 Cert](#)
[Sullins Connector Solutions REACH211 Cert](#)

Featured Product [Fully Shrouded Box Headers](#)

HTML Datasheet [SFH11 Series Datasheet](#)
[SFH11-P Series Drawing](#)

EDA / CAD Models [SFH11-xxPC-D08-ST-BK.igs](#)
[SFH11-PBPC-D08-ST-BK by SnapEDA](#)
[SFH11-xxPC-D08-ST-BK.stp](#)

Digikey 예시

SnapEDA 혹은 Ultra Librarian
가입 후 다운로드

Documents & Media

RESOURCE TYPE LINK

Datasheets [DS90LV028AQ](#)

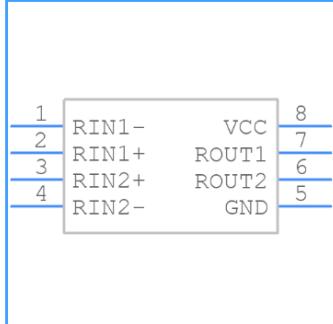
EDA / CAD Models [DS90LV028AQMA/NOPB by SnapEDA](#)
[DS90LV028AQMA/NOPB by Ultra Librarian](#)

SYMBOLS | FOOTPRINTS | 3D MODELS



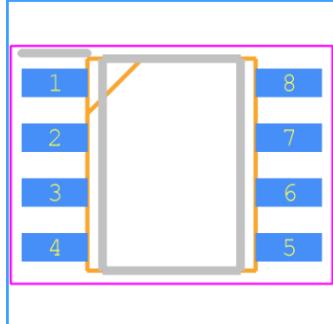
Texas Instruments DS90LV028AQMA/NOPB

Symbol

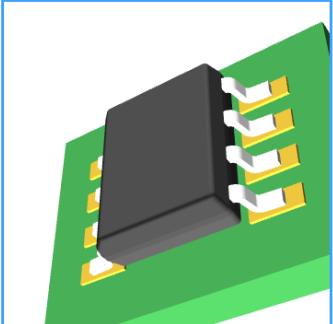


Normal View ▾

Footprint



3D



Device on Footprint ▾

DOWNLOAD ECAD MODELS

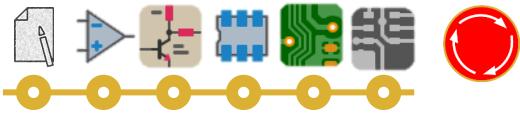
Download the free [Library Loader](#) to convert this file for your ECAD Tool. [Learn More.](#)

Mouser 예시

없는 경우 요청할 수도 있다.
시간은 다소 소요됨.



전압/전류를 고려한 도체 배치



Return

❖ 도체 간격

▶ 제어보드

- ✓ 5V 이하 급: 0.15 mm 정도
- ✓ 15V 급: 0.25 ~ 0.3 mm 정도
- ✓ +/- 9V 급: 0.25 mm 정도
- ✓ 30V 급 (+/-15V): 0.3 ~ 0.4 mm 정도

▶ 전력보드는 0.003 ~ 0.005mm/V로 여유 있게,

- ✓ 1200V면 3.6 ~ 6 mm
- ✓ 600V면 1.8 ~ 3 mm

❖ 허용 전류

▶ 제어보드

- ✓ Thermal width 세팅과 관련됨.
 - 일반적: 0.15 ~ 0.25 mm
 - 전원: 0.5 mm 정도
- ✓ 정답은 없으나 대충 위와 같이

▶ 전력 보드 (우측 표 참고, 열과 관련 됨)

- ✓ 특히, 50A 급 이상은 4층으로 모든 층을 활용하며, Via를 많이 뚫는다.

※ 전압에 따른 최소 도체 간격

| DC, AC, 전압 (V)피크치 | 보호피막 있음 | 보호 피막 없음 |
|-------------------|------------|------------|
| | 최소도체간격(mm) | 최소도체간격(mm) |
| 0~30 | 0.25 | 0.65 |
| 31~50 | 0.4 | 0.65 |
| 51~150 | 0.5 | 0.65 |
| 151~330 | 0.75 | 1.3 |
| 301~530 | 1.5 | 2.5 |
| 500이상 | 0.003mm/V | 0.005mm/V |

● 500v 이상인 전압은 1V마다 0.003mm(보호피막 있음)으로 한다.
● AC전압은 피크치 ($\sqrt{2}E$)로 한다.
● 각 전압은 인가된 최대 전압으로 한다.(예 -AC100V ±10%인 경우 최대전압은156V)

※ 패턴폭과 허용전류

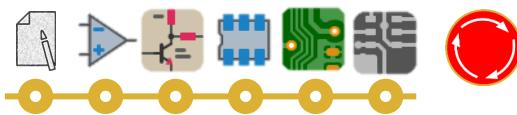
| Pattern폭(mm) | 전류(A) |
|--------------|-------|
| 0.4 | 1.0 |
| 0.6 | 1.4 |
| 0.8 | 1.8 |
| 1.0 | 2.2 |
| 1.5 | 3.0 |
| 2.0 | 3.4 |
| 3.0 | 3.8 |

※ 전류 100mA마다 Pattern폭 0.1mm로 한다.
Final 동박 두께 35 μ m 온도 상승 10°C



PLECKO

Board setup: Physical Stackup – 4 Layer



Return

❖ File > Board Setup..

Board Setup

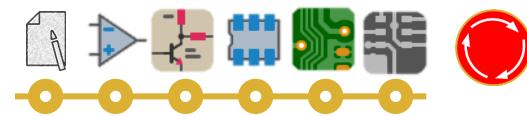
Copper layers: 4

| Layer | Id | Type | Material | Thickness | Color | Epsilon R | Loss Tan |
|-------|--------------|---------------------|--------------------|---------------|---------------|-----------|----------|
| | F.Silkscreen | Top Silk Screen | Not specified | 0.012 mm | Not specified | 3.3 | 0 |
| | F.Paste | Top Solder Paste | Not specified | 0.04 mm | Not specified | 4.5 | 0.02 |
| | F.Mask | Top Solder Mask | Not specified | 0.2 mm | Not specified | 4.5 | 0.02 |
| | F.Cu | Copper | FR4 | 0.032 mm | Not specified | 4.5 | 0.02 |
| | Dielectric 1 | PrePreg | FR4 | 1.04 mm | Not specified | 4.5 | 0.02 |
| | In1.Cu | Copper | Core | 0.2 mm | Not specified | 4.5 | 0.02 |
| | Dielectric 2 | Core | FR4 | 0.04 mm | Not specified | 4.5 | 0.02 |
| | In2.Cu | Copper | PrePreg | 0.012 mm | Not specified | 3.3 | 0 |
| | Dielectric 3 | PrePreg | FR4 | Not specified | Not specified | 4.5 | 0.02 |
| | B.Cu | Copper | B.Mask | 0.032 mm | Not specified | 4.5 | 0.02 |
| | B.Paste | Bottom Solder Paste | B.Silkscreen | 0.04 mm | Not specified | 4.5 | 0.02 |
| | B.Mask | Bottom Solder Mask | Bottom Silk Screen | Not specified | Not specified | 3.3 | 0 |
| | B.Paste | Bottom Solder Paste | | | | | |
| | B.Silkscreen | Bottom Silk Screen | | | | | |



PLECKO

Board setup: Physical Stackup – 6 Layer

[Return](#)

❖ File > Board Setup..

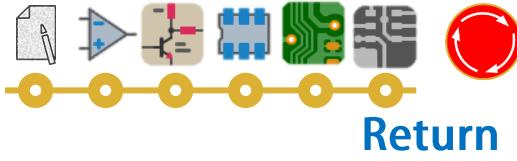
Board Stackup
Board Editor Layers
Physical Stackup
Board Finish
Solder Mask/Paste
Text & Graphics
Defaults
Formatting
Text Variables
Design Rules
Constraints
Pre-defined Sizes
Net Classes
Custom Rules
Violation Severity

Copper layers: 6

Impedance controlled

| Layer | Id | Type | Material | Thickness | Color | Epsilon R | Loss Tan |
|-------|--------------|---------------------|---------------|---------------|---------------|---------------|---------------|
| | F.Silkscreen | Top Silk Screen | Not specified | 0.012 mm | Not specified | 3.3 | 0 |
| | F.Paste | Top Solder Paste | Not specified | 0.04 mm | Not specified | 4.5 | 0.02 |
| | F.Mask | Top Solder Mask | Not specified | 0.2 mm | Not specified | 4.5 | 0.02 |
| | F.Cu | Copper | | 0.032 mm | Not specified | 4.5 | 0.02 |
| | Dielectric 1 | PrePreg | FR4 | 0.4 mm | Not specified | 4.5 | 0.02 |
| | In1.Cu | Copper | | 0.2 mm | Not specified | 4.5 | 0.02 |
| | Dielectric 2 | Core | FR4 | 0.032 mm | Not specified | 4.5 | 0.02 |
| | In2.Cu | Copper | | 0.2 mm | Not specified | 4.5 | 0.02 |
| | Dielectric 3 | PrePreg | FR4 | 0.032 mm | Not specified | 4.5 | 0.02 |
| | In3.Cu | Copper | | 0.4 mm | Not specified | 4.5 | 0.02 |
| | Dielectric 4 | Core | FR4 | 0.032 mm | Not specified | 4.5 | 0.02 |
| | In4.Cu | Copper | | 0.2 mm | Not specified | 4.5 | 0.02 |
| | Dielectric 5 | PrePreg | FR4 | 0.032 mm | Not specified | 4.5 | 0.02 |
| | B.Cu | Copper | | 0.2 mm | Not specified | 3.3 | 0 |
| | B.Mask | Bottom Solder Mask | Not specified | 0.04 mm | Not specified | 0.012 mm | Not specified |
| | B.Paste | Bottom Solder Paste | | Not specified | Not specified | Not specified | Not specified |
| | B.Silkscreen | Bottom Silk Screen | Not specified |

Gerber 파일 종류



❖ 필수

▶ Copper (Cu) Layer

- ✓ 전기 신호 전달 구리 트레이스 정의

▶ Solder Mask Layer

- ✓ 납땜 방지 코팅 영역 정의

▶ Silkscreen Layer

- ✓ 가시적 표기

▶ Drill File (NC Drill File)

- ✓ Via, 패드, 장착 구멍 등 드릴링 정보

▶ KiCad에서 보드 크기 정의는 Edge.Cuts

❖ 선택

▶ Paste: SMD 패드 솔더 페이스트 도표 영역 정의

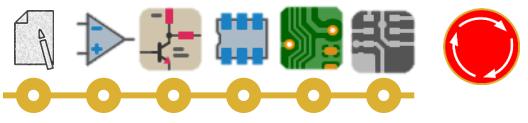
▶ Mechanical: 치수 등 기계 정보

▶ Keep-out: 부품이나 트레이스 미배치 영역 정의

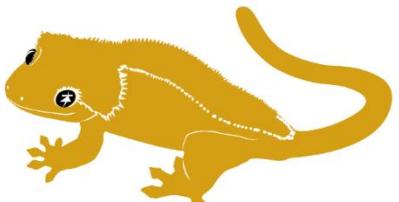
▶ Assembly Drawing: 부품 위치와 방향 표시 도면

요약 표

| 파일 종류 | 레이어 이름 | 필수 여부 | 역할 |
|------------------|----------------------|-------|--------------------|
| Copper Layer | Top, Bottom, Inner | 필수 | 전기 신호 및 전력 전달 |
| Solder Mask | Top, Bottom | 필수 | 납땜 방지 및 트레이스 보호 |
| Silkscreen | Top, Bottom | 필수 | 부품 식별 및 조립 안내 |
| Drill File | NC Drill File | 필수 | VIA 및 장착 구멍 정보 |
| Paste Layer | Top, Bottom | 선택적 | 솔더 페이스트 도포 영역 정의 |
| Mechanical Layer | Outline, Dimensions | 선택적 | PCB 외곽 및 기계적 정보 |
| Inner Layer | Signal, Power Planes | 선택적 | 다층 PCB 내부 신호 및 전력층 |
| Keep-out Layer | Keep-out | 선택적 | 특정 배치 제한 영역 |
| Assembly Drawing | Top, Bottom Assembly | 선택적 | 부품 위치 및 방향 |

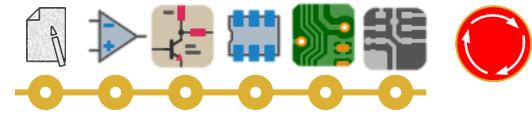


Appendix – Trouble shooting



PLECKO

Warning



❖ Warning: Pins of type XXX and Unspecified are connected

Schematic Setup

General

Formatting

Field Name Templates

Electrical Rules

Violation Severity

Pin Conflicts Map

Project

Net Classes

Bus Alias Definitions

Text Variables

Input Pin

Output Pin

Bidirectional Pin

Tri-State Pin

Passive Pin

Free Pin

Unspecified Pin

Power Input Pin

Power Output Pin

Open Collector

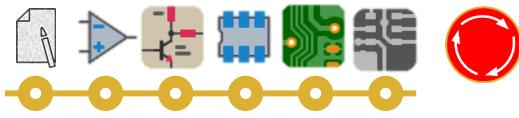
Open Emitter

No Connection

Download 받은 경우, Pin에 Unspecified로 두는 경우가 많다.
이 Warning은 필요에 따라 클릭하여 Green Light로 변경.

Reset to Defaults Import Settings from Another Project... OK Cancel

Warning



❖ 제거 예시

Schematic Setup

General

- Formatting
- Field Name Templates

Electrical Rules

- Violation Severity
- Pin Conflicts Map**

Project

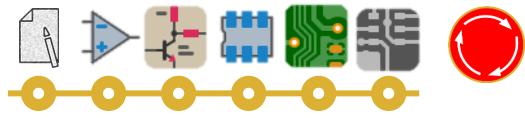
- Net Classes
- Bus Alias Definitions
- Text Variables

Pin Conflicts Map

| | Input Pin | Output Pin | Bidirectional Pin | Tri-State Pin | Passive Pin | Free Pin | Unspecified Pin | Power Input Pin | Power Output Pin | Open Collector | Open Emitter | No Connection |
|-------------------|-----------|------------|-------------------|---------------|-------------|----------|-----------------|-----------------|------------------|----------------|--------------|---------------|
| Input Pin | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green |
| Output Pin | Green | Red! | Green | Green | Green | Green | Green | Green | Green | Red! | Green | Green |
| Bidirectional Pin | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green |
| Tri-State Pin | Green | Orange! | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green |
| Passive Pin | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green |
| Free Pin | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green |
| Unspecified Pin | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green |
| Power Input Pin | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green | Green |
| Power Output Pin | Green | Orange! | Green | Green | Green | Green | Green | Green | Green | Red! | Green | Green |
| Open Collector | Green | Red! | Green | Orange! | Green | Green | Green | Green | Green | Red! | Green | Green |
| Open Emitter | Green | Red! | Orange! | Orange? | Green | Green | Green | Green | Green | Red! | Green | Green |
| No Connection | Red! | Red! | Red! | Red! | Red! | Red! | Red! | Red! | Red! | Red! | Red! | Red! |

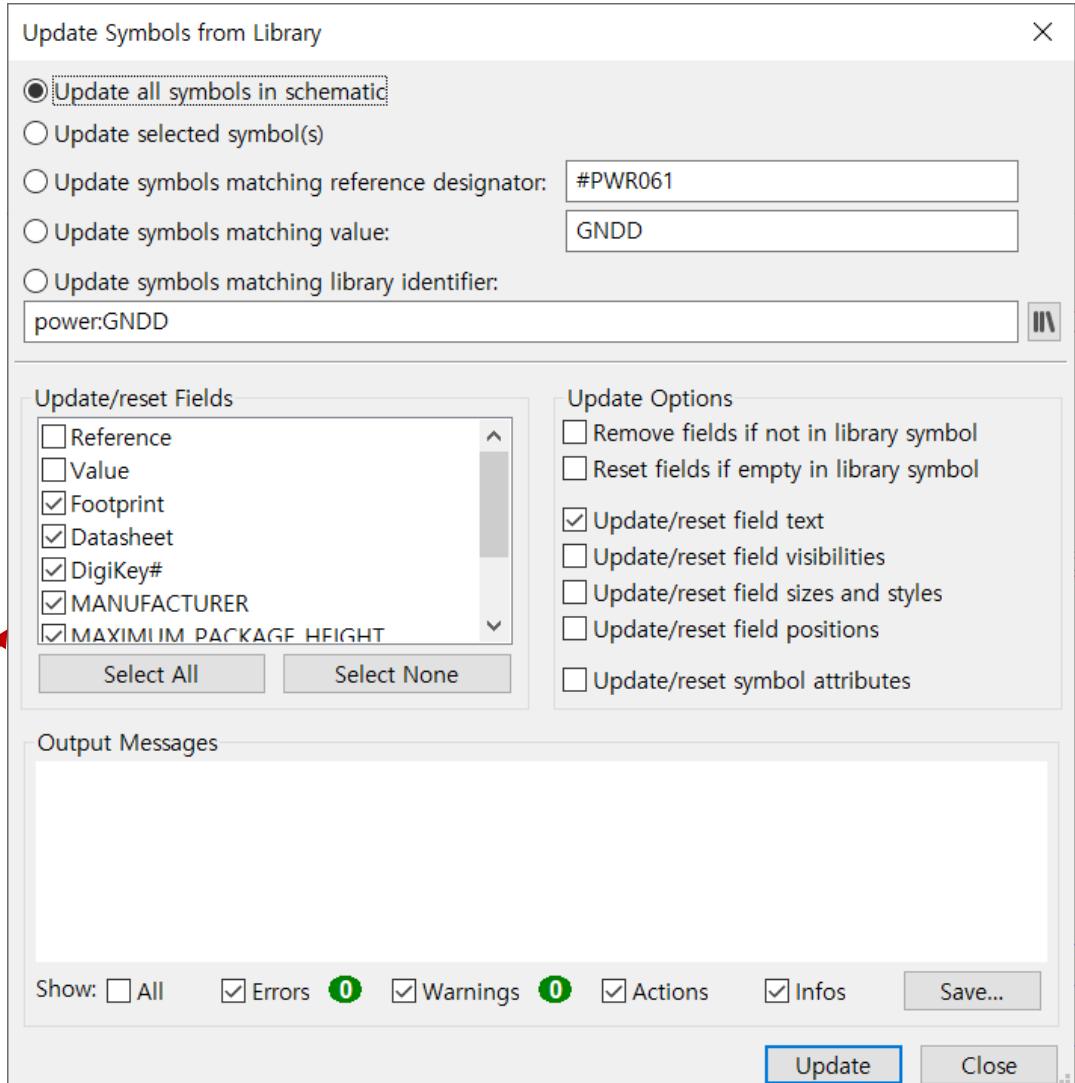
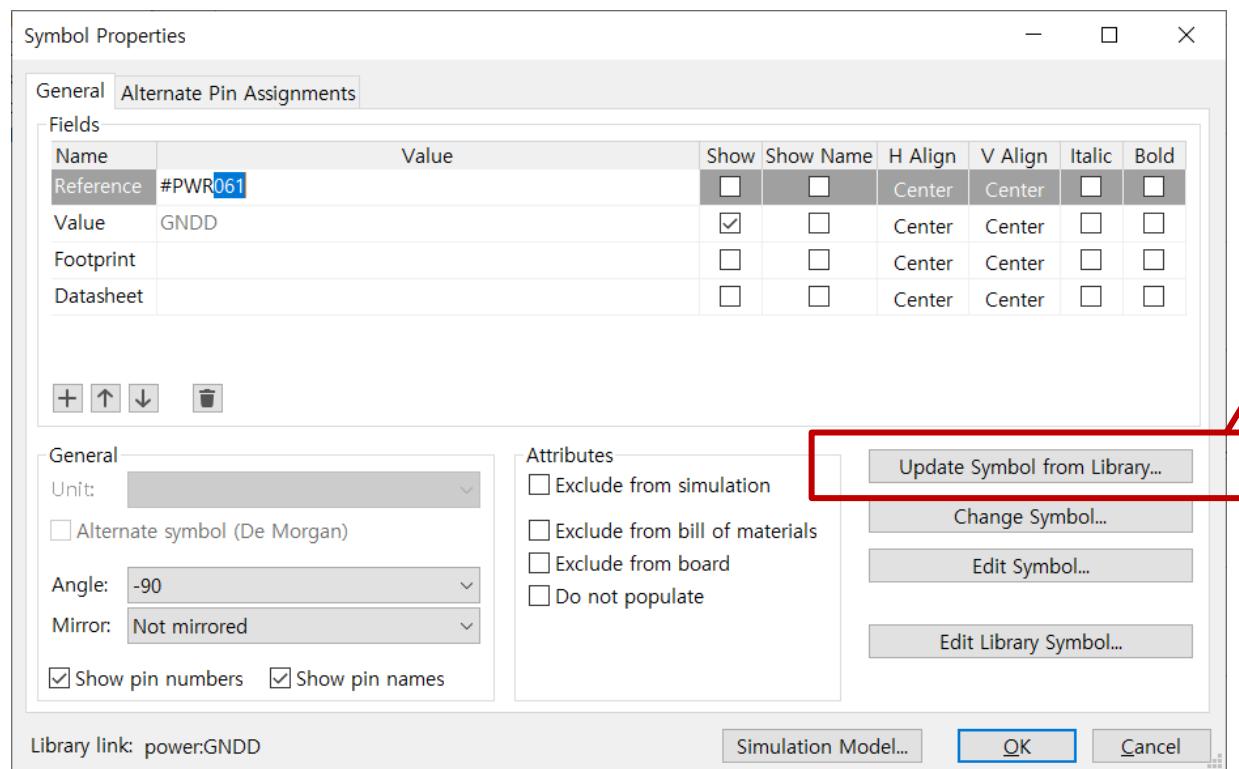
Reset Pin Conflicts Map to Defaults Import Settings from Another Project... OK Cancel

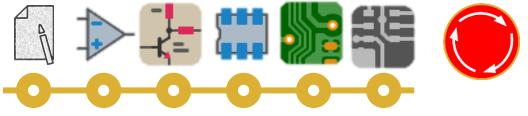
Warning



❖ Warning: Symbol 'GND' has been modified in library 'power'

▶ 업데이트 해주면 대부분 해결

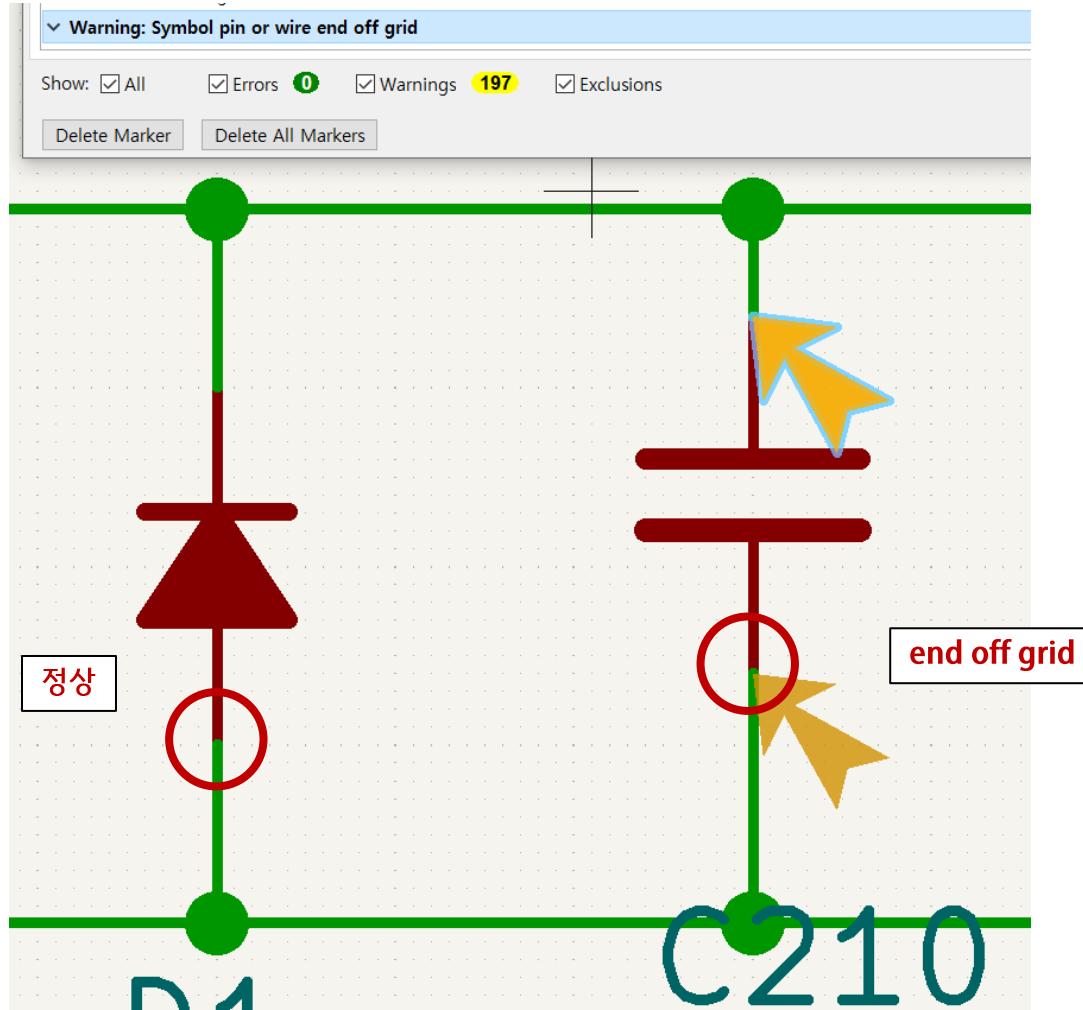


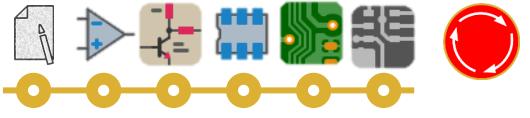


Warning

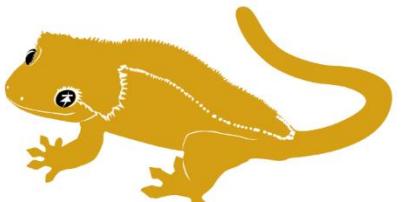
❖ Warning: Symbol pin or wire end off grid

- ▶ 그리드에 정확히 끝단이 정렬되지 않아 발생할 수 있다.
- ▶ 소자의 끝을 Grid에 맞춰서 배열하여 해결할 수 있음



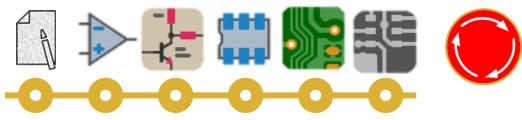


Appendix – 한샘 디지텍 자료



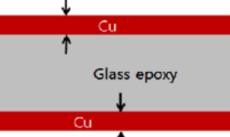
PLECKO

한샘디지텍 관련 참고 자료 (1) – 작업 사양



Pattern

| 동박(도금 전 Cu 두께) | 패턴 폭 | 패턴 간격 | 특수(협의) |
|-----------------|---------|---------|------------------------|
| Hoz (0.018mm) | 0.100mm | 0.100mm | 0.5pitch "BGA" 0.075mm |
| 1oz (0.035mm) | 0.125mm | 0.125mm | |
| 2oz (0.070mm) | 0.150mm | 0.150mm | |





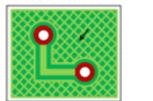
Non-PTH 거리 0.3mm 이상



Annular ring

| PTH (부품 HOLE) | PTH (VIA HOLE) | 내.외층 Teardrop 권장 |
|---|---|---|
|  0.2mm 이상 |  0.15mm 이상 |  |

Copper Fill

| Cross Hatch | Copper Fill |
|--|---|
|  0.25 mm 이상 |  Outline과 도체 0.3mm이상 |

Marking

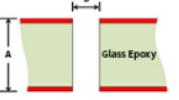
| 식자 크기 | 식자 폭 / 간격 | 부품 땀 면과 Marking 거리 |
|--|---|---|
|  0.8mm 이상 |  0.13mm 이상 |  0.05mm 이상 |

MIN VIA

| VIA HOLE 가공 정보 | | 원판 두께에 따른 Minimum VIA HOLE SIZE | |
|----------------|-----------------------|---------------------------------|-------|
| 일반 | 원판 두께 / 4 = HOLE SIZE | 1.6T 이하 | 0.2mm |
| 비선호 | 원판 두께 / 5 = HOLE SIZE | 2.4T 이하 | 0.4mm |
| 최소 | 원판 두께 / 6 = HOLE SIZE | 3.2T 이하 | 0.5mm |

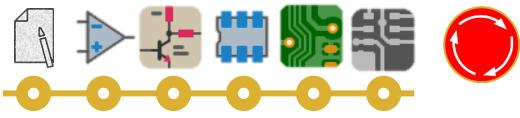
최소드릴크기 (Min Drill)

Minimum Via Hole Size

| Via Hole 가공 정보 | | 원판 두께에 따른 Minimum Via Hole Size | |
|---|------------------------|---------------------------------|-------------|
| | 일반 'A' / 4 = 'B' Size | 0.8T 이하 | 0.15mm (협의) |
| | 비선호 'A' / 5 = 'B' Size | 1.6T 이하 | 0.2mm |
| | 최소 'A' / 6 = 'B' Size | 2.0T 이하 | 0.3mm |
|  | | 2.4T 이하 | 0.4mm |
| | | 3.2T 이하 | 0.5mm |

- 0.25mm 이하 홀 추가 비용 발생
- Component Hole(부품홀) 0.6mm 이하 별도 문의

한샘디지텍 관련 참고 자료 (2)



❖ 4 Layer

적층구조

| 두께 | 적층구조 및 원자재 | 적층두께 | 적층이론두께 |
|------|------------|------|--------|
| 0.4T | 0.5oz | | |
| | 1080x1 | | |
| | 0.1T 1/1 | | |
| | 1080x1 | | |
| | 0.5oz | | |
| | 0.5oz | | |
| 0.8T | 2116x1 | | |
| | 0.4T 1/1 | | |
| | 2116x1 | | |
| | 0.5oz | | |
| | 7628(H)x1 | | |
| | 0.6T 1/1 | | |
| 1.2T | 7628(H)x1 | | |
| | 0.6T 1/1 | | |
| | 7628(H)x1 | | |
| | 0.5oz | | |
| | Hoz | | |
| | 7628x2 | | |
| 1.8T | 1.0T 1/1 | | |
| | 7628x2 | | |
| | Hoz | | |
| | 0.5oz | | |
| | 7628x2 | | |
| | 1.6T 1/1 | | |
| 2.4T | 1.6T 1/1 | | |
| | 7628x2 | | |
| | 0.5oz | | |
| | 7628x2 | | |
| | 0.5oz | | |
| | 0.5oz | | |

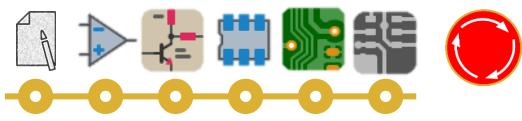
❖ 6 Layer

적층구조

| 두께 | 적층구조 및 원자재 | 적층두께 | 적층이론두께 | 두께 | 적층구조 및 원자재 | 적층두께 | 적층이론두께 | 두께 | 적층구조 및 원자재 | 적층두께 | 적층이론두께 |
|------|------------|------|--------|------|------------|------|--------|------|------------|------|--------|
| 0.6T | 0.5oz | | | 0.6T | 0.5oz | | | 0.9T | 0.5oz | | |
| | 2116x1 | | | | 1080x1 | | | | 1080x1 | | |
| | 0.2T 1/1 | | | | 0.1T 1/1 | | | | 0.1T 1/1 | | |
| | 2116x1 | | | | 1080x1 | | | | 1080x1 | | |
| | 0.5oz | | | | 0.5oz | | | | 0.5oz | | |
| | 7628(H)x1 | | | | 2116x1 | | | | 0.5oz | | |
| 1.0T | 0.4T 1/1 | | | 1.0T | 0.2T 1/1 | | | 1.5T | 0.5oz | | |
| | 7628(H)x1 | | | | 2116x1 | | | | 2116x1 | | |
| | 0.5oz | | | | 0.5oz | | | | 0.5oz | | |
| | 0.5oz | | | | 0.5oz | | | | 0.5oz | | |
| | 0.5oz | | | | 0.5oz | | | | 0.5oz | | |
| | 0.5oz | | | | 0.5oz | | | | 0.5oz | | |
| 1.6T | 1.1T 1/1 | | | 1.6T | 1.1T 1/1 | | | 2.0T | 0.4T 1/1 | | |
| | 7628(H)x1 | | | | 7628(H)x1 | | | | 7628(H)x1 | | |
| | 1.1T 1/1 | | | | 0.4T 1/1 | | | | 0.4T 1/1 | | |
| | 7628(H)x1 | | | | 0.4T 1/1 | | | | 0.4T 1/1 | | |
| | 0.5oz | | | | 0.4T 1/1 | | | | 0.4T 1/1 | | |
| | 0.5oz | | | | 0.4T 1/1 | | | | 0.4T 1/1 | | |
| 2.0T | 1.7T 1/1 | | | 2.0T | 1.7T 1/1 | | | 3.2T | 2.4T 1/1 | | |
| | 7628x2 | | | | 7628x2 | | | | 7628x2 | | |
| | 1.0T 1/1 | | | | 1.0T 1/1 | | | | 1.0T 1/1 | | |
| | 7628x2 | | | | 1.0T 1/1 | | | | 1.0T 1/1 | | |
| | Hoz | | | | Hoz | | | | Hoz | | |
| | 0.5oz | | | | 0.5oz | | | | 0.5oz | | |
| 3.2T | 2.3T 1/1 | | | 3.2T | 2.3T 1/1 | | | 2.4T | 2.4T 1/1 | | |
| | 7628x2 | | | | 7628x2 | | | | 7628x2 | | |
| | 1.6T 1/1 | | | | 1.6T 1/1 | | | | 1.6T 1/1 | | |
| | 7628x2 | | | | 1.6T 1/1 | | | | 1.6T 1/1 | | |
| | 0.5oz | | | | 0.5oz | | | | 0.5oz | | |
| | 0.5oz | | | | 0.5oz | | | | 0.5oz | | |

❖ Multi-layer 작업 시, Sample 가격정보에 들어가면 Layer 별 수치를 확인할 수 있음.

한샘디지텍 관련 참고 자료 (3) – 4 Layer stack-up 구조

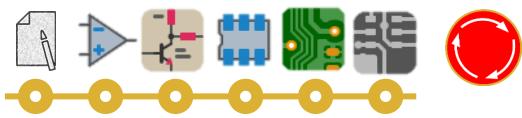


Stack-Up 구조

① 가로로 스크롤 하여 보실 수 있습니다.

| Layer | Type | 0.4T | | 0.6T | | 0.8T | | 1.0T | | 1.2T | | 1.6T | | 2.0T |
|--------------|---------|-----------------|-------|-----------------|-------|-----------------|-------|-----------------|-------|-----------------|-------|-----------------|-------|-----------------|
| 1 | S/R | | 0.012 | | 0.012 | | 0.012 | | 0.012 | | 0.012 | | 0.012 | |
| | Top | 1/2oz + Plating | 0.040 | 1/2oz + Plating |
| | Prepreg | 1080 | 0.070 | 2116 | 0.110 | 2116 | 0.110 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7628 x 2 |
| 2 | IN1 | 1oz | 0.032 | 1oz |
| | Core | 0.1 | 0.100 | 0.2 | 0.200 | 0.4 | 0.400 | 0.4 | 0.400 | 0.6 | 0.600 | 1.1 | 1.040 | 1.1 |
| 3 | IN2 | 1oz | 0.032 | 1oz |
| 4 | Prepreg | 1080 | 0.070 | 2116 | 0.110 | 2116 | 0.110 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7628 x 2 |
| | Bot | 1/2oz + Plating | 0.040 | 1/2oz + Plating |
| | S/R | | 0.012 | | 0.012 | | 0.012 | | 0.012 | | 0.012 | | 0.012 | |
| 예상 Thickness | | 0.408 mm | | 0.588 mm | | 0.788 mm | | 0.968 mm | | 1.168 mm | | 1.608 mm | | 1.928 mm |

한샘디지텍 관련 참고 자료 (4) – 6 Layer stack-up 구조

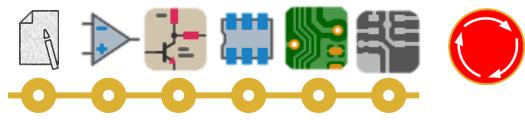


Stack-Up 구조

① 가로로 스크롤 하여 보실 수 있습니다.

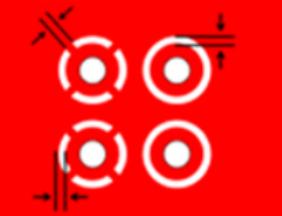
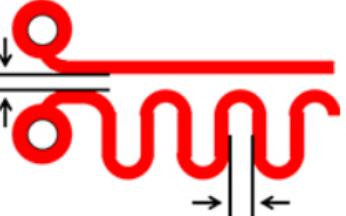
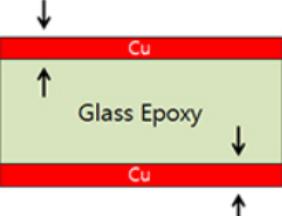
| Layer | Type | 0.6T | | 0.8T | | 1.0T | | 1.2T | | 1.6T | | 2.0T | | |
|--------------|---------|-----------------|-------|-----------------|-------|-----------------|-------|-----------------|-------|-----------------|-------|-----------------|-------|---------|
| 1 | S/R | | | | | | | | | | | | | |
| | Top | 1/2oz + Plating | 0.040 | |
| | Prepreg | 1080 | 0.070 | 1080 | 0.070 | 2116 | 0.110 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7 |
| 2 | IN1 | 1oz | 0.032 | |
| | Core | 0.1 | 0.100 | 0.2 | 0.200 | 0.2 | 0.200 | 0.2 | 0.200 | 0.4 | 0.400 | 0.6 | 0.400 | |
| 3 | IN2 | 1oz | 0.032 | |
| | Prepreg | 1080 | 0.070 | 1080 | 0.070 | 2116 | 0.110 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7628HRC | 0.200 | 2 |
| 4 | IN3 | 1oz | 0.032 | |
| | Core | 0.1 | 0.100 | 0.2 | 0.200 | 0.2 | 0.200 | 0.2 | 0.200 | 0.4 | 0.400 | 0.6 | 0.600 | |
| 5 | IN4 | 1oz | 0.032 | |
| | Prepreg | 1080 | 0.070 | 1080 | 0.070 | 2116 | 0.110 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7628HRC | 0.200 | 7628H |
| 6 | Bot | 1/2oz + Plating | 0.040 | 1/2oz + |
| | S/R | 0.012 | | 0.012 | | 0.012 | | 0.012 | | 0.012 | | 0.012 | | |
| 예상 Thickness | | 0.642 mm | | 0.842 mm | | 0.962 mm | | 1.232 mm | | 1.632 mm | | 2.032 mm | | 2. |

한샘디지텍 관련 참고 자료 (5) – Net Classes 정보



Pattern Line&Space

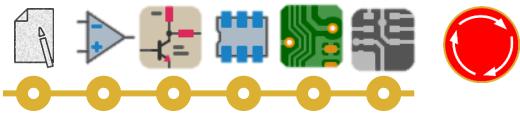
| Base Copper | Line width & space | | |
|----------------|-----------------------|--|--|
| | Base Copper + Plating | Base Copper(Non-Plating) (1Layer & Inner Layer) | Base Copper + Plating(2회) (Filled Via 공법) |
| 1/3oz(0.011mm) | 0.100mm (4mils) | 0.100mm (4mils) | 0.125mm (5mils) |
| 1/2oz(0.018mm) | 0.100mm (4mils) | 0.100mm (4mils) | 0.150mm (6mils) |
| 1oz(0.035mm) | 0.125mm (5mils) | 0.100mm (4mils) | 0.200mm (8mils) |
| 2oz(0.070mm) | 0.150mm (6mils) | 0.150mm (6mils) | 0.250mm (10mils) |
| 3oz(0.105mm) | 0.200mm (8mils) | 0.200mm (8mils) | N/A |



→ Line&Space 0.075mm(3mils) 국부적 사용 가능

→ Copper foil 1/3oz, 3oz는 4Layer 이상 “Outer layer” 적용 가능

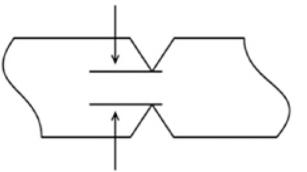
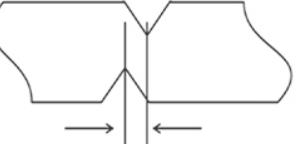
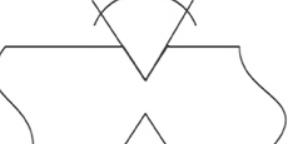
한샘디지텍 관련 참고 자료 (6) – V-cutting



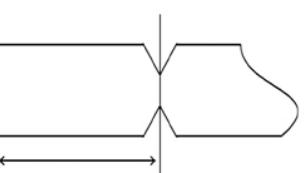
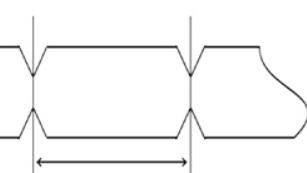
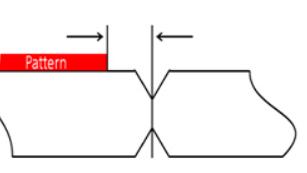
❖ 분리 목적 사용 시

▶ 공차 0.5 mm 고려

V-Cutting 공차

| 원판 두께에 따른 잔존 폭 | 상하 위치 편차 | 날 각도 |
|---|--|--|
| 원판 두께 0.6T 0.8T 1.0T 1.2T 1.6T 2.0T | 잔존 폭 0.3mm(± 0.1) 0.4mm(± 0.1) 0.4mm(± 0.1) 0.4mm(± 0.1) 0.5mm(± 0.1) 0.5mm(± 0.1) |    |
| 2.4T 이상 Missing Hole 권장 | $\pm 0.2\text{mm}$ | $30^\circ(\pm 5^\circ)$ |

→ 0.6T 미만 V-Cutting 불가(Missing Hole 권장)

| 분리 후 제품 크기 공차 | 근접 회로(도체) 설계 | 한쪽 면 V-Cut |
|--|---|--|
|  $\pm 0.2\text{mm}$ |  $\pm 0.5\text{mm}$ |  0.5mm 이상 |
| | | 별도 문의 |

→ V-Cutting 근접된 도체 부위 손상 주의

→ 한쪽 면 V-Cutting 가공 후 분리 목적으로 사용할 경우 제품 손상 주의



PLECKO