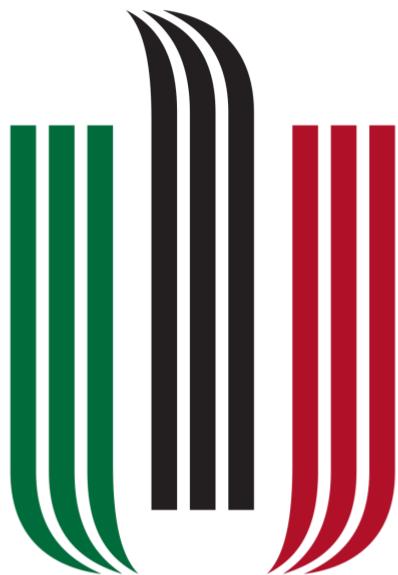


**Akademia Górniczo-Hutnicza
im. Stanisława Staszica w Krakowie
Wydział Informatyki, Elektroniki i Telekomunikacji**



A G H

Projekt bramki NAND

Filip Żurek
Elektronika i Telekomunikacja

Kraków, 4.12.2024 r.

1. Cel zadania

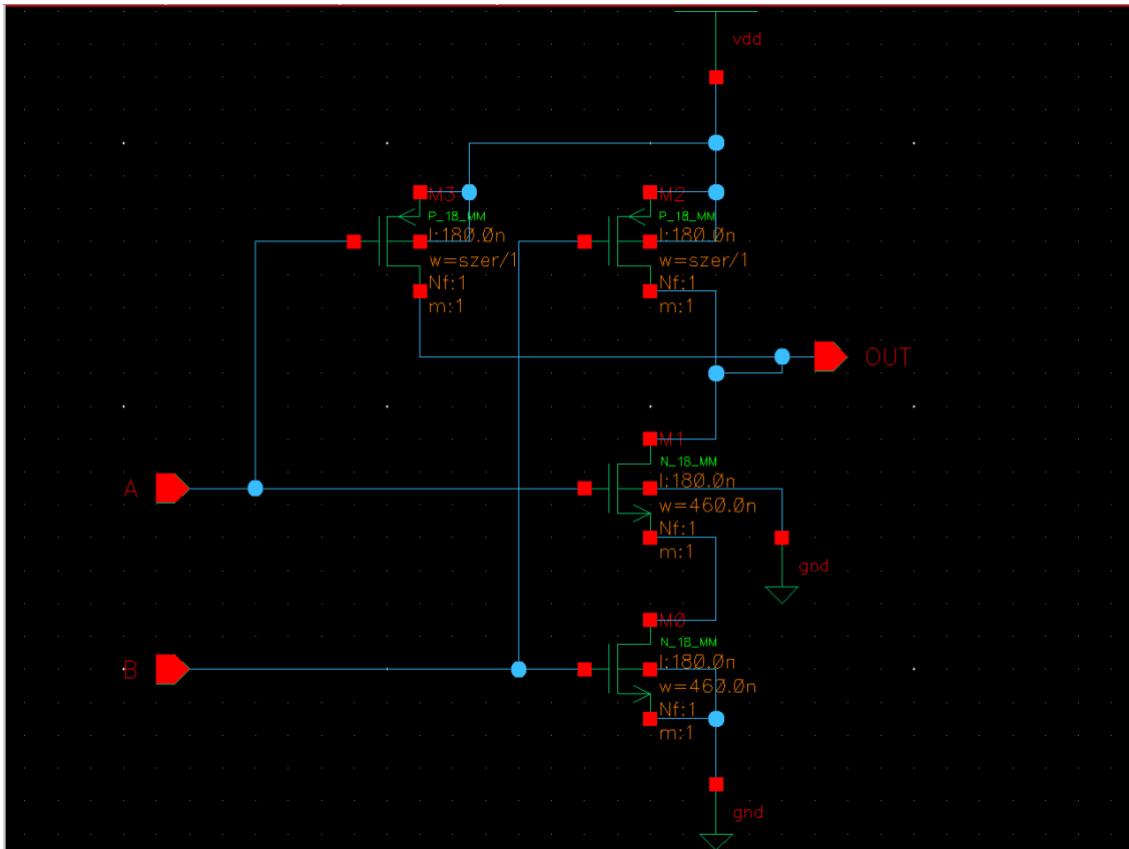
Zadanie laboratoryjne polegało na zaprojektowaniu poprawnie działającej bramki NAND. Po zaprojektowaniu bramki należało wykonać stosowne symulacje potwierdzające jej poprawne działanie.

2. Parametry symulacji

Symulacje przeprowadzane zostały z poszczególnymi parametrami:

- Napięcie zasilania: 1,8 [V];
- Pojemność obciążenia: 10 [fF];
- Źródło wejście A: impulsowe, [0; 1,8] [V], okres 10 [ns];
- Źródło wejście B: impulsowe, [0; 1,8] [V], okres 20 [ns];

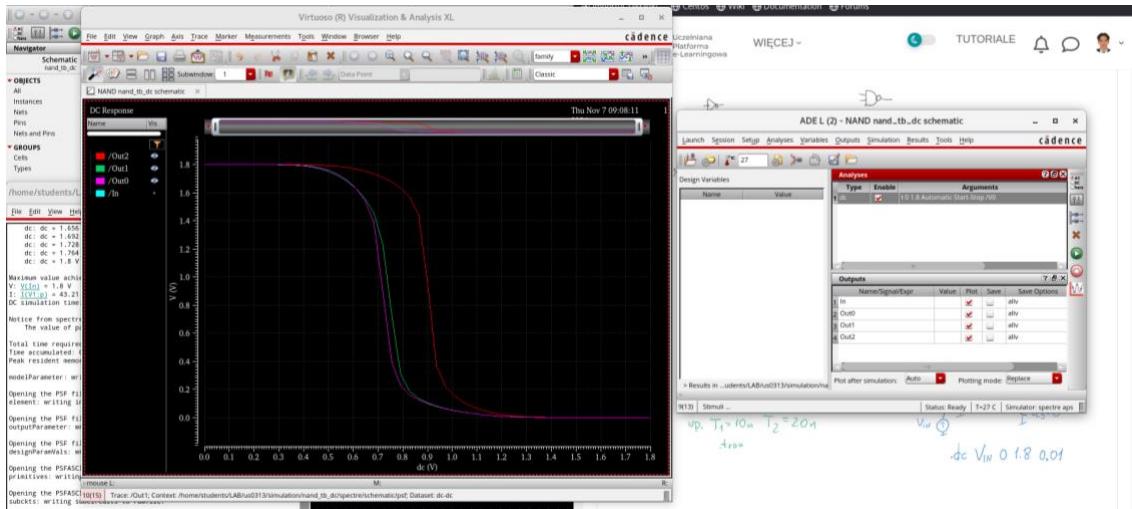
3. Schemat bramki do pomiarów



Zdjęcie 1 Schemat bramki NAND do pomiarów

W pierwszym kroku przy pomocy tranzystorów PMOS oraz NMOS utworzono schemat bramki NAND. Podczas symulacji bramka została obciążona pojemnością 10 [fF].

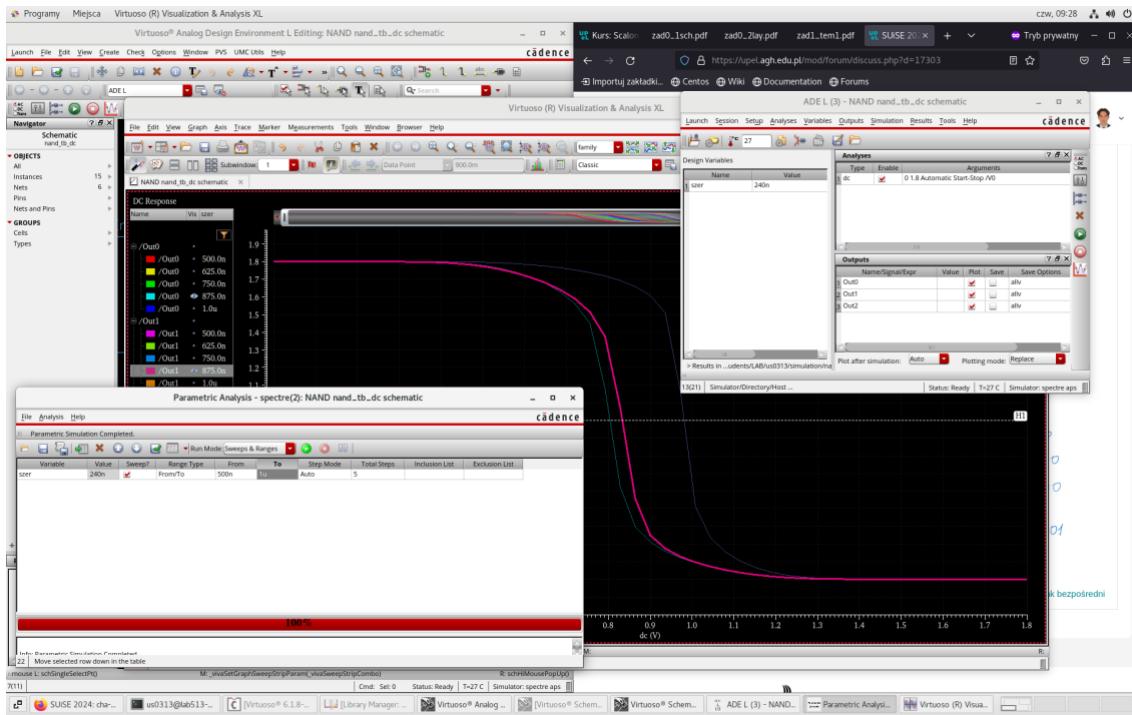
4. Analiza stałoprądowa przedlayoutowa



Zdjęcie 2 Analiza stałoprądowa przedlayoutowa

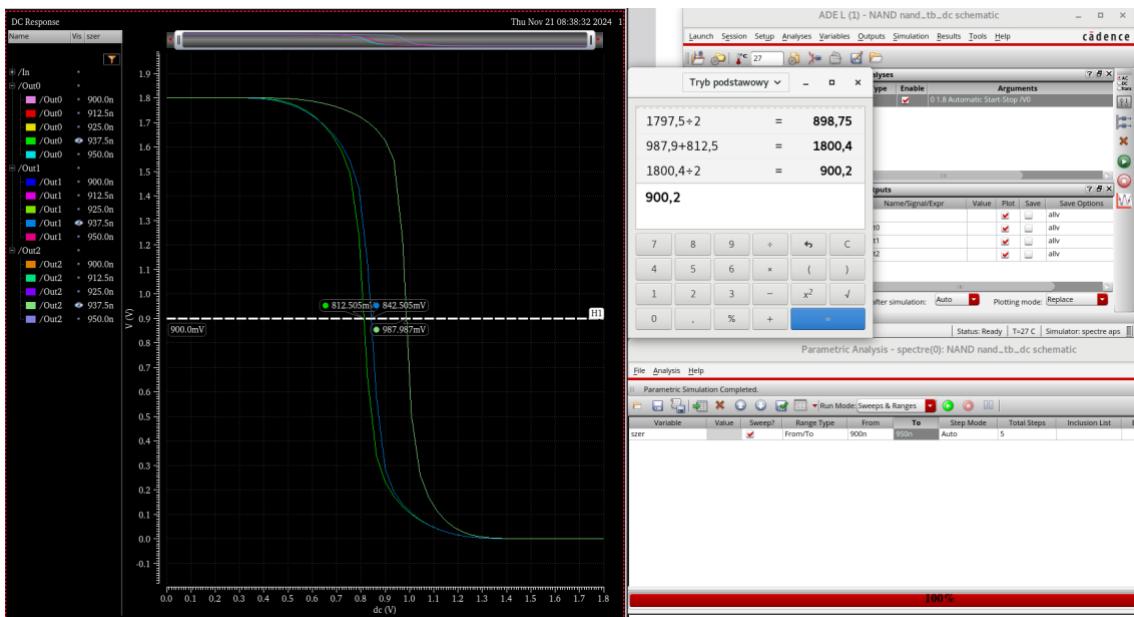
W celu weryfikacji poprawności działania utworzonego układu przeprowadzono jego analizę DC. Jak jesteśmy w stanie zauważycy wykres charakterystyki przejściowej zgadza się z zakładanym przebiegiem bramki NAND.

5. Analiza parametryczna



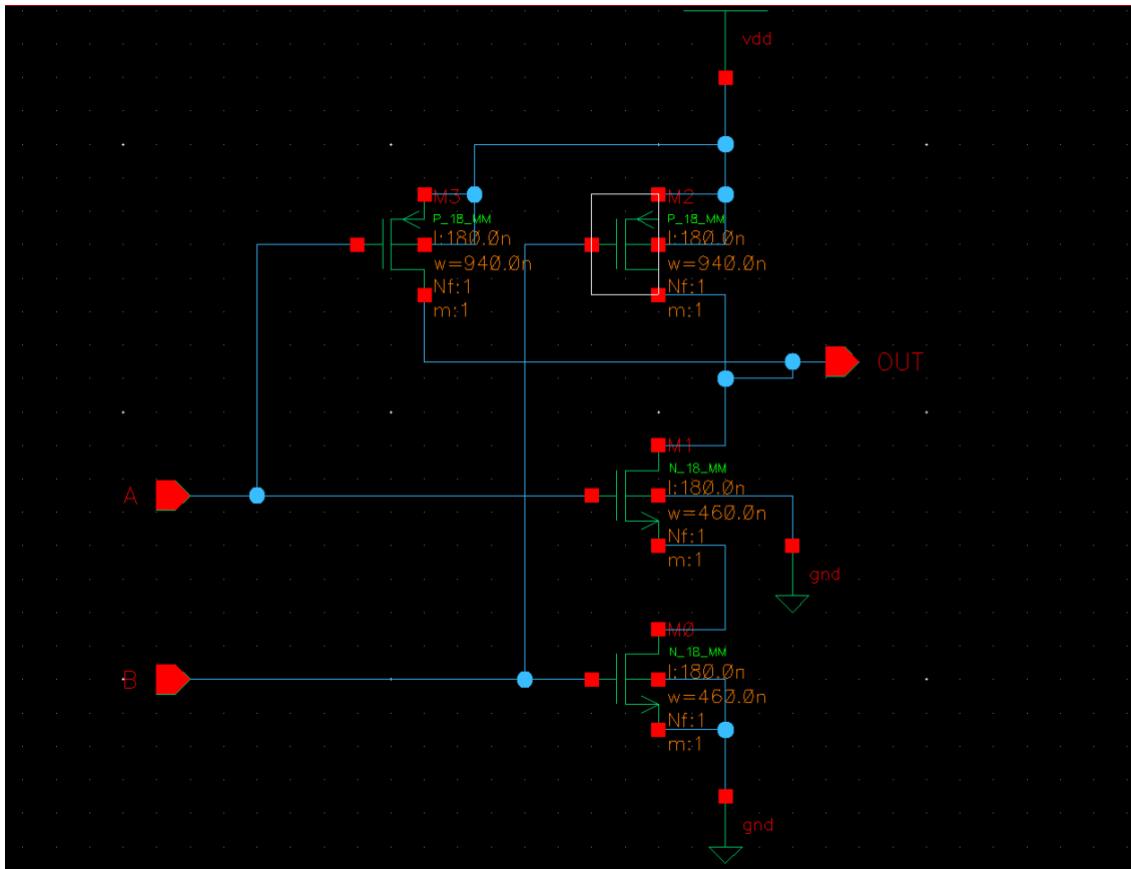
Zdjęcie 3 Parametry analizy parametrycznej

Aby charakterystyki znajdowały się w środku pola charakterystyk (od 0 do V_{dd} (1,8 [V])), w pobliżu połowy napięcia zasilania (0,9 [V]) a marginesy zakłóceń były maksymalne, należało dobrać odpowiednią szerokość tranzystorów. Analizie parametrycznej poddano szerokość tranzystorów PMOS.



Zdjęcie 4 Wyniki analizy parametrycznej

Podczas analizy charakterystyk przejściowych szukano takiej szerokości tranzystorów PMOS, dla których średnia napięć, przełączania bramki, skrajnych przypadków była równa połowie napięcia zasilania (0,9 [V]). Zabieg ten udało się uzyskać dla szerokości bramki PMOS równej 940 [nm], wynik ten może szokować dla NAND jednak szerokość tranzystora NMOS została ustwiona na 460 [nm]. Porównując z innymi uczestnikami laboratorium ich wyniki, dla tranzystora PMOS, oscylowały w granicach 430 [nm] jednak przy szerokości tranzystora NMOS równej niewiele ponad 200 [nm]. Po takim spostrzeżeniu zdecydowano się kontynuować pracę pomimo większych, aczkolwiek proporcjonalnych, wymiarów układu.



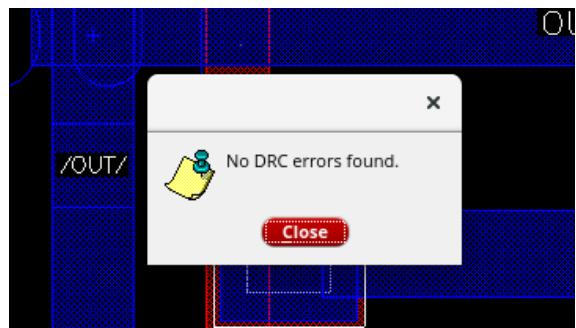
Zdjęcie 5 Schemat pomiarowy po zmianach

Po uzyskaniu wyniku wprowadzono uzyskaną szerokość na schemat co zaprezentowano na zrzucie ekranu powyżej.

6. Półautomatyczna generacja topografii

W kolejnym kroku przeprowadzono półautomatyczną generację topografii oraz odpowiednio połączono wygenerowane elementy. Zgodnie z zaleceniami z instrukcji w sprawozdaniu nie umieszczam widoku topografii. W zamian tego podana została ścieżka do katalogu projektu, gdzie można dokonać weryfikacji. Projekt znajduje się na profilu **us0313** w katalogu **\Documents\czw_0800\NAND** (ścieżka do weryfikacji, ale na pewno zbliżona). Finalna wersja projektu jest oznaczona jako **nand2** a przedlayoutowa jako **nand**.

Po utworzeniu topografii należało sprawdzić ją pod kątem błędów DRC.

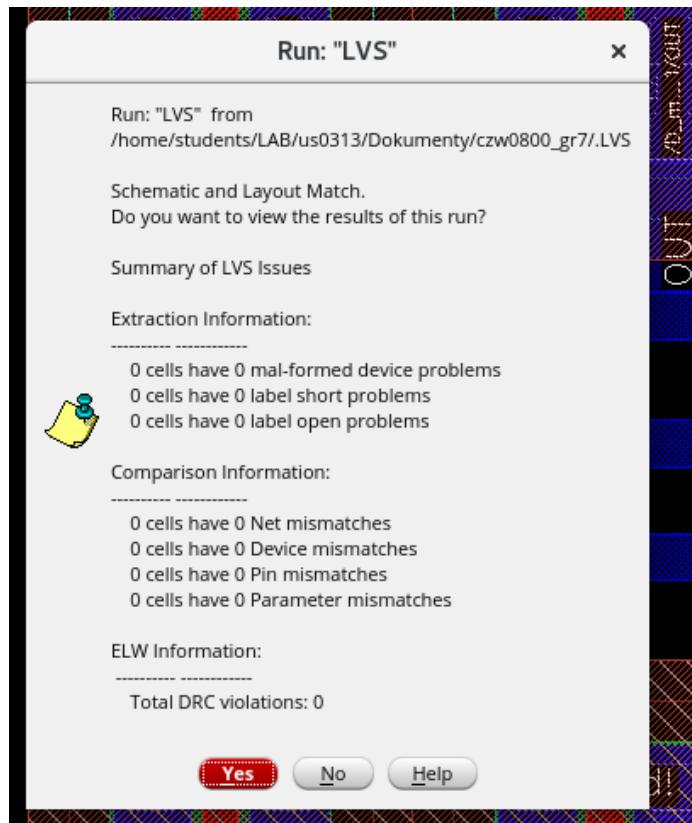


Zdjęcie 6 DRC Analysis output

Poprawiono parę występujących błędów w topografii i otrzymano komunikat o braku kolejnych błędów.

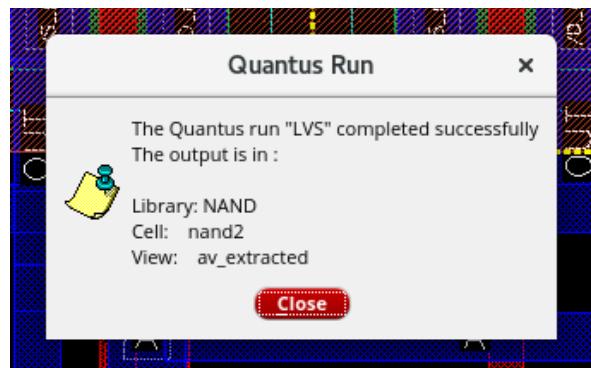
7. Ekstrakcja

Po udanym zakończeniu symulacji topografii należało wykonać ekstrakcję. Przed tą częścią ćwiczenia wymagane jest przeprowadzenie analizy LVS.

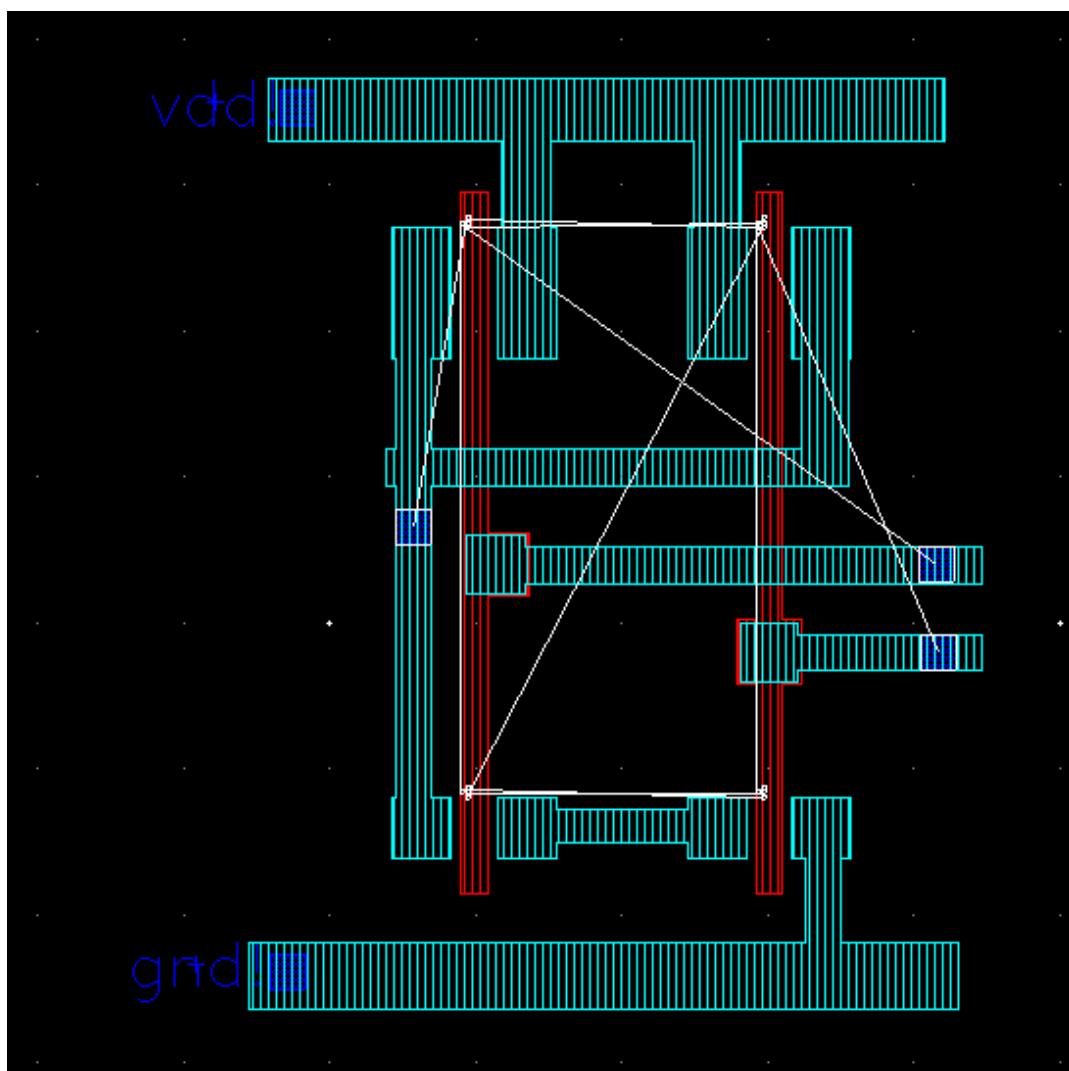


Zdjęcie 7 LVS Analysis output

Po uzyskaniu komunikatu o braku błędów można było przystąpić do ekstrakcji, która również nie zwróciła błędów.

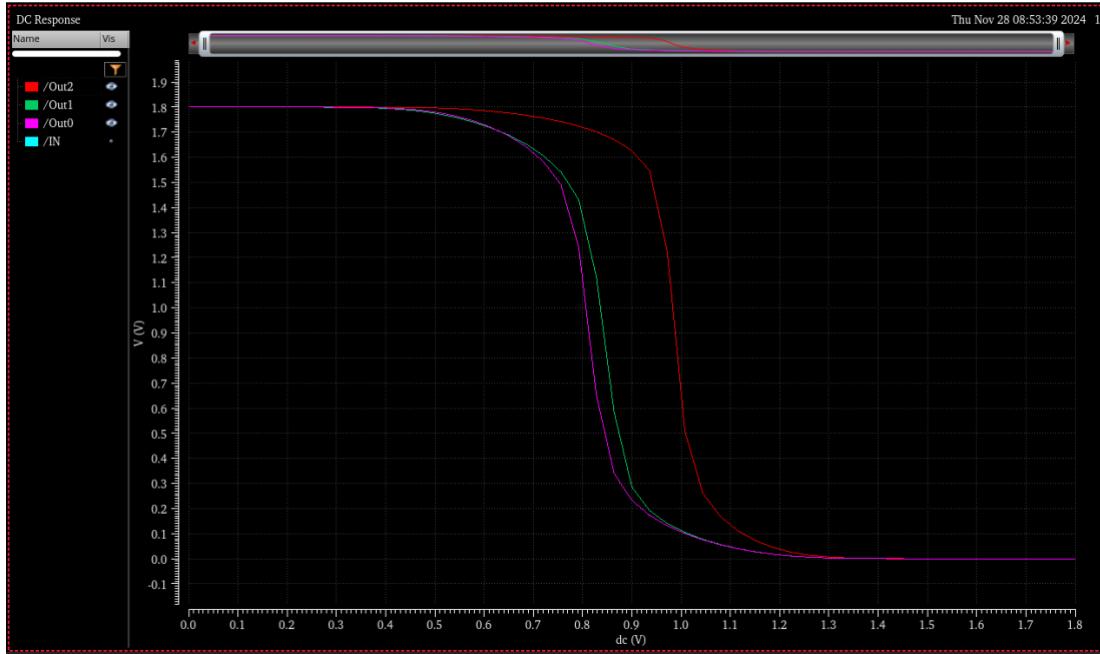


Zdjęcie 8 Quantus Run output



Zdjęcie 9 Widok układu po ekstrakcji

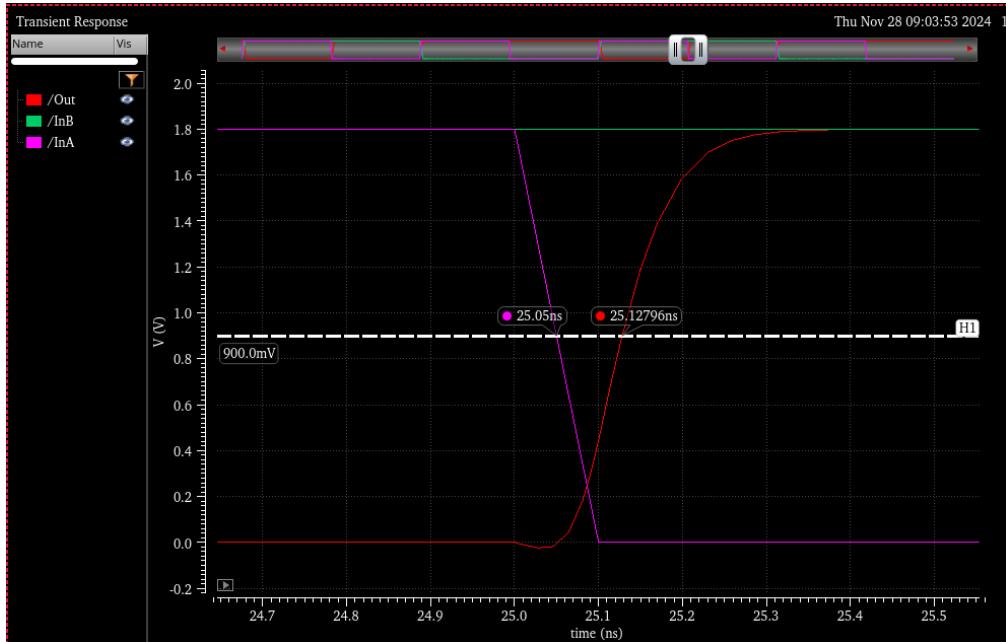
Zdjęcie powyżej przedstawia układ po udanej ekstrakcji.



Zdjęcie 10 Analiza DC postlayoutowa

Przeprowadzono również analizę postlayoutową, która dowodzi tego, że układ zachowuje się zgodnie z oczekiwaniami.

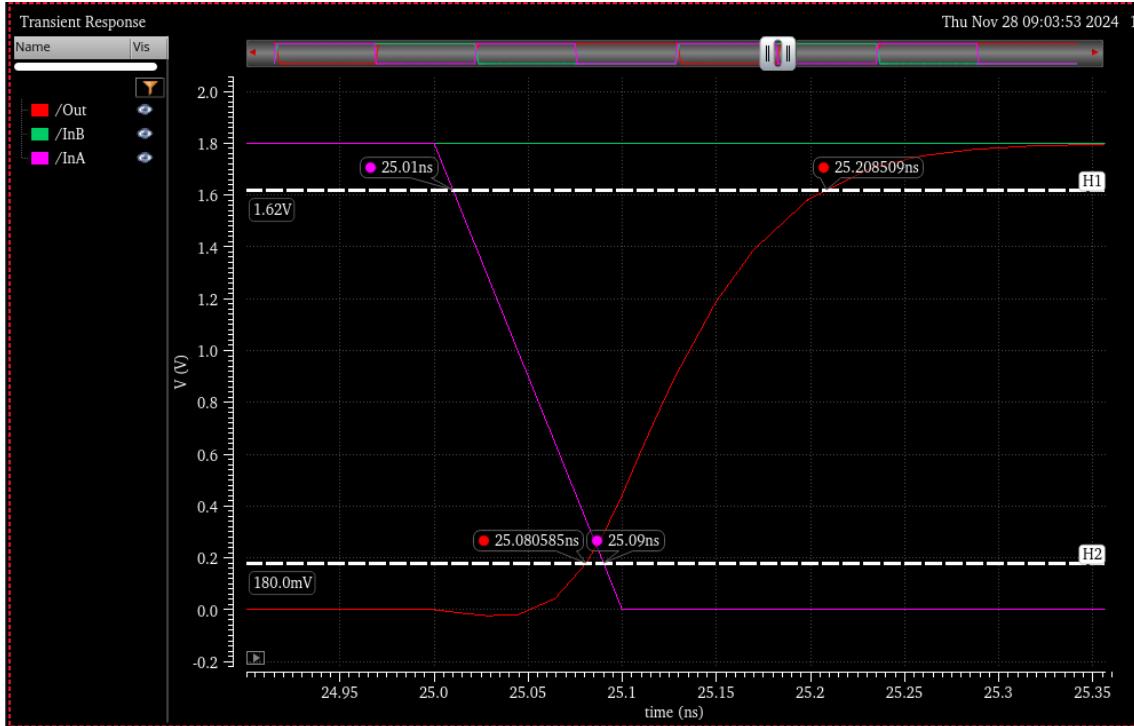
8. Pomiary czasów bramki



Zdjęcie 11 Pomiar czasu propagacji

Pomiary rozpoczęto od zmierzenia czasu propagacji bramki, czyli opóźnienia pomiędzy sygnałem wejściowym a sygnałem wyjściowym dla połowy amplitudy. Z przedstawionego zdjęcia możemy odczytać ten czas jako różnicę stosownych czasów.

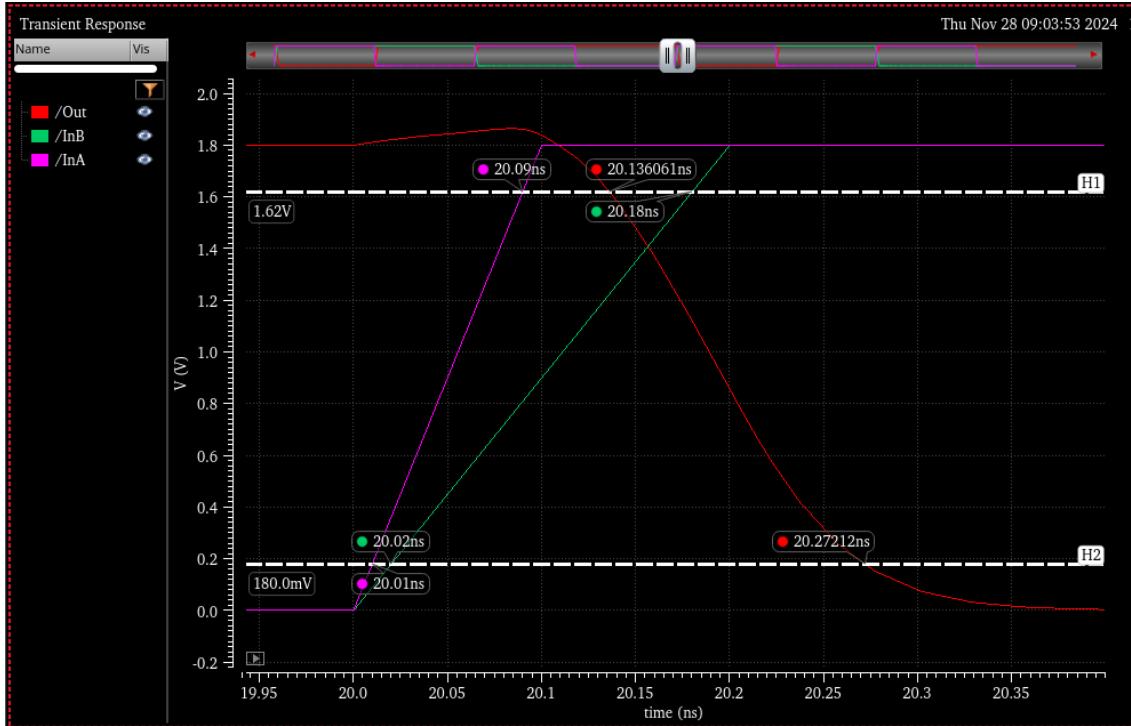
$$t_p = 25.12796[\text{ns}] - 25.05[\text{ns}] = 77,96[\text{ps}]$$



Zdjęcie 12 Pomiar czasu narastania

Pomiar czasu narastania jest mierzony na wyjściu bramki w przedziale 10 [%] do 90 [%] amplitudy. Analizując powyższe zdjęcie możemy go wyliczyć.

$$t_r = 25.208509[\text{ns}] - 25.080585[\text{ns}] = 127,924[\text{ps}]$$



Zdjęcie 13 Pomiar czasu opadania

Ostatnim czasem, który należało zmierzyć jest czas opadania. Analogicznie analizując powyższy wykres możemy go odczytać. Czas ten jest mierzony od 90 [%] do 10 [%] amplitudy.

$$t_f = 20,27212[ns] - 20,136061[ns] = 136,059[ps]$$

9. Pomiary marginesów zakłóceń bramki

Marginesy fazy mierzone przy wykorzystaniu pochodnej z charakterystyki przejściowej. Należało znaleźć punkty, w których pochodna przyjmowała wartość: -1 i nanieść je na wykres charakterystyki mierzonej. Następnie skorzystano ze wzorów:

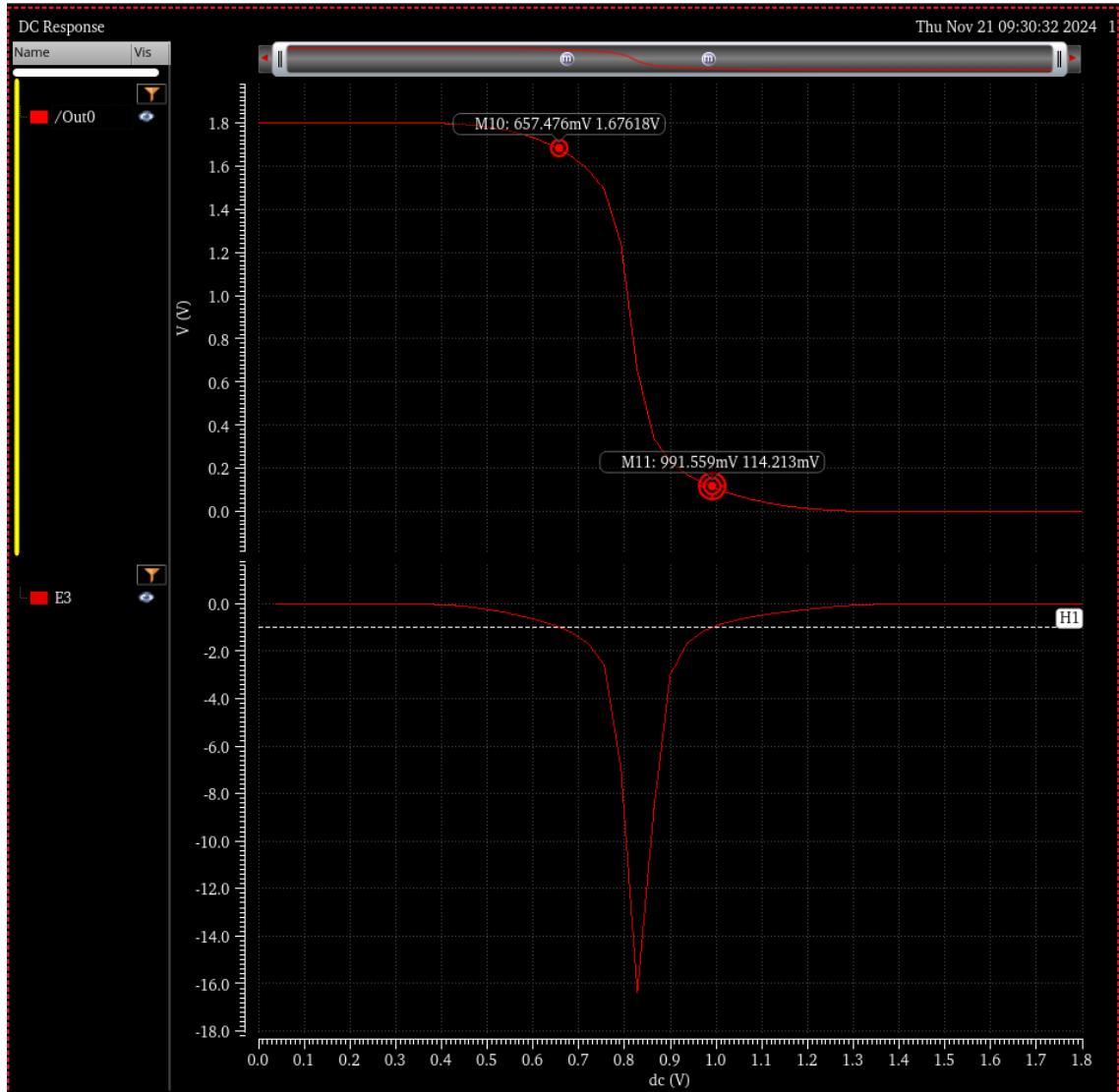
Margines zakłóceń dla stanu wysokiego:

$$M_H = V_{OH} - V_{IH}$$

Margines zakłóceń dla stanu niskiego:

$$M_L = V_{IL} - V_{OL}$$

9.1.Przypadek 1



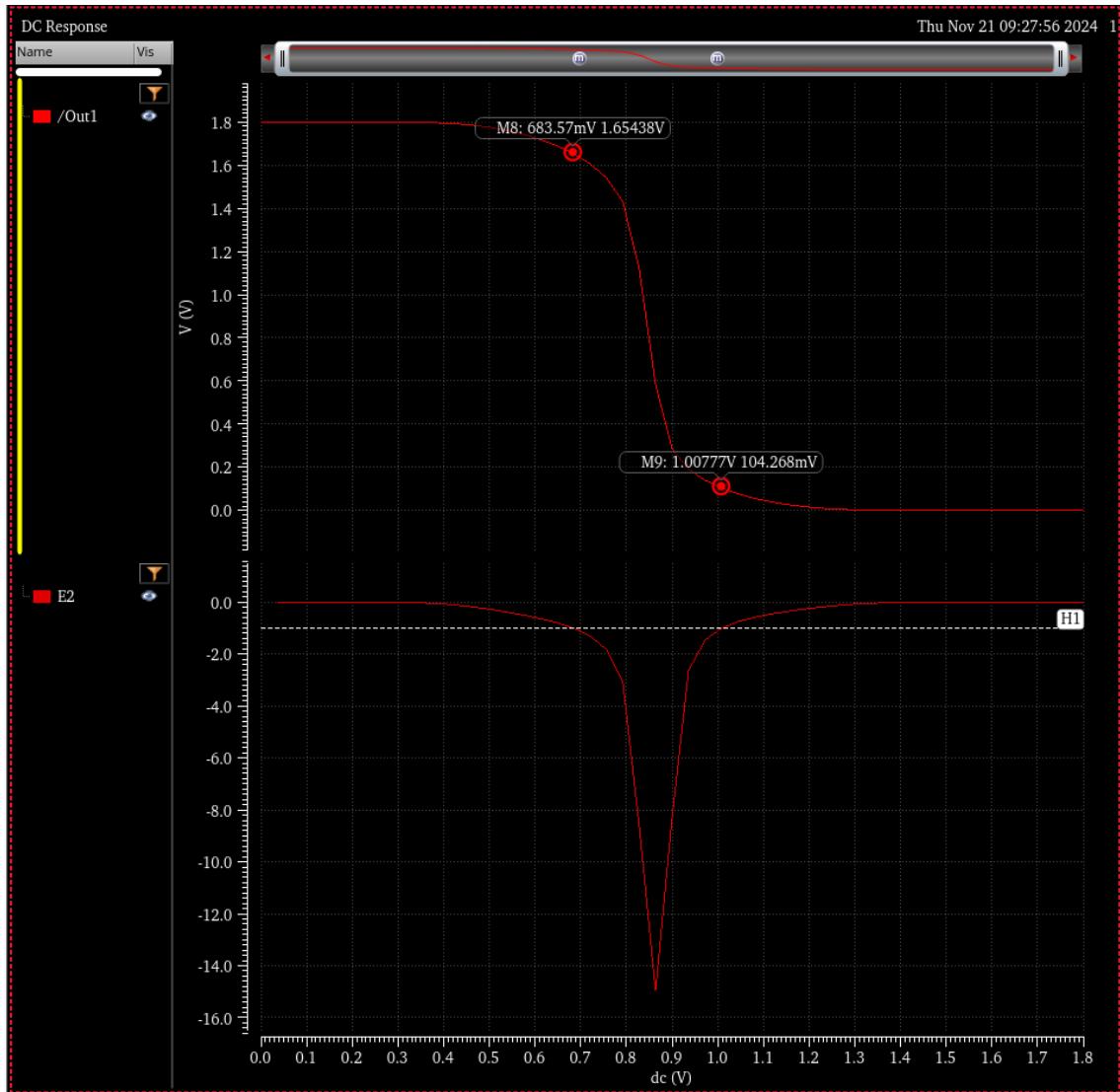
Zdjęcie 14 Pomiar marginesu zakłóceń OUT0

Skrajny lewy przypadek: A = 1, B = zbocze narastające. Analizując powyższy zrzut ekranu możemy wyliczyć marginesy zakłóceń.

$$M_H = 1,67618[V] - 991,559[mV] = 684,621[mV]$$

$$M_L = 657,476[mV] - 114,213[mV] = 543,263[mV]$$

9.2.Przypadek 2



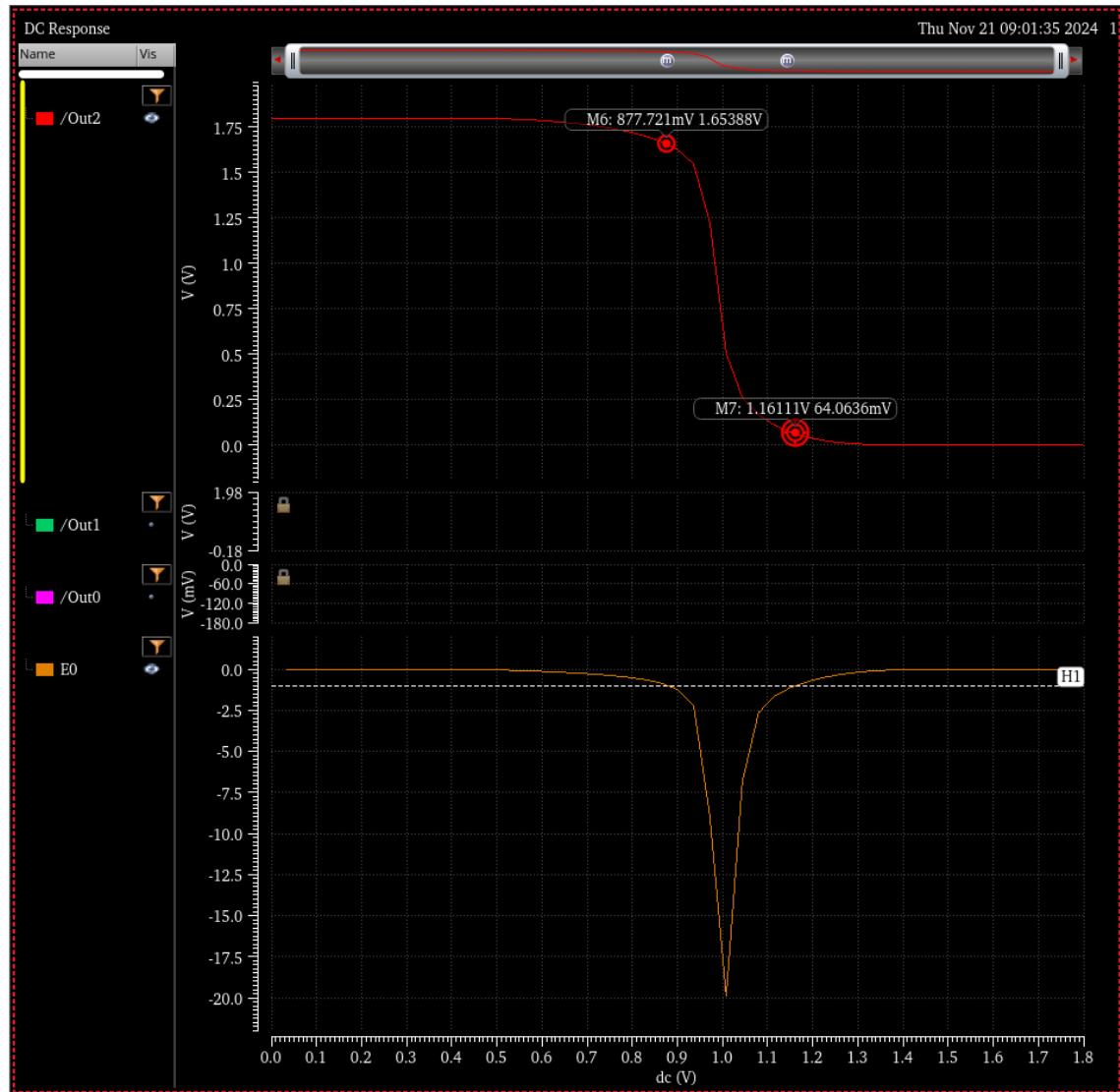
Zdjęcie 15 Pomiar marginesu zakłóceń OUT1

Środkowa charakterystyka przejściowa: A = zbocze narastające, B = 1. Analizując powyższy zrzut ekranu możemy wyliczyć marginesy zakłóceń.

$$M_H = 1,65438[V] - 1,00777[V] = 646,61[mV]$$

$$M_L = 683,57[mV] - 104,268[mV] = 579,302[mV]$$

9.3.Przypadek 3



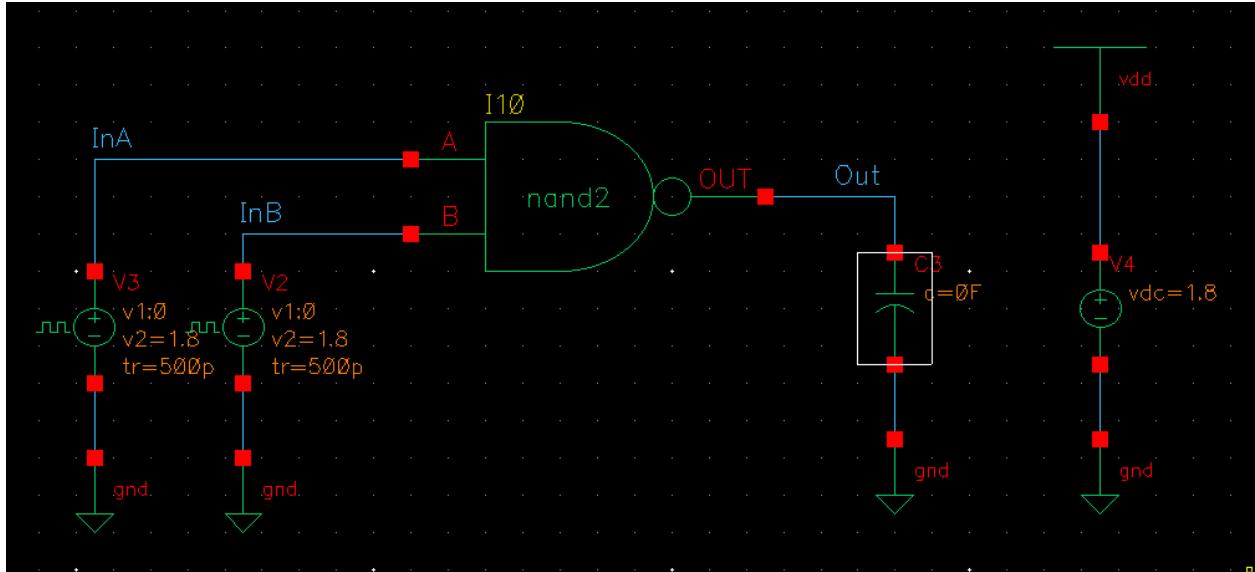
Zdjęcie 16 Pomiar marginesu zakłóceń OUT2

Skrajna prawa charakterystyka przejściowa: $A = B =$ zbocze narastające. Analizując powyższy zrzut ekranu możemy wyliczyć marginesy zakłóceń.

$$M_H = 1,65388[V] - 1,16111[V] = 492,77[mV]$$

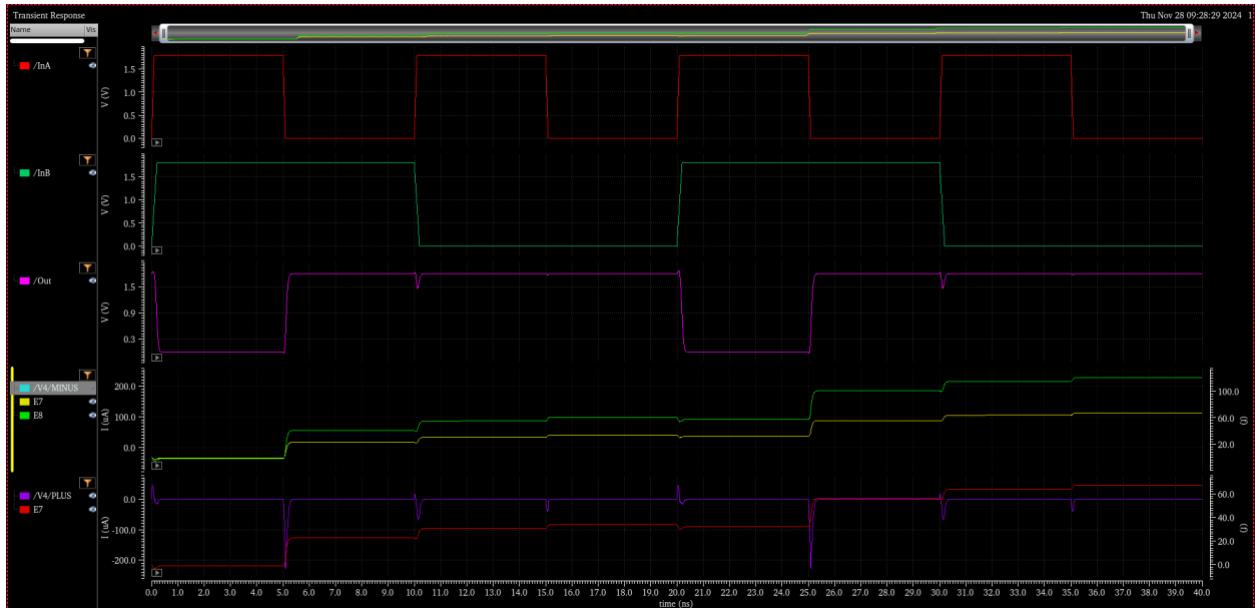
$$M_L = 877,721[mV] - 64,0636[mV] = 813,6574[mV]$$

10. Pomiar poboru mocy



Zdjęcie 17 Schemat do pomiaru poboru mocy

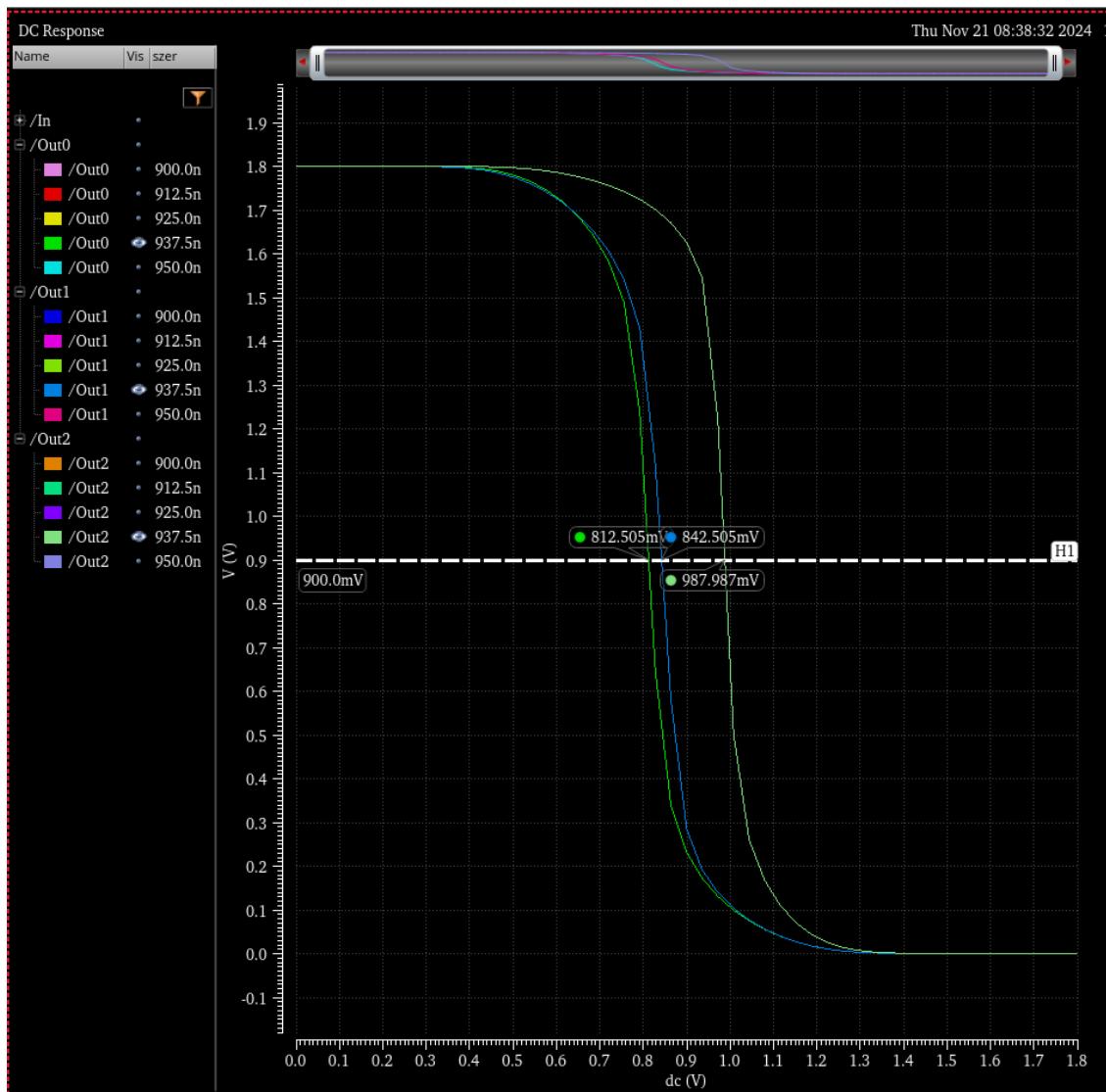
W symulacji pominięto ustawienie parametrów źródeł t_r ustawionych na zrzucie ekranu na 500 [ps] oraz wartość kondensatora obciążającego ustaloną na 10 [fF] (zrzut ekranu został wykonany przed zmianami i nie poprawiono go). Identyczny układ wykorzystano przy wcześniejszych analizach.



Zdjęcie 18 Pobór mocy bramki NAND

Analizując powyższy wykres możemy zauważyc, że układ zachowuje się jak przystało na CMOS to znaczy pobór mocy występuje tylko w momentach przełączania. Podczas zmian stanów układu obserwujemy dynamiczny pobór mocy, który wynika z ładowania i rozładowywania pojemności pasożytniczych. Pobór mocy jest również proporcjonalny do częstotliwości przełączania. Prądy pasożytnicze są znikome co potwierdza niski udział mocy statycznej i dominację dynamicznej. Pobór prądu jest widocznie związany z czasem narastania i opadania sygnałów.

11. Próg przełączania



Zdjęcie 19 Charakterystyka przejściowa bramki NAND

Progami przełączania określamy napięcie wejściowe, dla którego wyjście bramki zmienia swój stan logiczny. Dla symetrycznego układu przełączenie powinno nastąpić w połowie napięcia zasilania. Progi przełączania możemy odczytać z powyższego wykresu.

Dla skrajnego lewego przypadku jest to: 812,505 [mV], dla środkowego wykresu: 842,505 [mV] oraz dla skrajnego prawego: 987,987 [mV].