HGA101图形加速器技术手册

V0.1

RV/AT项目组

2020-7-13

# HGA101技术规格书

## HGA101硬件规格

HGA101是一个以RISC-V EMFC指令集为基础，配合定制化的浮点SIMD单元构成的图形加速器组件。本设计为PVS464D工程配套外设之一。计划对OpenGL v2.0/miniGL计算机图形学加速库提供有限支持（单精度、双精度功能一律返回半精度结果）

本图形加速器核心技术规格如下：

|  |  |  |
| --- | --- | --- |
| 项目 | 指标 | 备注 |
| 浮点支持 | 半精度（SIMD单元） |  |
| 多边形填充率 | >100KT@1MHz |  |
| Framebuffer尺寸 | 800x600@32b RGBA |  |
| 图层支持 | 1Text+1Sprite+2FB |  |
|  |  |  |
|  |  |  |
| 可调用显示内存 | 8MiB | For EG4D20 |

## HGA101架构简述

HGA101是一个5级控制流水线、9级运算流水线的单发射顺序处理器。

SIMD/FPU部分具有64个64位GPR(本文简记为SPR)，可同时执行4个半精度数据运算。

GF24 24位精度图形浮点数

GF24是一种为FPGA应用地位宽乘法器场景专门设计的中等精度浮点数格式，不兼容IEEE 754标准

其数据格式为

|  |  |  |
| --- | --- | --- |
| 23 | [22:16] | [15:0] |
| Symbol | Radix | Significand |

## HGA101指令集

HGA101流程控制部分使用了简化CSR的RV32I指令集，在本文档中不做过多赘述，重点介绍GS16 SIMD数学运算指令集和CAT坐标运算指令集

GS16 SIMD扩展指令集

GS16是本处理器中的半精度数学运算加速指令集。

|  |  |  |
| --- | --- | --- |
| 助记符 | 解释 | 指令格式 |
| SFADD16 | 半精度批量浮点加 | SFADD16 SD,SS1,SS2 |
| SFMUL16 | 半精度批量浮点乘 | SFMUL16 SD,SS1,SS2 |
| SFMAD16 | 半精度批量浮点乘加 | SFMAD16 SD,SS1,SS2 |
| SMUL16 | 批量短整型乘 |  |
| SADD16 | 批量整型加 |  |
| SFTI16 | 批量浮点化整数 | SFTI SD,SS |
| SITF16 | 批量整数化浮点 | SITF SD,SS |
| VFMUL | 向量浮点乘 |  |
|  |  |  |
|  |  |  |
|  |  |  |
| SLOAD | 批量加载，将一个SPR压入内存 | SLOAD SR,RA,ROFFSET |
| SSTOR | 批量存储，从内存取一个SPR | SSTOR SD,RA,ROFFSET |

CAT 坐标运算指令集

CAT是一个基于CORDIC算法运算器的三角函数/坐标运算及坐标系转换扩展指令集

坐标运算输入输出为48bit三坐标格式，其数据格式如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| [63:50] | [49:48] | [47:32] | [31:16] | [15:0] |
| Reserved | Cor Type | Cor3 | Cor2 | Cor1 |

其中Coordinate type部分的数据定义如下

|  |  |
| --- | --- |
| 值 | 坐标系 |
| 2’b00 | 直角坐标系(x,y,z) |
| 2’b01 | 圆柱坐标系(r,φ,z) |
| 2’b10 | 球坐标系(r,θ,φ) |
| 2’b11 | 非法 |

备注：其中角度的表示为

备注：最终输出到光栅贴图单元的坐标系必须为直角坐标系

光栅贴图单元

光栅贴图单元是基于有限状态机，独立于数学运算单元的固定管线DSP，将流程控制部分输入的顶点、贴图指令进行处理，将贴图输出填充入到framebuffer。