



République Tunisienne
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
Direction Générale des Etudes Technologiques

---***---

Institut Supérieur des Etudes Technologiques de Sousse



Support du cours et TD électroniques numériques

Spécialité : Génie électrique

Elaboré par : TLILI KAIS

TECHNOLOGUE à L'iset de SOUSSE

Sommaire

Chapitre 1 : Introduction générale aux circuits intégrés numériques	1
1.1 Caractéristiques de base des circuits numériques	1
1.2 Les circuits intégrés numériques bipolaires et unipolaires	2
1.2.1 Famille TTL.....	3
1.2.2 Famille CMOS.....	4
1.2.3 Alimentation et masse	4
1.2.4 Intervalle de tension des niveaux logiques	5
1.2.5 Entrées non connectées (flottantes)	5
1.3 Caractéristiques électriques statiques.....	6
1.3.1 Tension d'alimentation	6
1.3.2 Courant consommé.....	6
1.3.3 Niveaux logiques	6
1.3.3 Immunité aux bruits.....	7
1.3.4 Sortance - entrance	9
1.4 Caractéristiques électriques dynamiques	9
1.4.1 Temps de propagation	9
1.4.2 Facteur de mérite	10
1.4.3 Consommation.....	10
1.4.4 Logique à injection de courant et à absorption du courant.....	11
1.5 Famille TTL	12
1.5.1 Fonctionnement du circuit à l'état bas.....	12
1.5.2 Fonctionnement du circuit à l'état haut	13
1.6 Facteurs de charge et sortance des TTL.....	14
1.6.1 Sortance	14
1.6.2 Facteurs de charge	14
1.6.3 Sortie TTL à collecteur ouvert.....	15
1.6.4 TTL trois états	16
1.7 Famille CMOS	17
1.7.1 Inverseurs NMOS	18
1.7.2 La logique MOS complémentaire.....	18
1.7.3 Inverseurs CMOS	18
Exercices et Problèmes Corrigés.....	21
Chapitre 2 :Les Convertisseurs numériques-analogiques CNA.....	25
2.1 Les échanges avec un monde numérique.....	25
2.2 Le convertisseur numérique – analogique	26
2.2.1 Définition.....	26

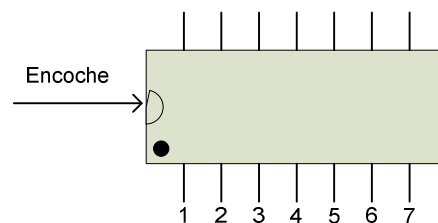
2.2.2 Tension pleine échelle PE :	26
2.2.3 Résolution R d'un CNA :	27
2.2.4 Tension de conversion :	27
2.2.5 Représentation des variations de la tension de sortie V_S en fonction de la valeur numérique d'entrée N :	28
2.2.6 Circuits des convertisseurs numériques - analogiques :	28
2.2.6.1 C.N.A à réseau de résistances pondérées :	28
2.2.6.2 C.N.A à réseau R-2R :	29
Exercices et Problèmes Corrigés	31
chapitre 3 : Les Convertisseurs analogiques-numériques CAN	34
3.1 Les convertisseurs analogiques - numériques	34
3.1.1 Définition	34
3.1.2 Symbole d'un CAN	34
3.1.3 Résolution d'un CAN	34
3.1.4 Détermination de la valeur binaire de sortie en fonction de la tension d'entrée	35
3.1.5 Schéma général d'un CAN	35
3.1.6 Circuits des convertisseurs analogiques -numériques	36
3.1.6.1 CAN à rampe numérique	36
3.1.6.2 CAN double rampe	38
3.1.6.3 CAN pour approximation successives (à pesées successives)	39
3.1.6.4 CAN parallèles (FLASH)	40
Exercices et Problèmes Corrigés	41
chapitre 4 : Les mémoires	44
4.1 Introduction	44
4.2 Les mémoires vives	45
4.2.1 Mémoire vive statique	46
4.2.2 Mémoire Dynamique	49
Exercices et Problèmes Corrigés	51

Chapitre 1 : Introduction générale aux circuits intégrés numériques

1.1 Caractéristiques de base des circuits numériques

Les circuits intégrés numériques (CI) sont un groupement de résistances, de diodes, de transistors fabriqués directement dans un matériau semi-conducteur (habituellement du silicium), appelé substrat et que l'on désigne couramment du nom de « puce ». La puce est encapsulée dans un boîtier protecteur de plastique ou de céramique duquel émanent des broches servant à la connexion de la puce à autres dispositifs.

Le boîtier le plus répandu est le DIP (deux rangées de puces) figure(1.1). on retrouve aussi des boîtiers à 16, 20, 24, 28, 40 et 64 broches.



Les circuits intégrés numériques sont souvent désignés selon la complexité du circuit qu'ils portent, complexité mesurée par le nombre des portes logiques équivalentes réalisées dans le substrat.

On retient habituellement cinq niveaux de complexité, dont voici les définitions :

COMPLEXITE	NOMBRE DE PORTES
Intégration à petite échelle (SSI)	Moins de 12
Intégration à moyenne échelle (MSI)	12 à 99
Intégration à grande échelle (LSI)	100 à 9999
Intégration à très grande échelle (VLSI)	10 000 à 99 999
Intégration à ultra grande échelle (ULSI)	Plus de 100 000

1.2 Les circuits intégrés numériques bipolaires et unipolaires

Les CI numériques peuvent aussi être catégorisés selon le type du principal composant électronique que l'on retrouve dans ses circuits.

Les CI bipolaires sont ceux dont la construction est basée sur le transistor à jonction bipolaire (NPN et PNP)

Les CI unipolaires sont ceux qui utilisent comme principal élément les transistors à effet de champ unipolaire (MOSFET à canal P et à canal N).

La famille de CI numériques bipolaires la plus répandue est la famille TTL (Transistor Transistor Logic). La figure 1.2 nous fait voir un INVERSEUR standard en technologie TTL. On remarque la présence des nombreux transistors bipolaires.

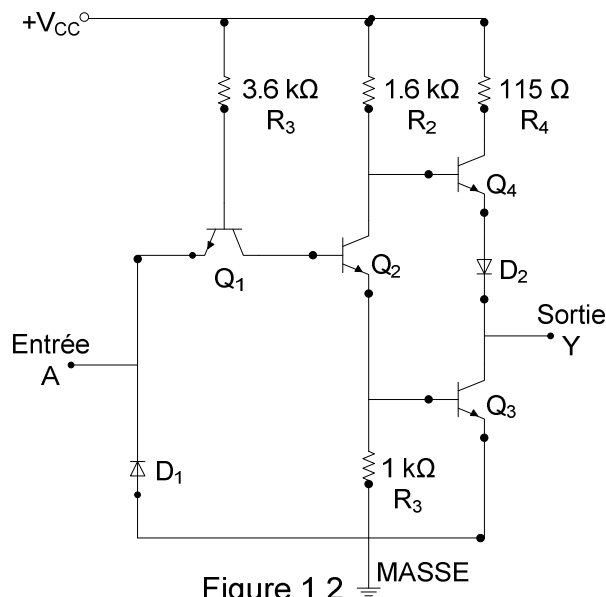


Figure 1.2

La famille TTL domine particulièrement les dispositifs SSI et MSI

La famille logique CMOS (MOS complémentaire) est une catégorie des CI numériques unipolaires, la figure 1.3 représente un inverseur CMOS standard fabriqué avec des MOSFET à enrichissement.

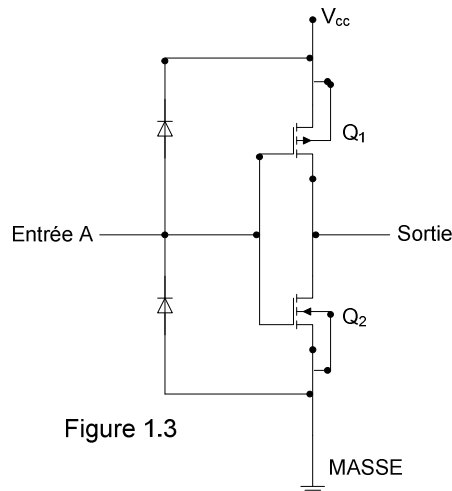


Figure 1.3

1.2.1 Famille TTL

La famille logique TTL telle qu'elle existe actuellement regroupe plusieurs sous-familles ou séries. Le tableau ci-dessous énumère chacune des séries TTL accompagnée du préfixe figurant dans le code du CI et indiquant que ce circuit fait partie de cette série.

Série TTL	Préfixe	Exemple de CI
TTL standard	74	7404 (six inverseurs)
TTL rapide	74H	74H04
TTL faible consommation	74L	74L04
TTL Schottky	74S	74S04
TTL Schottky faible consommation	74LS	74LS04
TTL Schottky avancé	74AS	74AS04
TTL Schottky avancé faible consommation	74ALS	74ALS04

1.2.2 Famille CMOS

Dans la famille CMOS il y a aussi plusieurs séries. Celles-ci sont énumérées dans le tableau ci-dessous.

Les séries 4000 et 14000 sont d'anciennes séries CMOS. Ces séries réalisent les mêmes fonctions logiques que celles de la famille TTL, mais elles n'ont pas été conçues pour avoir un brochage compatible avec les éléments TTL.

Série CMOS	Préfixe	Exemple de CI
CMOS à porte métallique	40 ou 140	4001 ou 14001 quatre porte NI
Porte métallique, brochage compatible TTL	74C	74C02 quatre portes NI
Porte de silicium, brochage compatible TTL, rapide	74HC	74HC02 quatre portes NI
Porte de silicium, rapide, électriquement compatible TTL	74HCT	74HCT02 quatre portes NI

Les séries 74C, 74HC, 74HCT, 74AC, 74ACT sont des séries CMOS, les deux dernières étant les plus récentes. Le brochage de toutes ces séries est compatible avec les éléments TTL, les séries 74HC, 74HCT fonctionne à une vitesse supérieure à celle des dispositifs 74C. Les séries 74HCT ont été conçues pour être compatible au niveau électrique avec les dispositifs TTL c'est-à-dire peuvent être connectés directement à des éléments TTL sans interfaçage.

1.2.3 Alimentation et masse

Pour utiliser des CI numériques, il est indispensable de raccorder correctement les broches des boîtiers, les connexions les plus importantes sont **l'alimentation continue** et **la masse**.

La broche d'alimentation du circuit TTL est appelée V_{CC} , celle du circuit CMOS V_{DD} . Les nouveaux circuits intégrés CMOS, conçus pour être compatible avec les circuits intégrés TTL, appellent aussi leur broche d'alimentation V_{CC} .

1.2.4 Intervalle de tension des niveaux logiques

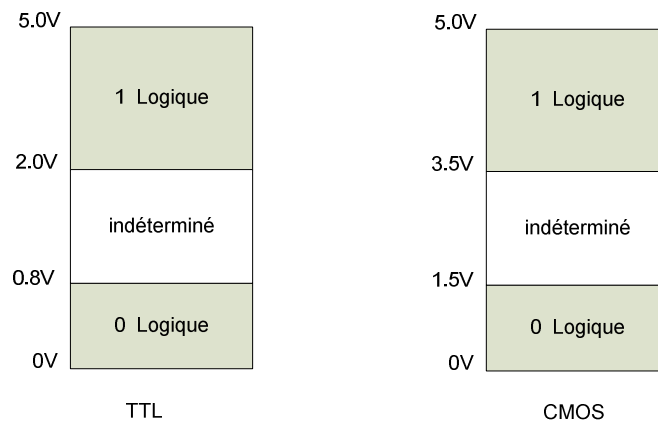
Pour les éléments TTL la valeur nominale de V_{CC} est de +5V. Pour les circuits CMOS V_{DD} se situe entre +3 et +18V.

Pour les éléments standard, les intervalles de tension acceptables pour les niveaux logiques 0 et 1 sont définis dans la figure 1.4, ainsi le niveau 0 est toute tension se situe entre 0 et 0.8V ; le niveau 1, toute tension se situe dans la plage de 2V à 5V. Les tensions qui n'apparaissent ni dans un intervalle ni dans l'autre sont dites **indéterminées**.

Les intervalles des niveaux logiques pour les circuits intégrés CMOS se situent entre 0 et 30% V_{DD} pour le niveau 0 et entre 70% V_{DD} et V_{DD} pour le niveau logique 1.

Exemple :

Pour $V_{DD} = +5V$, le niveau logique 0 se situe entre 0 et 1.5V et le niveau logique 1 se situe entre 3.5V et 5V.



1.2.5 Entrées non connectées (flottantes)

On appelle souvent « flottante » une entrée non connectée.

Une entrée TTL flottante se comporte exactement comme s'il y avait un 1 logique. Une entrée non connectée se prête particulièrement bien à la capture du bruit qui peut brouiller le fonctionnement du dispositif.

Si une entrée CMOS est laissée flottante, les résultats peuvent être désastreux. Le CI peut surchauffer et possiblement se consumer de lui-même. Pour cette raison, il faut obligatoirement que toutes les entrées du circuit intégré CMOS soient connectées à un niveau

haut ou un niveau bas, ou à la sortie d'un autre CI. Une entrée CMOS flottante n'est pas une tension c.c précise, mais une tension qui fluctue de façon aléatoire car elle capte du bruit.

1.3 Caractéristiques électriques statiques

1.3.1 Tension d'alimentation

C'est la différence de potentiel qu'il faut appliquer au circuit pour que son fonctionnement soit correct

1.3.2 Courant consommé

C'est le courant qui est fourni par le générateur délivrant la tension d'alimentation nominale. Il peut dépendre de l'état de circuit.

1.3.3 Niveaux logiques

V_{IHmin} : tension d'entrée niveau haut, représente le niveau de tension minimal pour avoir un 1 logique en entrée

V_{ILmax} : tension d'entrée niveau bas, représente le niveau de tension maximal pour avoir un 0 logique en entrée

V_{OHmin} : tension de sortie niveau haut, représente le niveau de tension minimal qui correspond à un 1 logique en sortie

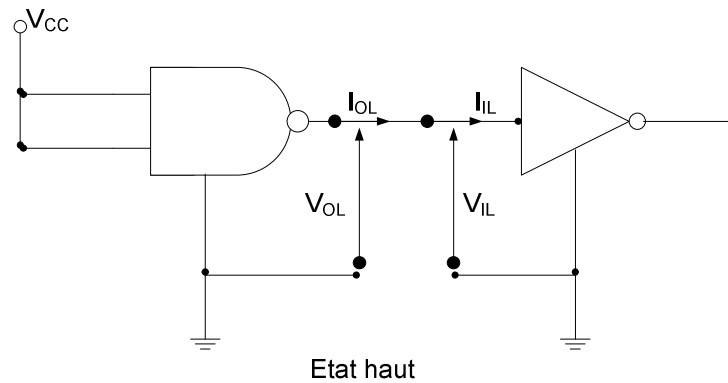
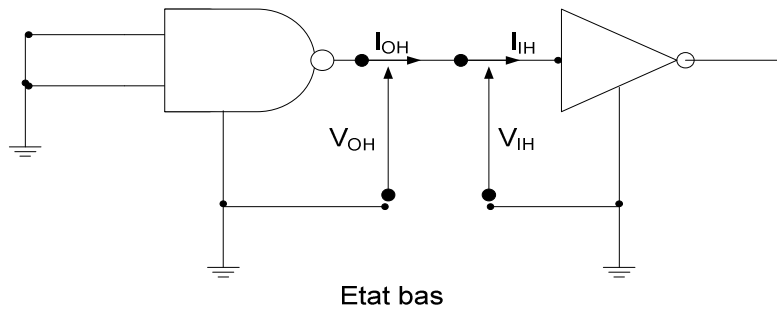
V_{OLmax} : tension de sortie niveau bas, représente le niveau de tension maximal qui correspond à un 0 logique en sortie

I_{IHmin} : Courant d'entrée niveau haut, représente le courant qui traverse une borne d'entrée quand une tension niveau haut est appliquée à cette entrée

I_{ILmax} : Courant d'entrée niveau bas, représente le courant qui traverse une borne d'entrée quand une tension niveau bas est appliquée à cette entrée

I_{OHmin} : Courant de sortie niveau haut, représente le courant qui traverse une borne de sortie placée au niveau haut dans les conditions de charges spécifiques.

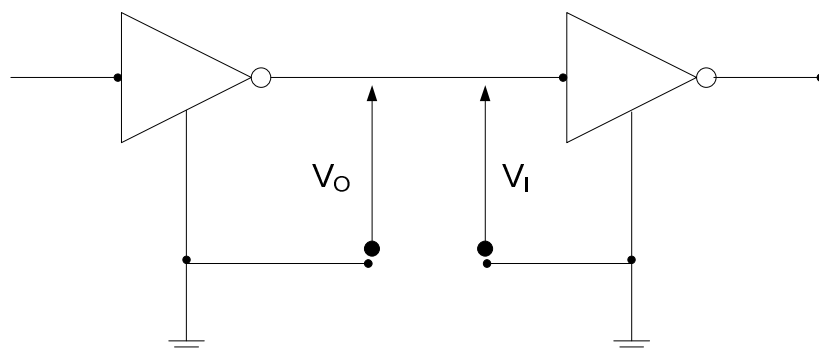
I_{OLmax} : Courant de sortie niveau bas, représente le courant qui traverse une borne de sortie placée au niveau bas dans les conditions de charges spécifiques.

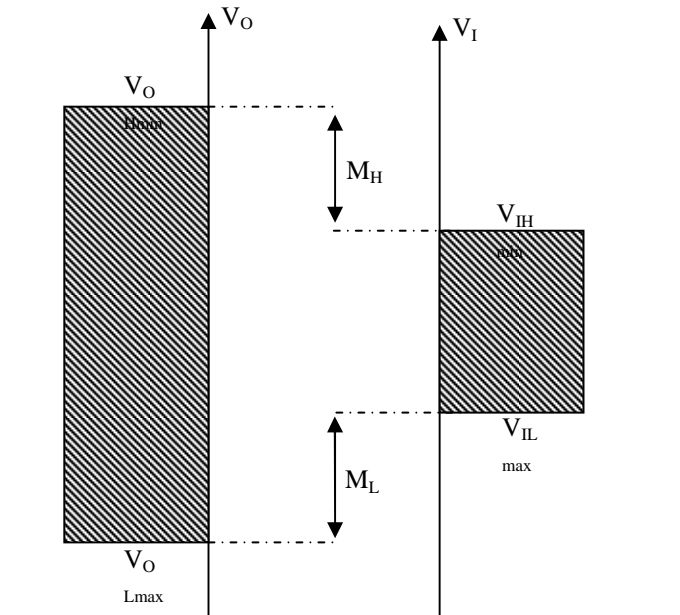


1.3.3 Immunité aux bruits

Lorsqu'un opérateur logique est connecté à un autre, la différence des valeurs de V_{OH} et V_{IH} (ainsi que V_{OL} et V_{IL}) autorise l'insertion d'un bruit entre ces opérateurs

Par exemple pour deux circuits inverseurs, soit V_O la tension de sortie du premier et V_I la tension d'entrée du second figure





On définit :

La marge de sensibilité à l'état haut : $M_H = V_{OHmin} - V_{IHmin}$

La marge de sensibilité à l'état bas : $M_B = V_{ILmax} - V_{OLmax}$

Exemple : d'après le tableau donné, calculer les marge de sensibilité à l'état haut et à l'état bas pour un circuit TTL standard

paramètres	$V_{min}(V)$	$V_{typique}(V)$	$V_{max}(V)$
V_{OH}	2.4	3.6	
V_{OL}		0.2	0.4
V_{IH}	2		
V_{IL}			0.8

$$M_B = V_{ILmax} - V_{OLmax} = 0.8 - 0.4 = 0.4V$$

$$M_H = V_{OHmin} - V_{IHmin} = 2.4 - 2 = 0.4V$$

1.3.4 Sortance - entrance

La sortance et l'entrée donnent les possibilités d'interconnexions des circuits logiques.

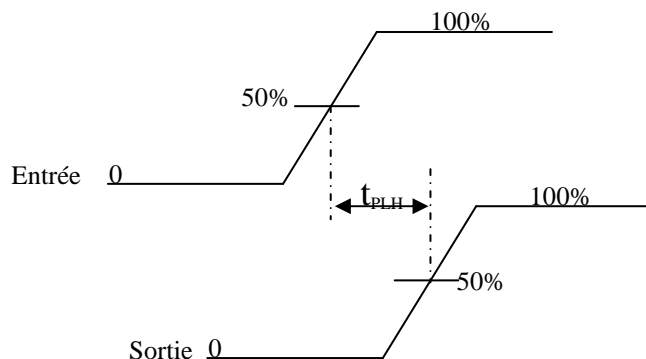
On appelle entrée la valeur du courant de commande d'une entrée de circuit logique exprimée en charge. Une entrée de circuit logique a une entrée d'une charge si elle consomme (ou fournit) un courant correspondant à celui d'une porte élémentaire de la même famille logique.

Lorsqu'une sortie est connectée à plusieurs entrées de circuits, le courant total ne peut dépasser certaines limites. Le courant maximum est appelé sortance d'un circuit exprimé en unité de charge. La sortance est donc le nombre maximal d'entrées (à entrée unitaire) qui peuvent être réunies à une même sortie.

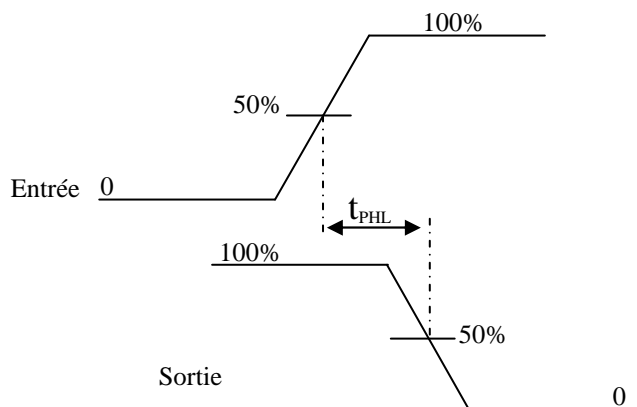
1.4 Caractéristiques électriques dynamiques

1.4.1 Temps de propagation

Un signal logique qui traverse un circuit subit toujours un retard, on définit alors deux retards de propagations



Temps de propagation à la croissance



Temps de propagation à la décroissance

- t_{PHL} : retard pour passer du niveau logique 1 au niveau logique 0
- t_{PLH} : retard pour passer du niveau logique 0 au niveau logique 1

On définit temps de propagation moyen t_{Pdmoy} tel que

$$t_{Pdmoy} = (t_{PHL} + t_{PLH}) / 2$$

1.4.2 Facteur de mérite

On appelle facteur de mérite F le produit de la puissance statique par le temps de propagation moyen, il s'exprime en joules :

$$F = P \times t_{Pd}$$

1.4.3 Consommation

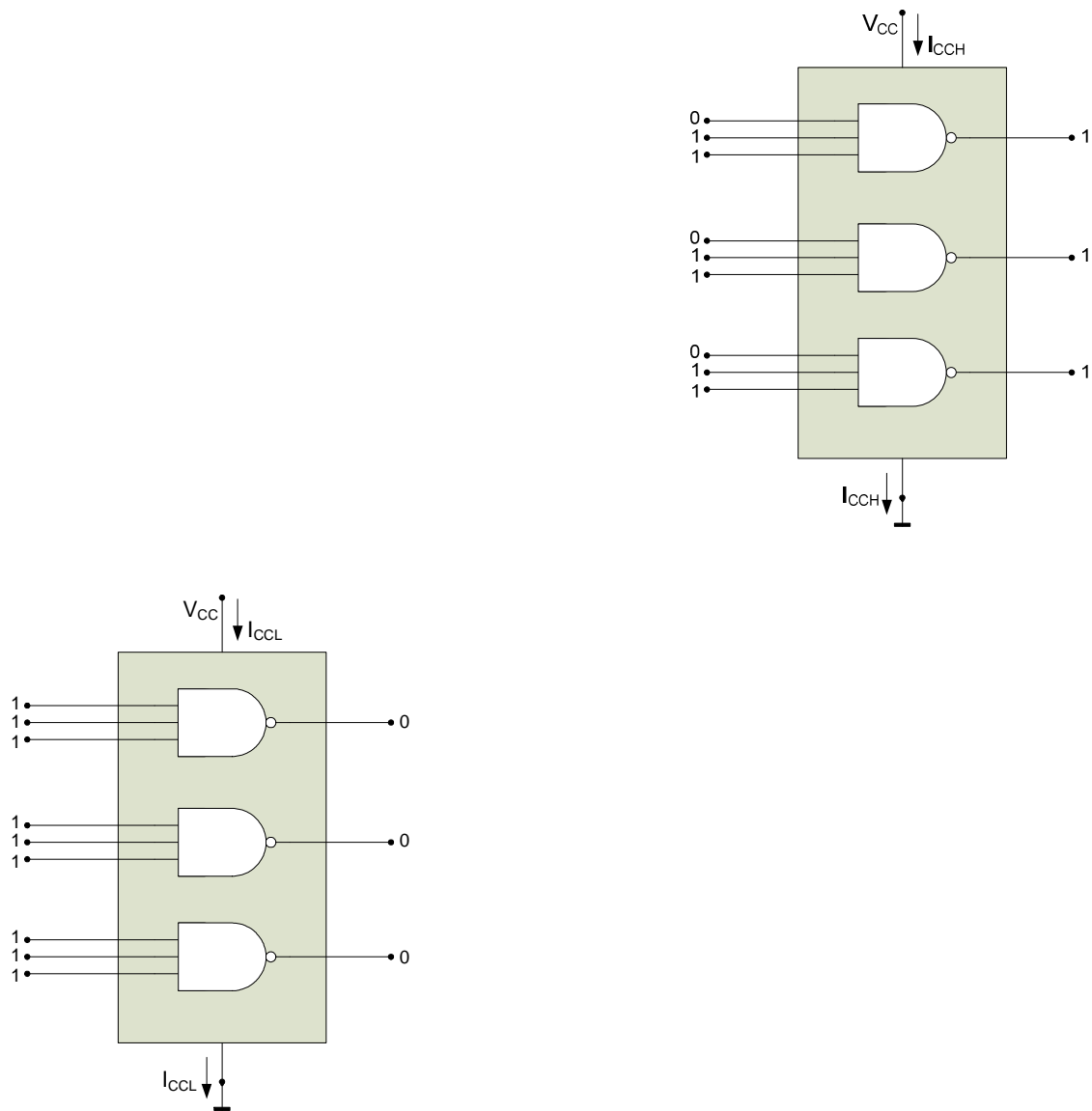
Tous les CI quand ils sont en fonctionnement, consomment une certaine énergie électrique, cette énergie est délivrée par une ou plusieurs tensions d'alimentation raccordée aux broches d'alimentation du boîtier.

La puissance dissipée par un circuit intégré est généralement spécifiées par le courant I_{CC} qu'il tire de l'alimentation V_{CC} de sorte que la puissance réelle est donné par :

$$P_{Dmoy} = V_{CC} \times I_{CCmoy}$$

$$I_{CCmoy} = (I_{CCH} + I_{CCL}) / 2$$

Dans des nombreux CI, le courant qu'ils drainent de l'alimentation varie en fonction des états logiques des circuits de la puce

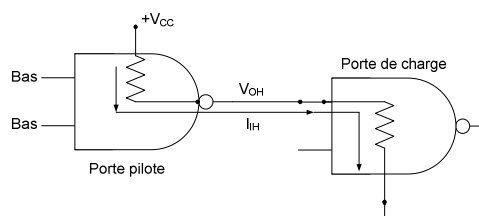


1.4.4 Logique à injection de courant et à absorption du courant

Il est logique de classer les familles logiques selon l'écoulement du courant entre la sortie d'un circuit logique et l'entrée d'un autre.

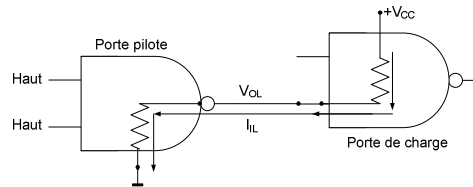
Logique à injection du courant

La porte pilote fournit du courant à la porte de charge quand elle est au niveau haut



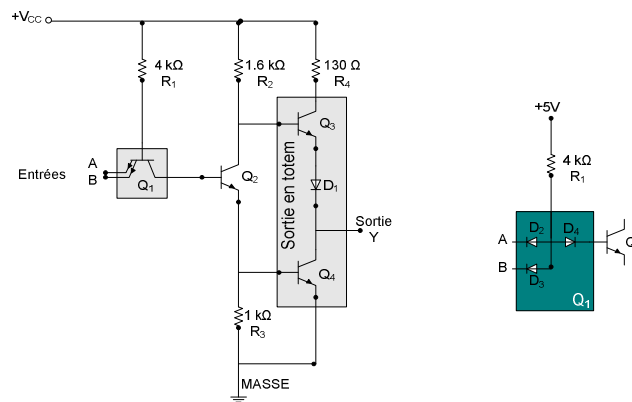
Logique à absorption du courant

La porte pilote absorbe le courant reçu de la porte de charge quand elle est au niveau bas

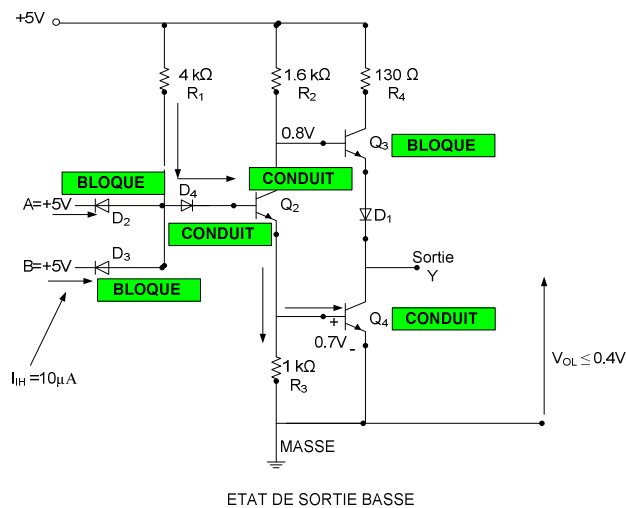


1.5 Famille TTL

Présentement la famille TTL (Transistor Transistor Logic) demeure celle que l'on retrouve le plus souvent dans les applications exigeant des dispositifs SSI et MSI. Le circuit logique TTL de base est une porte NON-ET



1.5.1 Fonctionnement du circuit à l'état bas



Pour analyser le circuit suivant on doit remplacer le transistor multi-émetteur par son équivalent à diodes :

Ce circuit représente l'état bas, les entrées A et B sont toutes les deux à +5V. Cette tension de +5V, appliquée aux cathodes de D₂ et D₃ BLOQUE les diodes.

La tension d'alimentation +5V force un courant à travers R₁ et D₄ et la base de Q₂, ce qui place le dernier à l'état CONDUCTEUR, le courant qui traverse l'émetteur de Q₂ se rend jusqu'à la base de Q₄ et place ce dernier à l'état conducteur. Au même moment le courant de collecteur de Q₂ donne une différence de potentiel aux bornes de R₂ qui amène la tension du collecteur de Q₂ à une tension trop basse environ 0.8V (0.7V à l'émetteur de Q₂ et 0.1V : tension de saturation).

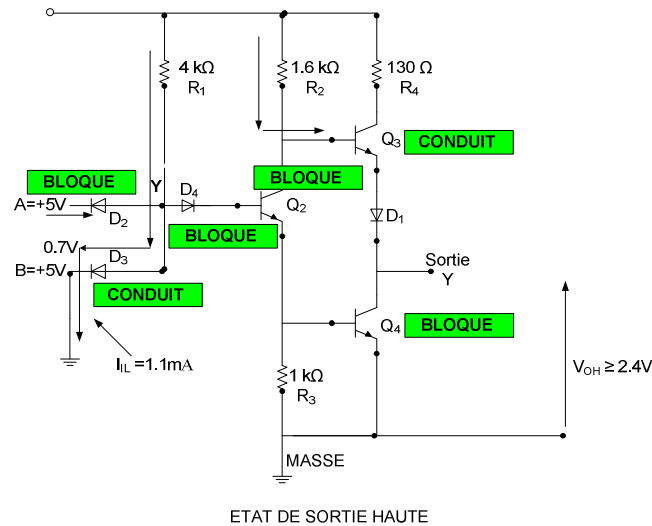
Une tension de 0.8V à la base de Q₃ ne suffit pas à polariser en direct la jonction E-B de Q₃ et la diode D₁.

Quand Q₄ conduit, la tension de sortie est très faible. En réalité la tension de sortie V_{OL} est fonction de l'intensité du courant de collecteur de Q₄. Etant donné que Q₃ est BLOQUE, il n'y a pas de courant délivré par la borne +5V qui traverse R₄. Comme nous le verrons, le courant de collecteur de Q₄ provient des entrées TTL que l'on a raccordées à la sortie

1.5.2 Fonctionnement du circuit à l'état haut

L'état de sortie haute est schématisé par la figure suivante, Cette situation se produit quand l'une des deux entrées est au niveau bas ou les deux entrées sont au niveau bas. Dans le cas présent c'est l'entrée B qui est connectée à la masse. Ceci à pour effet de polariser en direct D₃, de sorte qu'il y a un courant qui part de la borne d'alimentation +5V, qui traverse R₁ et D₃ jusqu'à la borne B et la masse. La différence de potentiel aux bornes de D₃ garde le point Y à environ 0.7V. Cette tension n'est pas suffisante pour polariser en direct D₄ ni la jonction E-B de Q₂ qui, de ce fait, reste bloquée.

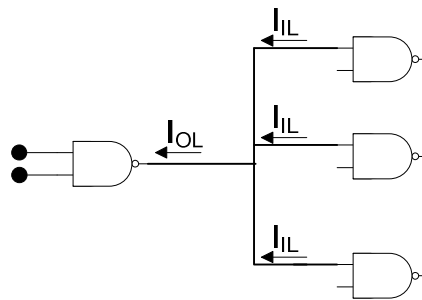
Etant donné que Q₂ est bloqué, Q₄ n'a pas de courant de base et il passe lui aussi à l'état bloqué. Comme Q₂ n'a pas de courant de collecteur, la tension à la base de Q₃ est suffisamment élevée pour polariser en direct ce transistor et D₁. Quand aucune charge n'est raccordée à sortie V_{OH} se situe autour de 3.4 à 3.8V. Toutefois, cette tension diminue lorsqu'il y a une charge, parce que la charge prélève du courant de l'émetteur de Q₃



1.6 Facteurs de charge et sortance des TTL

1.6.1 Sortance

Pour calculer le nombre d'entrées de séries différentes qu'une sortie de CI peut attaquer, nous devons connaître la capacité d'attaque (soit I_{OLmax} et I_{OHmax}) de la sortie, de même que les exigences de courant de chacune des entrées (soit I_{ILmin} et I_{IHmin}). Ces données figurent toujours dans la fiche technique du fabricant pour le CI concerné.



$$SORTANCE(BAS) = \frac{I_{OLmax}}{I_{ILmax}}$$

$$SORTANCE(HAUT) = \frac{I_{OHmax}}{I_{IHmax}}$$

1.6.2 Facteurs de charge

Certains fabricants spécifient les courants d'entrée et de sortie de leurs dispositifs au moyen d'une unité appelée charge unitaire (UL), dont la définition est la suivante :

$$1 \text{ charge unitaire (UL)} = \begin{cases} 40 \mu A \text{ dans l'état HAUT} \\ 1.6 \text{ mA dans l'état BAS} \end{cases}$$

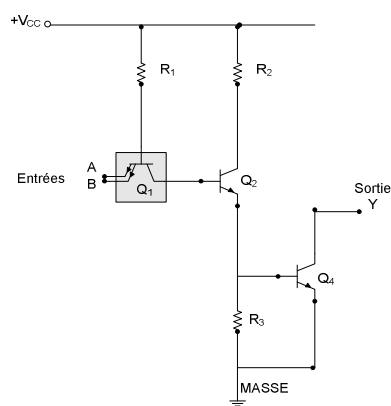
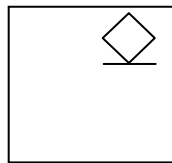
Exemple : Si pour un circuit intégré on spécifie 10UL pour les deux états, il faut savoir qu'en langage clair cela veut dire :

$$\begin{cases} I_{OHmax} = 10 \times 40 \mu A = 400 \mu A \\ I_{OLmax} = 10 \times 1.6 \text{ mA} = 16 \text{ mA} \end{cases}$$

1.6.3 Sortie TTL à collecteur ouvert

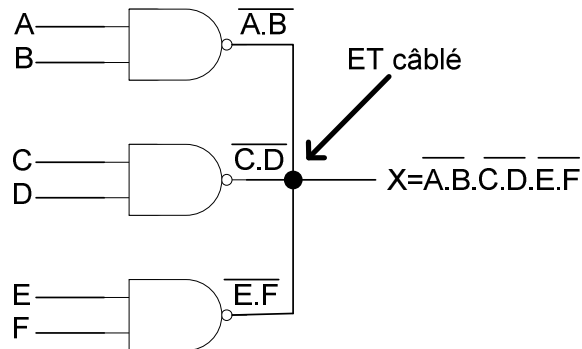
Dans un circuit ou un système numérique complexe, il peut y avoir plusieurs sorties TTL qui permettent, chaque permutation de l'alimentation draine une pointe étroite de courant. L'effet cumulatif de toutes ces pointes de courant produit une pointe de tension.

Les fabricants ont conçu quelques circuits TTL avec sorties à collecteurs ouvert comme le schématise la figure ci-dessous.

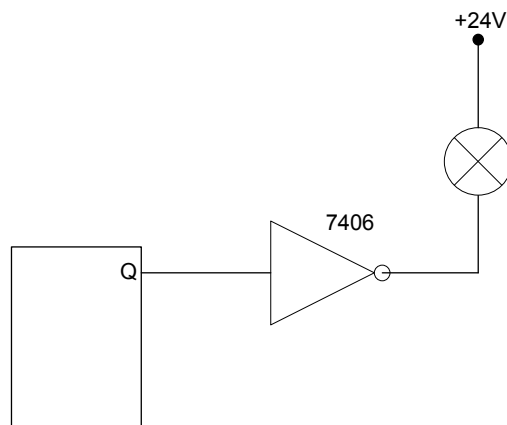


Exemple d'application du circuit à collecteur ouvert

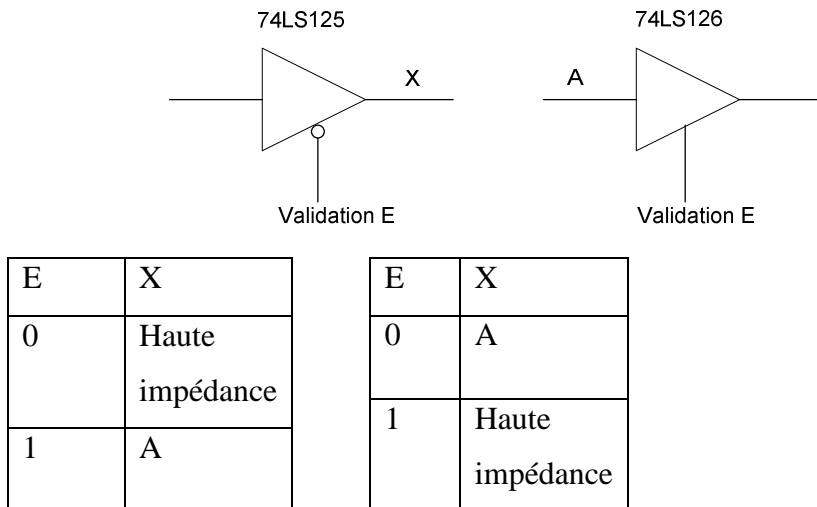
- **ET câblé**



- **Tampons/pilotes :** La configuration à collecteur ouvert permet des commandes sur des charges reliées à une alimentation de tension supérieure à celle de l'alimentation de l'opérateur.

**1.6.4 TTL trois états**

Il s'agit d'une configuration qui est plus rapide que le montage totem et peut avoir en plus ses sorties branchées en parallèle, ce type de montage s'appelle TTL trois états parce qu'il possède trois états de sortie possibles : Haut, Bas et haute impédance, cet état est la condition dans laquelle se trouve le circuit quand les deux transistors du montage en totem sont bloqués, de sorte que la borne de sortie présente une haute impédance entre la masse et V_{CC} .

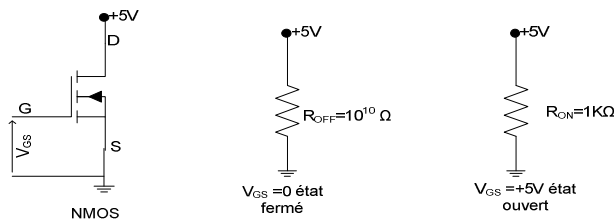


1.7 Famille CMOS

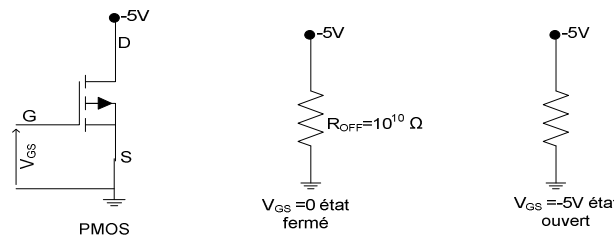
On peut classer les circuits intégrés numériques réalisés avec des transistors MOS en trois catégories

- Les PMOS, qui utilisent seulement des transistors MOS à enrichissement canal-P
- Les NMOS, qui utilisent seulement des transistors MOS à enrichissement canal-N
- Les CMOS (MOS complémentaire), qui utilisent seulement des transistors canal-P et canal-N.

Transistor NMOS



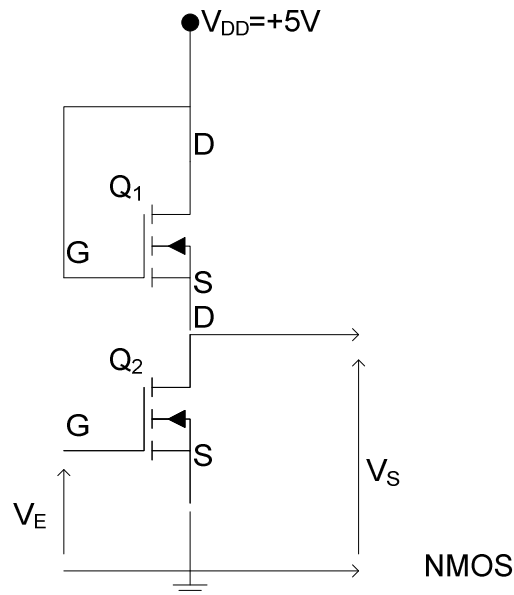
Transistor PMOS



Les CI NMOS et PMOS ont une densité d'intégration supérieure à celle du CMOS et sont par conséquent plus économique. Les NMOS ont une densité d'intégration deux fois plus grande que le PMOS et sont deux fois plus rapide.

1.7.1 Inverseurs NMOS

Dans le l'inverseur NMOS on retrouve deux transistors\$ NMOS : Q_1 appelé le transistor MOS de charge et Q_2 le transistor MOS de commutation



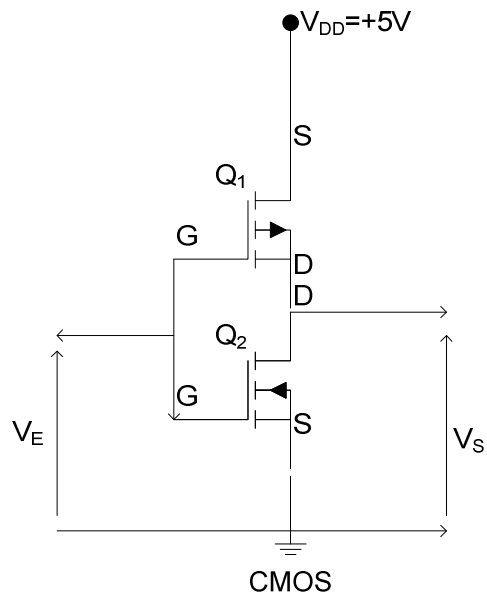
V_E	Q_1	Q_2	V_S
0V 0 logique	R_{ON} $=100K\Omega$	R_{OFF} $=10^{10}\Omega$	+5V 1 logique
+5V 1 logique	R_{ON} $=100K\Omega$	R_{ON} $=1K\Omega$	+0.05V 0 logique

EXERCICE : Réaliser les portes logiques NON-ET et NOR en utilisant la technologie NMOS

1.7.2 La logique MOS complémentaire

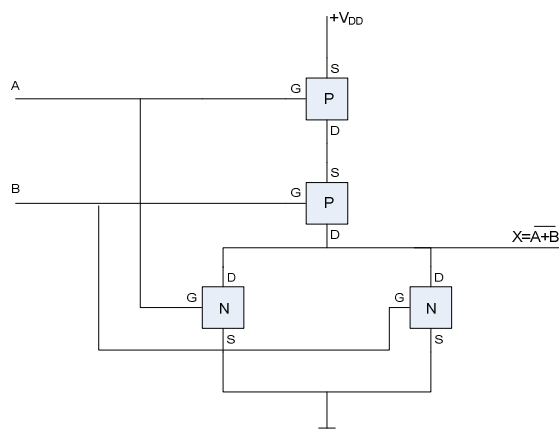
La famille logique *MOS complémentaire* utilise les deux types de transistor MOS à canal-N et à canal-P dans le même circuit en vue de retirer des avantages que ne possède pas les familles PMOS et NMOS, on peut dire que les CMOS sont plus rapides et encore moins gourmands que les autres familles MOS.

1.7.3 Inverseurs CMOS

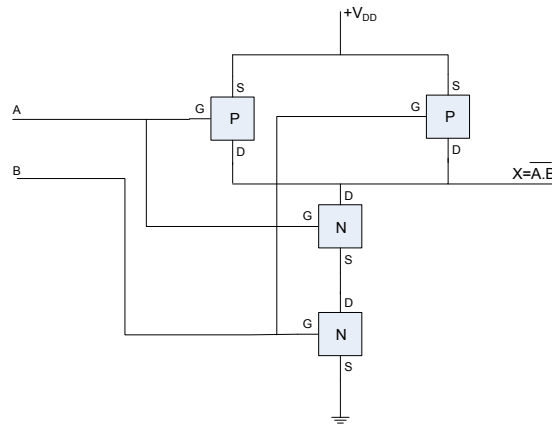


V_E	Q_1	Q_2	V_S
$+V_{DD}$ 1 logique	R_{OFF} $=10^{10}\Omega$	$R_{ON}=1K\Omega$	0V 0 logique
0V 0 logique	$R_{ON}=1K\Omega$	R_{OFF} $=10^{10}\Omega$	$+V_{DD}$ 1 logique

1.7.4 Porte NI CMOS



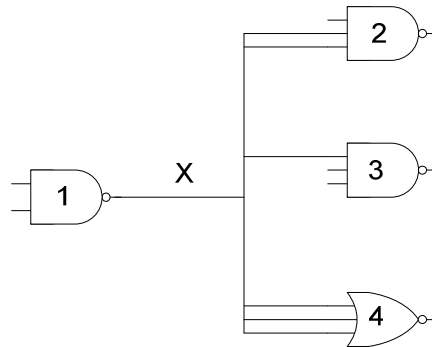
1.7.5 Porte NON-ET CMOS



Exercices et Problèmes Corrigés

■ EXERCICE N°1 :

- 1- Définir le facteur de charge d'une porte
- 2- Déterminez le nombre de charges unitaires (UL) que la sortie X peut piloter, Supposez que chaque entrée de porte a comme valeur nominale 1UL pour chaque état.



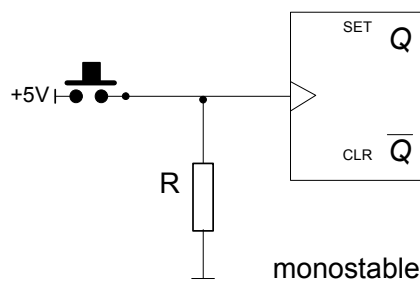
Solution :

- 1- Le facteur de charge est défini par le nombre de charges (portes logiques) qui peut piloter une sortie logique
- 2- Le facteur de charge sur la sortie de la porte 1 est donné par le tableau

Etat haut	Etat bas
Porte 2 : 2 UL	Porte 2 : 1 UL
Porte 3 : 1 UL	Porte 3 : 1 UL
Porte 4 : 3 UL	Porte 4 : 3 UL
Total 6 UL	Total 5 UL

■ EXERCICE N°2 :

- 1- Trouvez une valeur acceptable de R si le monostable est un circuit TTL standard dont le facteur de charge nominale d'entrée est de 1UL.



- 2- Trouvez une valeur acceptable de R si le monostable est un circuit TTL de la série LS

Solution :

1- Puisqu'on a 1UL, la valeur maximale de I_{IL} est 1,6mA. C'est cette valeur qu'on utilise pour calculer R_{max} . Dans le cas d'un TTL standard $V_{ILmax} = 0.8V$.

Nous avons donc $R_{max} = 0.8/1,6 = 500\Omega$

2- Pour TTL-LS le facteur de charge d'entrée nominale est 0,25UL, c'est-à-dire $I_{ILmax} = 0,4mA$

Nous avons donc $R_{max} = 0.8/0,4 = 2k\Omega$

■ **EXERCICE N°3 :**

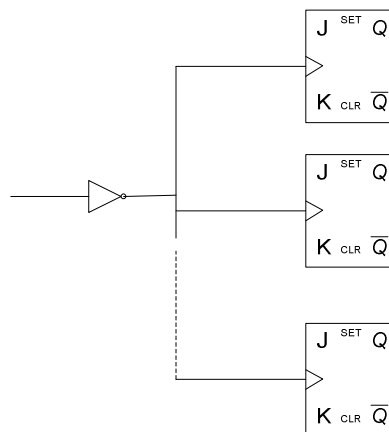
En se basant sur la fiche technique déterminer les facteurs de charges d'entrée et de sortie de l'inverseur 7400

■ **EXERCICE N°4 :**

La sortie d'un certain C.I a comme valeurs nominales $I_{OHmax} = 800\mu A$ et $I_{OLmax} = 48mA$, exprimer la sortance en charge unitaire

■ **EXERCICE N°5 :**

La sortie d'un inverseur 74S04 fournit le signal d'horloge à un registre parallèle constitué de bascule JK 74S112.



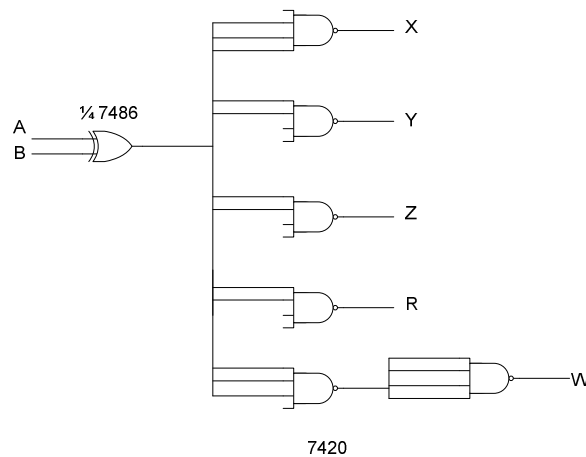
1- Indiquer le nombre de bascule maximale que ce signal d'horloge peut piloter, sachant que le nombre de charge est donné par :

$$\text{nombre de charge} = \frac{\text{Valeur nominale de sortie}}{\text{Valeur nominale d'entrée}}$$

■ EXERCICE N°6 :

Pour le schéma logique ci-dessous, dans lequel une porte logique XOR 7486 pilote plusieurs entrées 7420.

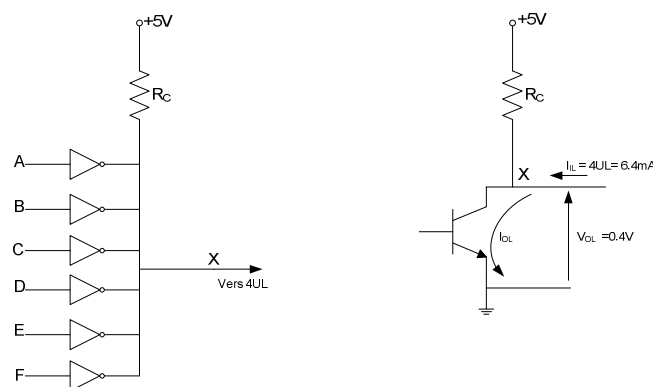
- 1- Déterminez si la sortance du 7486 est dépassée et expliquez.



- 2- Déterminer si la sortance du 7486 est dépassée si on remplace les 7420 par des 74LS20
- 3- Calculez le temps maximal qui devrait s'écouler entre un changement appliqué à l'entrée A et sa répercussion à la sortie W

■ EXERCICE N°7 :

Le CI 7405 renferme six inverseurs dont les sorties sont à collecteurs ouvert. Ces inverseurs sont montés de façon à réaliser un ET câblé, voir figure.

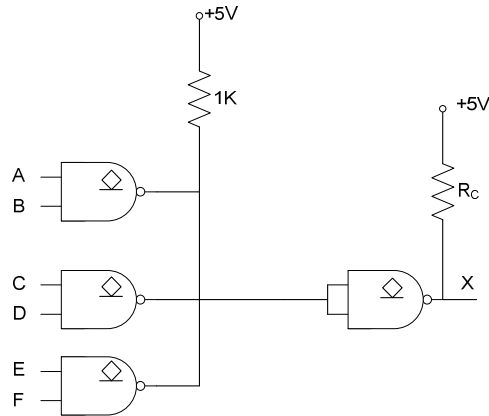


- 1- Déterminez l'expression logique de la sortie X
- 2- Calculez RC en supposant que la sortie X doit piloter d'autres circuits dont le facteur de charge totale est 4UL

■ EXERCICE N°8 :

Le boîtier TTL 7409 contient 4 portes ET à deux entrées dont les sorties sont à collecteur ouvert. Montrez comment on peut utiliser des 7409 pour matérialiser l'opération $X = A.B.C.D.E.F.G.H.I.J.K.M$

1- Déterminez l'expression logique de la sortie X de la figure ci-dessous.



Chapitre 2 : Les Convertisseurs numériques-analogiques

CNA

2.1 Les échanges avec un monde numérique

Une grandeur numérique est une variable dont le domaine des valeurs possibles est 0 et 1.

Une grandeur analogique peut prendre n'importe quelle valeur d'une plage continue, chacune de ces valeurs est significative.

La grande majorité des variables physiques sont de nature analogique et peuvent épouser n'importe quelle valeur à l'intérieur d'une plage continue, parmi les grandeurs analogiques connues, mentionnons la température, la pression, l'intensité lumineuse, le débit. La figure (2.1) représente un système numérique qui réalise la régulation d'une grandeur physique.

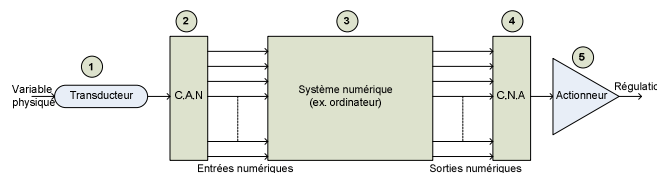


Figure (2.1)

- 1- Transducteur : est un dispositif qui fournit un équivalent électrique de la grandeur physique.
- 2- C.A.N : est un dispositif qui convertit la valeur analogique en une grandeur numérique
- 3- Ordinateur : la représentation numérique de la variable réglée est transmise du CAN à l'ordinateur qui la mémorise et la traite conformément aux instructions du programme de régulation qu'il exécute
- 4- C.N.A : est un dispositif dont le rôle est de faire correspondre à l'entrée numérique une sortie analogique proportionnelle.

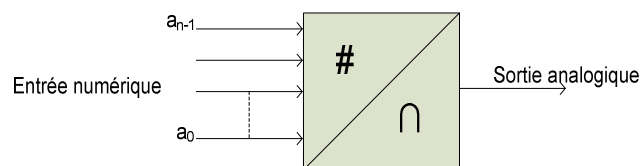
- 5- Actionneur : le signal analogique que l'on obtient du CNA est connecté à un circuit ou à un dispositif qui agit comme actionneur afin de régler effectivement la variable physique contrôlée

Conclusion : Le C.A.N et le C.N.A jouent le rôle d'interface entre un système entièrement numérique et le monde analogique.

2.2 Le convertisseur numérique – analogique

2.2.1 Définition

La conversion numérique analogique se définit comme une transposition d'une valeur déjà exprimée selon une représentation numérique (binaire pur ou DCB) en une tension ou un courant proportionnel à cette valeur numérique.

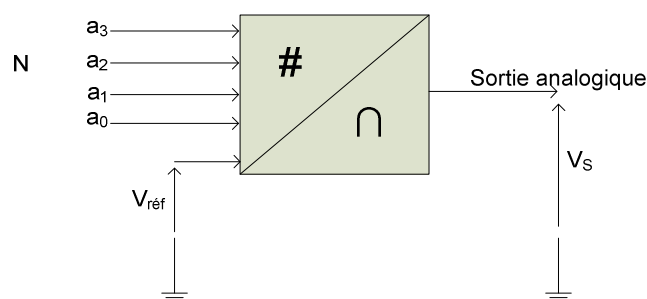


2.2.2 Tension pleine échelle PE :

On appelle tension pleine échelle PE d'un CNA la tension maximale que peut prendre la sortie. Cette tension PE est obtenue en appliquant à l'entrée du CNA la valeur numérique la plus grande, c'est-à-dire lorsque tous les bits d'entrées sont au niveau logique haut.

Théoriquement (CNA idéal) la tension PE est égale à la tension de référence, mais dans la réalité elle est plus souvent inférieure à la tension de référence

Exemple1:



Pour $V_{\text{réf}}=10\text{V}$ et $N = 15$, alors $V_S = 10\text{V}$ si le CNA est idéal

$V_S = 9,..\text{V}$ si le CNA est réel

2.2.3 Résolution R d'un CNA :

On appelle résolution d'un CNA ou pas de progression ou quantum q la plus petite variation de tension s'ajoutant à la sortie lorsque la valeur binaire d'entrée est augmentée de 1

$$q = V_{\text{réf}} / (2^n - 1)$$

q : quantum est exprimé en volt(V)

n : nombre des bits

$V_{\text{réf}}$: tension de référence en volt (V)

Exemple2:

Soit un convertisseur numérique – analogique à 3 bits avec une tension de référence $V_{\text{réf}}=10\text{V}$.

$$q = V_{\text{réf}} / (2^n - 1) = 10 / (2^3 - 1) = 1.428\text{V}$$

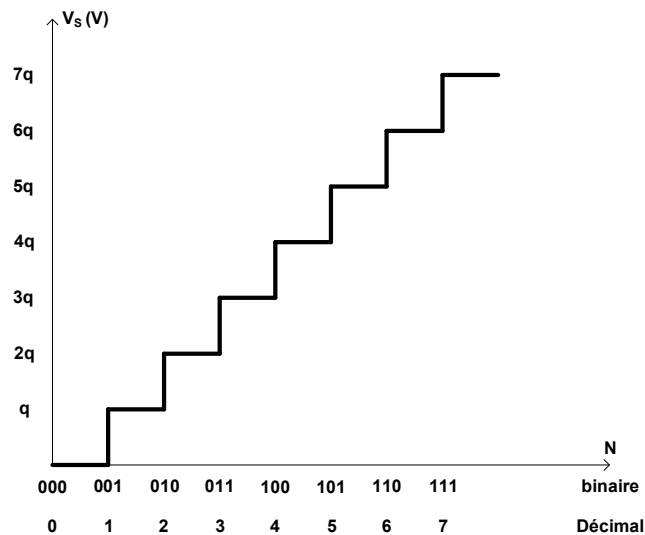
Remarque : La résolution en % de la pleine échelle PE est donnée par :

$$R\% = (q / PE) * 100 = 100 / (2^n - 1)$$

2.2.4 Tension de conversion :

C'est le temps séparant le début d'un cycle de conversion et la disponibilité de la tension résultante en sortie.

2.2.5 Représentation des variations de la tension de sortie V_S en fonction de la valeur numérique d'entrée N :



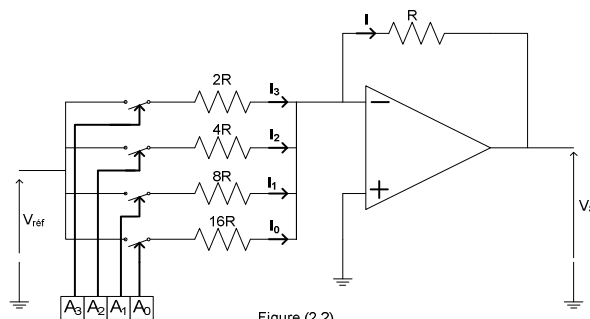
$$V_S = q N_{10}$$

La tension de sortie varie par palier

2.2.6 Circuits des convertisseurs numériques - analogiques :

2.2.6.1 C.N.A à réseau de résistances pondérées :

Le montage de cette structure est donné par la figure (2.2)



$$I = I_0 + I_1 + I_2 + I_3$$

$$V_S = -R \cdot I = -R \cdot (I_0 + I_1 + I_2 + I_3)$$

$$I_0 = A_0 (V_{\text{réf}}/16R)$$

$$I_1 = A_1 (V_{\text{réf}}/8R)$$

$$I_2 = A_2 (V_{\text{réf}}/4R)$$

$$I_3 = A_3 (V_{\text{réf}}/2R)$$

$$V_S = -R \cdot I = -R \cdot (A_0 (V_{\text{réf}}/16R) + A_1 (V_{\text{réf}}/8R) + A_2 (V_{\text{réf}}/4R) + A_3 (V_{\text{réf}}/2R))$$

$$V_S = -V_{\text{réf}} \cdot (A_0/16 + A_1/8 + A_2/4 + A_3/2)$$

- ✓ Chaque entrée numérique agit sur un interrupteur à semi-conducteur comme l'interrupteur bidirectionnel CMOS
- ✓ Les valeurs des résistances progressent comme l'inverse des poids des rangs binaires. Autrement dit, en commençant par le bit de poids fort MSB la résistance double d'une branche à l'autre

2.2.6.2 C.N.A à réseau R-2R :

Dans ce type de convertisseurs seules deux valeurs de résistances sont utilisées figure (2.3). La tension de référence se distribue sur le réseau R-2R

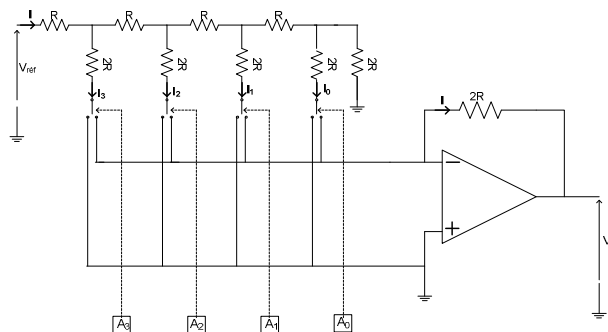


Figure (2.3)

$$I = I_0 + I_1 + I_2 + I_3$$

$$V_S = -2R.I = -2R. (I_0 + I_1 + I_2 + I_3)$$

$$I_0 = A_0 (V_{\text{réf}}/32R)$$

$$I_1 = A_1 (V_{\text{réf}}/16R)$$

$$I_2 = A_2 (V_{\text{réf}}/8R)$$

$$I_3 = A_3 (V_{\text{réf}}/4R)$$

$$V_S = -2R.I = -2R. (A_0 (V_{\text{réf}}/32R) + A_1 (V_{\text{réf}}/16R) + A_2 (V_{\text{réf}}/8R) + A_3 (V_{\text{réf}}/4R))$$

$$\mathbf{V_S = - V_{réf} \cdot (A_0/16 + A_1/8 + A_2/4 + A_3 /2)}$$

Exercices et Problèmes Corrigés

■ Exercice 1

Soit un CNA à 5 bits, dont la sortie est un courant. Quand l'entrée numérique est 10100, le courant de sortie est 10mA.

- 1- Calculer l'intensité de sortie I_{Sortie} pour une entrée numérique 11101.

Solution :

- Pour la valeur numérique 10100 on a un équivalent $N_{10} = 20$

Le facteur de proportionnalité $K = I_{\text{sortie}} / N_{10} = 10/20 = 0.5$

- Pour la valeur numérique 11101 on a un équivalent $N_{10} = 29$

$$\text{Alors } I_{\text{Sortie}} = K \cdot N_{10} = 0.5 \cdot 29 = 14.5 \text{mA}$$

■ Exercice 2

Quelle est la plus grande valeur de sortie d'un CNA (sortie tension) sachant que pour une entrée numérique 00110010 il fournit une tension de 1V

Solution :

- L'entrée numérique 00110010 a un équivalent décimal $N_{10} = 10$

Le facteur de proportionnalité est $K = V_{\text{sortie}} / N_{10}$

$$k = 1/10 = 0.1$$

- La plus grande valeur correspond à 11111111 équivalent à 255. Alors $V_{\text{Sortie}} = K \cdot N_{10} = 0.1 \cdot 255 = 25.5 \text{V}$

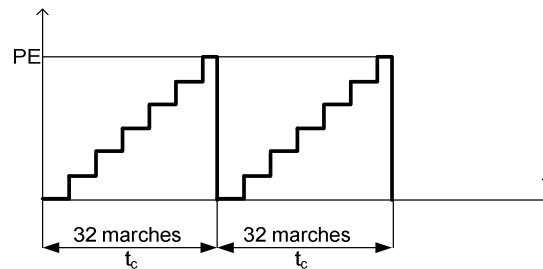
■ Exercice 3

Soit un convertisseur N/A à 5 bits dont $V_{\text{Sortie}} = 0.2 \text{V}$ quand l'entrée numérique est 00001

- 1- Quel est le pas de progression (la résolution : q) du CNA
- 2- Décrire le signal en escalier fourni en sortie par le CNA

Solution :

- $q = V_{\text{réf}} / (2^n - 1)$: elle représente la valeur de tension qui s'ajoute si on incrémente l'entrée d'une valeur de 1 donc $q = 0.2V$
- C'est un signal en escalier qui aura 32 marches allant de 0V à la PE=6.2V soit 31 paliers de 0.2V chacun.



■ Exercice 4

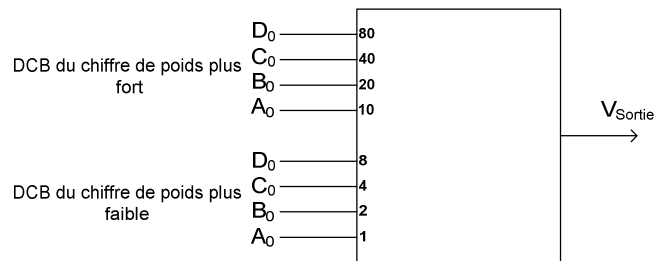
Un CNA de 10 bits à un pas de progression de 10mV, déterminer le tension PE et la résolution en pourcentage de la pleine échelle (R%)

Solution :

- Avec 10 bits on a $N = 2^{10} - 1 = 1023$ pas
 $PE = q \cdot N = 10 \cdot 10^{-3} \cdot 1023 = 10.23V$
- $R(\%PE) = q/PE = (10 \cdot 10^{-3} / 10.23) \cdot 100 = 0.1\%$
- On peut écrire aussi $R(\%PE) = 1/2^{10} - 1 = 0.1\%$

■ Exercice 5

Soit un CNA dont l'entrée est un nombre DCB, ce convertisseur accepte une entrée de 2 chiffres et produit 100 valeurs analogiques différentes.



Si le poids de A_0 est de 0.1V trouver

- 1- Le pas de progression
- 2- La tension pleine échelle PE
- 3- La résolution exprimée en pourcentage de la PE
- 4- V_S pour $D_1C_1B_1A_1=0101$ et $D_0C_0B_0A_0=1000$

Solution :

- 1- Le pas de progression est le poids du bit de poids le plus faible du chiffre de poids le plus faible, soit $q = 0.1V$
- 2- Il y a 99 échelons puisqu'il y a deux chiffres DCB

$$PE = q \cdot N_{\max} = 0.1 \cdot 99 = 9.9V$$

$$3- R = (q/PE) \cdot 100 = (0.1/9.9) \cdot 100 = 1\%$$

4-

$$N = 0101 \ 1000 = 58$$

$$V_S = q \cdot N = 0.1 \cdot 58 = 5.8V$$

■ Exercice 6

Un CNA : DCB de 12 bits délivre une tension pleine échelle de 9.99V

- 1- Déterminer la résolution en % de la PE
- 2- Déterminer le pas de progression du convertisseur

Solution :

$$1- R (\%PE) = (1/\text{nombre de pas}) \cdot 100 = (1/999) \cdot 100 = 0.1\%$$

$$2- q = PE/N_{\max} = 9.99/999 = 10mV$$

chapitre 3 : Les Convertisseurs analogiques-numériques

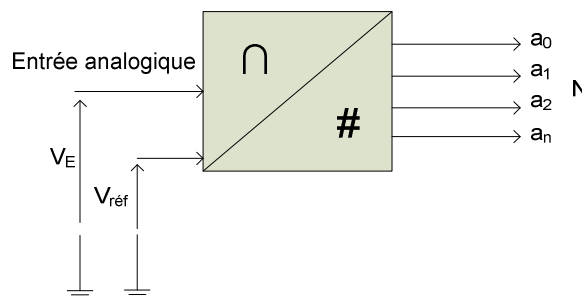
CAN

3.1 Les convertisseurs analogiques - numériques

3.1.1 Définition

Le convertisseur analogique numérique CAN est un dispositif électronique (généralement circuit intégrés) permettant d'obtenir en sortie une grandeur numérique codée sur n bits dont la grandeur analogique (tension) présentée en entrée.

3.1.2 Symbole d'un CAN



- V_E : tension d'entrée à convertir
- V_{ref} : tension de référence
- N : valeur numérique binaire résultat de la conversion compris entre 0 et $2^n - 1$

3.1.3 Résolution d'un CAN

On appelle résolution d'un CAN ou pAs de progression ou quantum q la plus petite variation de tension appliquée à l'entrée qui augmente la valeur binaire en sortie de 1.

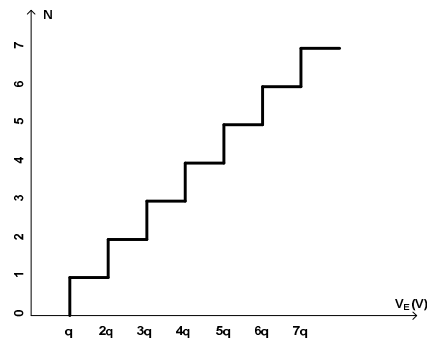
$$q = V_{ref} / (2^n - 1)$$

q : quantum est exprimé en volt(V)

n : nombre des bits

$V_{\text{réf}}$: tension de référence en volt (V)

3.1.4 Détermination de la valeur binaire de sortie en fonction de la tension d'entrée



C'est une variation par palier

$$N_{10} = V_E / q$$

Exemple1:

On applique à l'entrée d'un convertisseur analogique – numérique CAN à 8 bits une tension d'entrée $V_E = 6.326V$, la tension de référence est $V_{\text{réf}} = 10V$.

1- Calculer la résolution q de ce convertisseur

$$q = V_{\text{réf}} / (2^n - 1) = 10 / (2^8 - 1) = 0.03921V$$

2- Déterminer en décimal le résultat N de la conversion

$$N_d = V_E / q = 6.326 / 0.03921 = 161$$

3.1.5 Schéma général d'un CAN

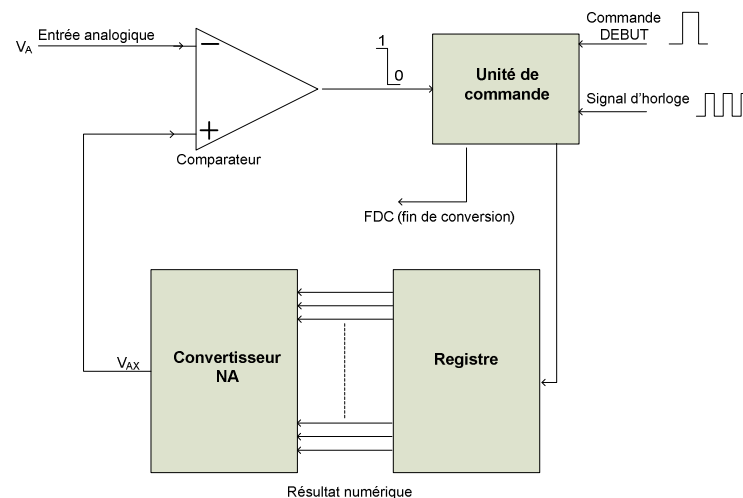
La figure (3.3) représente le principe de conversion analogique numérique utilisé dans ce type de convertisseur

Voici le fonctionnement de base de ces convertisseurs

- ✓ La commande DEBUT lance la conversion

- ✓ A une cadence fixée par le signal d'horloge, l'unité de commande modifie sans arrêt le nombre binaire mémorisé dans le registre.
- ✓ Le nombre binaire du registre est convertie en une tension analogique V_{AX} par le convertisseur numérique analogique.
- ✓ Le comparateur compare V_{AX} avec l'entrée analogique V_A .
 - Si $V_{AX} < V_A$ la sortie du comparateur demeure au niveau haut
 - Si $V_{AX} > V_A$: $V_{AX} = V_A + V_T$ (V_T : tension de seuil) la sortie du comparateur passe au niveau bas et met fin au processus de progression du nombre dans le registre.

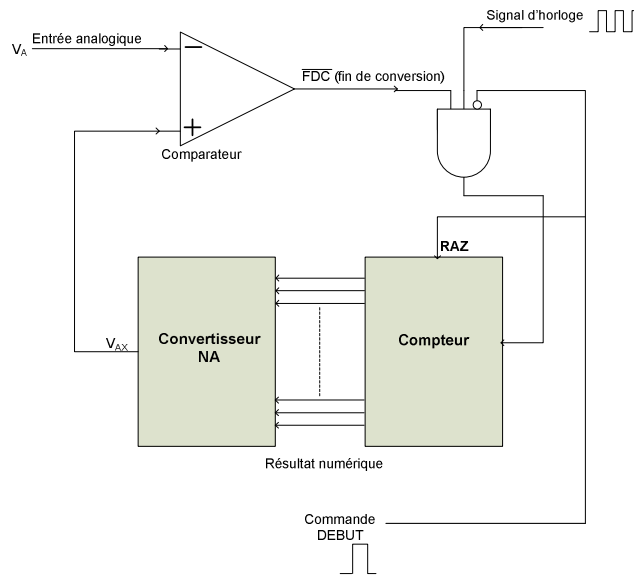
A ce point V_{AX} est une bonne approximation de V_A et le nombre numérique qui se trouve dans le registre est l'équivalent numérique de V_A .
- ✓ La logique de commande valide le signal FDC, fin de conversion, quand la conversion est achevée.



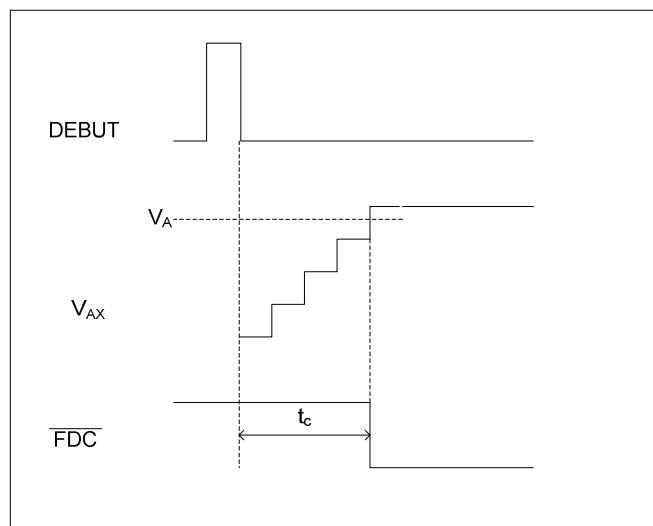
3.1.6 Circuits des convertisseurs analogiques -numériques

3.1.6.1 CAN à rampe numérique

Il est appelé CAN à rampe numérique à cause de la forme d'onde V_{AX} qui est celle d'une rampe pas à pas (en escalier)



- 1- On applique une impulsion DEBUT qui a pour effet de mettre à zéro le compteur, bloquer la porte ET qui empêche le passage des impulsions d'horloge jusqu'au compteur et $V_{AX} = 0$.
- 2- Au moment où DEBUT revient à zéro, la porte ET est validée et les impulsions d'horloge arrivent jusqu'au compteur
- 3- A mesure que le compteur progresse, la sortie du CNA (V_{AX}) augmente d'un palier.
- 4- $V_{AX} > V_A$ FDC passe au niveau bas et bloque le passage du signal d'horloge vers le compteur.
- 5- Le convertisseur conserve cette valeur numérique jusqu'à la prochaine impulsion début qui déclenche une nouvelle conversion.

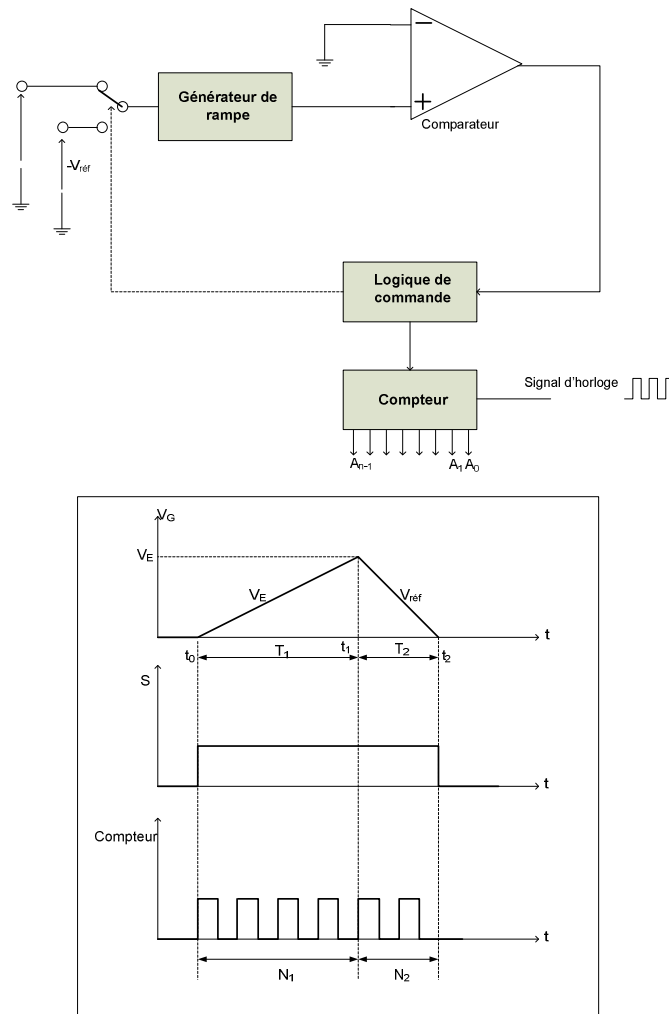


3.1.6.2 CAN double rampe

La tension à convertir est appliquée à l'entrée d'un générateur de rampe qui l'intègre durant un temps T_1 , un compteur mesure le temps, soit N_1 impulsions. Puis un circuit de commande commute l'entrée du générateur sur une tension de référence de polarité opposée, la tension du sortie du générateur décroît jusqu'à s'annuler. Le compteur mesure la durée de cette décroissance soit N_2 impulsions.

Le résultat de la conversion est donné par :

$$N_2 = N_1 (V_{\text{réf}} / V_E)$$



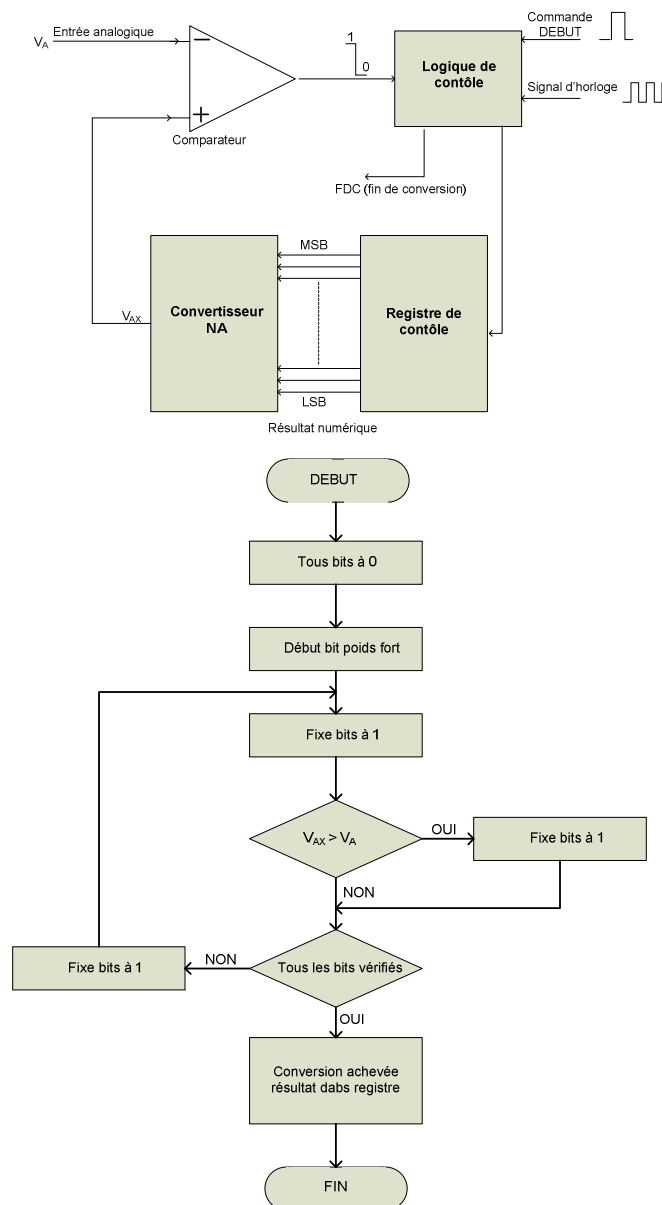
3.1.6.3 CAN pour approximation successives (à pesées successives)

Ce type de CAN est l'un de ceux qu'on trouve le plus fréquemment, il possède des circuits plus complexe, son temps de conversion est beaucoup plus court.

Le montage de base de ce convertisseur est semblable à celui du convertisseur à rampe numérique. Ce convertisseur n'utilise pas un compteur pour alimenter l'entrée du convertisseur numérique – analogique mais plutôt un registre.

La logique de contrôle modifie le contenu du registre bit par bit jusqu'à ce que la donnée qui s'y trouve soit l'équivalent numérique du signal analogique V_A .

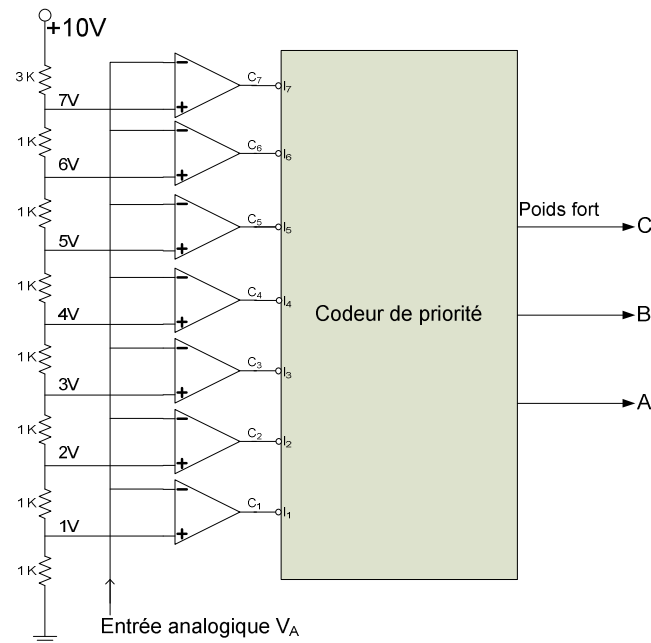
Le schéma de principe est donné par la figure



3.1.6.4 CAN parallèles (FLASH)

Il s'agit ici d'un CAN le plus rapide qui, et également celui qui contient le plus grand nombre de circuits. Par exemple un CAN parallèle de 6 bits exige 63 comparateurs analogiques, pour une unité de 8bits on à besoin 255 comparateurs. L'utilisation du grand nombre de comparateur limite l'utilisation d'un grand nombre bits pour ce convertisseur.

Nous décrivons ainsi le principe de fonctionnement d'un convertisseur parallèle de 3 bits seulement



Entrée analogique V_A	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C	B	A
< 1V	1	1	1	1	1	1	1	0	0	0
>1V, < 2V	0	1	1	1	1	1	1	0	0	1
>2V, < 3V	0	0	1	1	1	1	1	0	1	0
>3V, < 4V	0	0	0	1	1	1	1	0	1	1
>4V, < 5V	0	0	0	0	1	1	1	1	0	0
>5V, < 6V	0	0	0	0	0	1	1	1	0	1
>6V, < 7V	0	0	0	0	0	0	1	1	1	0
>7V	0	0	0	0	0	0	0	1	1	1

Exercices et Problèmes Corrigés

■ Exercice 1

Soit un CAN tel que sa fréquence d'horloge $f = 1\text{MHz}$, $V_T = 0.1\text{mV}$, la tension pleine échelle $PE = 10.23\text{V}$ et le nombre de bits $n = 10$.

- 2- Déterminer l'équivalent décimal de $V_A = 3.728\text{V}$.
- 3- Déterminer la durée de la conversion.
- 4- Déterminer la résolution de ce convertisseur.
- 5- Déterminer la plage approximative des tensions approximatives analogiques qui donne toujours le même résultat numérique $N_2 = 0101110101$

Solution

1- Le CAN à une entrée de 10bits et $PE = 10.23\text{V}$

2- L'équivalent décimal est donné par : $N_{10} = V_A / q$

Or le pas de progression $q = V_{\text{réf}} / (2^n - 1)$

Application numérique $q = 10.23 / (2^{10} - 1) = 10\text{mV}$

$$N_{10} = V_A / q = 3.728 / 0.01 = 373 \text{ pas}$$

3- La durée de conversion $t_c = N_{10} * T$ avec $T = 1/f$

$$\text{Application numérique } t_c = 373 * 1 * 10^{-6} = 373\mu\text{s}$$

4- La résolution $R = (1 / \text{pas de progression}) * 100$

$$\text{Application numérique } R = (1 / 1023) * 100 = 0.1\%$$

5- La tension analogique $V_A = N_{10} * q$

Le tableau suivant illustre V_A pour plusieurs pas de progression

Pas	La tension analogique $V_A(\text{V})$
371	3.71
372	3.72
373	3.73
374	3.74
375	3.75

La gamme exacte est $3.72 - V_T$ à $3.73 - V_T$, comme V_T est très faible, on peut dire que cette gamme est approximativement entre 3.72 et 3.73

■ Exercice 2

Un certain CAN de 8 bits à une entrée pleine échelle $PE = 2.55V$, l'erreur est spécifié de 1% la pleine échelle.

- 1- Déterminer l'écart qui peut exister entre la sortie V_{AX} et l'entrée analogique V_A

Solution :

- 1- Le pas de progression est $q = V_{ref} / (2^n - 1) = 2.55 / 2^8 - 1 = 10mV$, si on n'a pas d'erreur l'écart qui existe est de 10mV. Le convertisseur présente une erreur de 1% la PE soit une valeur de $0.01 * 2.55 = 2.55mV$, cette erreur s'ajoute au pas de progression pour donner un écart de $10 + 2.55 = 12.55mV$

■ Exercice 3

Un convertisseur analogique numérique par approximations successives à 8 bits possède une résolution de 20mV.

- 3- Quelle sera la sortie numérique correspondant à une entrée analogique de 2.17V.

Solution :

- 1- $N_{10} = V_A / q = 2.17 / 0.02 = 108.5$

Pour $N_{10} = 108$ alors $V_A = 2.16V$

Pour $N_{10} = 109$ alors $V_A = 2.18V$

■ Exercice 4

Comparer les durées de conversion d'un CAN à rampe numérique de 10 bits et d'un CAN par approximation successive de 10 bits, sachant que la fréquence du signal d'horloge est de 500KHz.

Solution :

- Pour CAN à rampe numérique

$$N = 2^n - 1 = 2^{10} - 1 = 1023 \text{ pas}$$

$$t_C = 2^n - 1 * (1 \text{ cycle d'horloge}) = 1023 * 2\mu s = 2046\mu s$$

- Pour CAN par approximation successive

$$N = 2^n - 1 = 2^{10} - 1 = 1023 \text{ pas}$$

$$t_C = 10 * (1 \text{ cycle d'horloge}) = 10 * 2\mu s = 20\mu s$$

Donc CAN par approximation successive est 100 fois plus rapide qu'un CAN à rampe numérique.

■ Exercice 5

Un CAN par approximations successives de 8 bits à une tension pleine échelle PE = 2.55V.

Pour une tension $V_A = 1V$ la durée de conversion $t_C = 80\mu s$.

- 1- Déterminer la durée de conversion pour une tension $V_A = 1.5V$.

Solution :

$$t_C = 10 * (1 \text{ cycle d'horloge})$$

Pour CAN par approximations successives le temps de conversions reste toujours le même.

Alors pour $V_A = 1.5V$ $t_C = 80\mu s$

■ Exercice 6

Un convertisseur analogique numérique à rampe numérique de 8 bits ayant une résolution de 40mV a une fréquence d'horloge de 2.5MHz et un comparateur dont $V_T = 1mV$.

- 1- Calculer la sortie numérique pour $V_A = 6.000V$
- 2- Calculer la sortie numérique pour $V_A = 6.035V$
- 3- Les durées de conversion maximale et moyenne de ce convertisseur

Solution :

$$1- N_{10} = V_A / q = 6.000 / 0.04 = 150$$

$$2- N_{10} = V_A / q = 6.035 / 0.04 = 150$$

- 3- Pour un convertisseur à rampe numérique la durée de conversion maximale est $t_C = 2^n - 1 * (1 \text{ cycle d'horloge})$

$$t_{C_{\max}} = 2^n - 1 * (1 \text{ cycle d'horloge})$$

$$\text{Application numérique } t_{C_{\max}} = 2^8 - 1 * (0.4 * 10^{-6}) = 102\mu s$$

la durée de conversion moyenne $t_{C_{\text{moy}}} = t_{C_{\max}} / 2 = 102 / 2 = 51\mu s$

Chapitre 4 : Les mémoires

4.1 Introduction

Les mémoires sont des circuits intégrés à grande échelle d'intégration, capables de sauvegarder des informations *binaires* de façon permanente ou temporaire.

Elles sont liées étroitement aux microprocesseurs puisqu'elles constituent l'élément de stockage de premier niveau.

Le schéma de principe d'une mémoire est donné par la Figure 11. Elle est constituée d'un nombre important de registres, dont on affecte à chacun un numéro appelé *adresse* du registre ou de la case mémoire. Le décodeur d'adresse permet de sélectionner un parmi les N cases. Le nombre total de registres « N » définit la capacité de la mémoire. Le contenu de la case représente la donnée proprement dite. Le mot binaire ici est formé de 8 bits, soit un « Octet ». La relation qui lie la capacité de la mémoire au nombre des bits d'adresse $N = 2^n$.

D'une manière générale une mémoire est caractérisée par :

- Sa capacité de stockage exprimée en kilo-bits ou kilo-octets.
- Le temps d'accès, qui définit le temps nécessaire pour lire ou écrire une donnée dans le mémoire.
- Sa consommation.

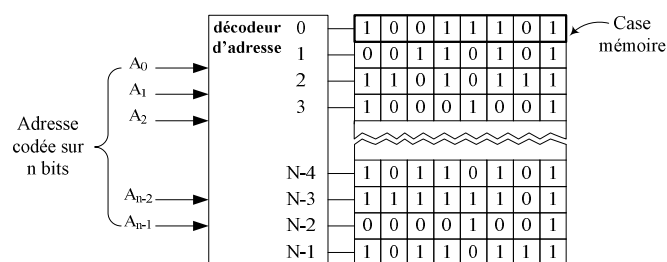


Figure 1 : Schéma de principe d'une mémoire de N cases

Opérations de base

En général, une mémoire est connectée à un microprocesseur ; celui-ci exécute régulièrement les opérations d'écriture et de lecture. L'opération d'**écriture** consiste à stocker une donnée dans une case mémoire ; dans ce cas le microprocesseur place l'adresse de la case sur les lignes d'adresse, la donnée sur les lignes de données et active la ligne de commande

d'écriture. L'opération de **lecture** est similaire à celle d'écriture, la récupération de la donnée aura lieu lorsque la ligne de commande en lecture est activée.

Une mémoire comporte donc, un ensemble de lignes d'adresse (appelé bus d'adresse) qui caractérise la capacité de la mémoire, un ensemble de lignes de donnée (appelé bus de donnée) et deux signaux de commande en Lecture/Ecriture. On ajoute aussi une ligne de sélection du boîtier qui met en absence d'opération d'écriture ou de lecture tous les lignes à l'état haute impédance.

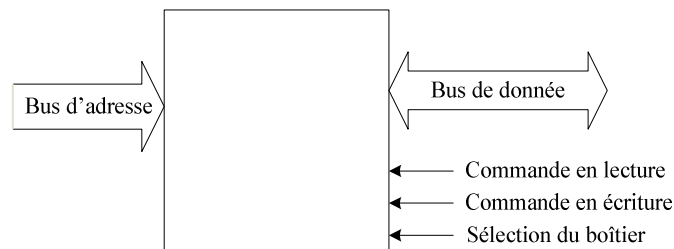


Figure 1 : Schéma bloc d'une mémoire

Nous distinguons deux catégories de mémoires :

- Les mémoires vives (mémoire volatile), le maintien de l'information dépend de la présence de l'alimentation. Toute coupure de l'alimentation provoque la perte des informations. Ces mémoires sont appelées RAM abréviation anglaise (Random Access Memory), mémoire à accès aléatoires veut dire que l'accès à une case mémoire peut être quelconque et à tous moment, et ceci par opposition aux mémoires à accès séquentiel dont l'accès à une case en lecture ou écriture n'aura lieu qu'après les cases précédentes.
- Les mémoires mortes (mémoire non volatile), gardent les informations stockées même en absence d'alimentation. Appelées ROM (Read Only Memory), mémoire à lecture seule, contient des informations figées et que l'accès ne se fait qu'en lecture.

4.2 Les mémoires vives

Les mémoires vives sont divisées en deux catégories, les mémoires statiques (SRAM) et les mémoires dynamiques (DRAM). Les mémoires statiques sont formées par des bistables, tandis que les mémoires dynamiques utilisent des condensateurs comme éléments de stockage.

4.2.1 Mémoire vive statique

Les mémoires vives statiques sont les plus anciennes, les bits sont mémorisés dans des bistables électronique, dont la réalisation nécessite six transistors par bits. Bien que ses mémoires sont onéreuses, elles restent toujours les plus rapides et leurs mise en œuvres est très simple et ne nécessite pas des ressources supplémentaires.

Les mémoires vives statiques sont utilisées dans les applications qui ne demandent pas des grandes quantités de mémoires tels que les applications industrielles et les mémoires caches des ordinateurs.

Structure de la mémoire SRAM

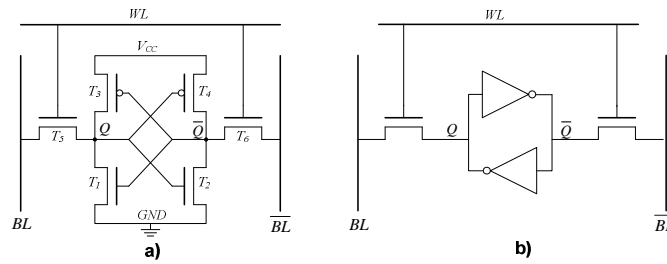
Les RAM statiques sont fabriquées en technologies bipolaire et CMOS. Celles à transistors bipolaires sont plus rapides mais consomme plus et occupe plus de surfaces de silicium, raison pour laquelle la majorité des mémoires sont de type CMOS. Même avec la technologie CMOS on n'arrive pas à fabriquer des mémoires de grandes capacités. Nous présentons dans ce qui suit les mémoires à technologie CMOS.

La structure de la mémoire SRAM diffère légèrement de ce que nous avons vu précédemment ; les adresses sont divisées en deux groupes (lignes, colonnes), afin de constituer avec les décodeurs une matrice de cellules mémoires. La figure suivante illustre le schéma de principe d'une cellule de stockage à six transistors.

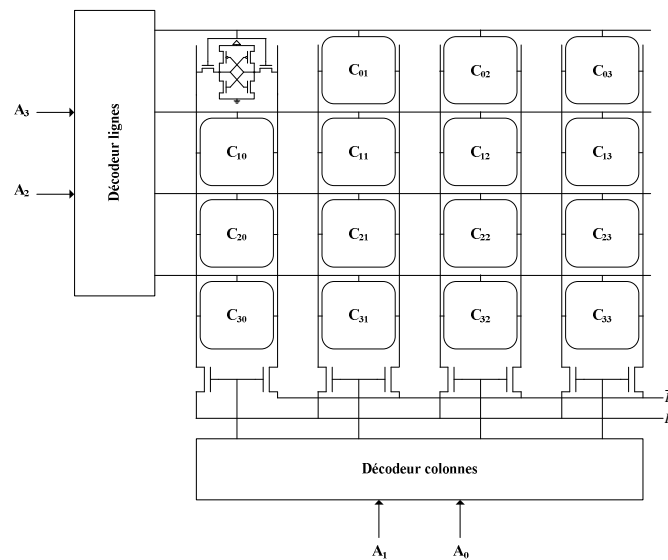
Le point mémoire consiste en deux inverseurs montés tête-bêche formés par les transistors T1 à T4 et de deux transistors d'accès T5 et T6 (Fig.1a). La lecture et l'écriture se font avec deux signaux de commande : la paire de *bit lines* (BL et \overline{BL}) et la *word line* (WL).

Pour écrire dans une cellule mémoire, on active WL , T5 et T6 deviennent passants ; la paire de *bit lines* est forcée à des valeurs complémentaires ; la donnée est transférée à l'intérieur de la cellule à travers T5 et T6.

Pour la lecture, la paire de *bit line* sont portée à un potentiel positif à travers des circuits non représentés. L'activation de *word line* WL permet le transfert l'information de la cellule sur la paire de *bit line*, la légère différence de potentiel sur la paire *bit line* est détectée par des comparateurs appropriés.

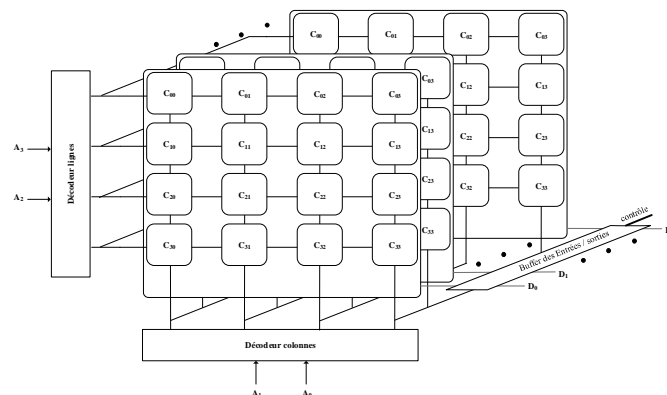


Les cellules mémoires sont regroupées dans une matrice (*lignes, colonnes*). Une cellule est repérée par son numéro de ligne et numéro de colonne qui constituent l'*adresse* de la cellule. La figure xx illustre un exemple d'une mémoire 16 bits, organisée en 4 lignes et 4 colonnes.



Chaque adresse sélectionne une cellule ; l'adresse $A_3A_2A_1A_0 = 0110$ sélectionne la cellule C_{12} (ligne = 01, colonne = 10), l'accès à la donnée se fait à travers les lignes D et \bar{D} .

Dans les pratiques, les mémoires statiques ont un bus de données bidirectionnel de 8 ou 16 bits ; la matrice de cellules sera dupliquée autant de fois que la largeur du bus de données. La figure illustre le schéma de principe d'une mémoire de 16x8 bits (16 Octets).



Cycle de lecture/écriture

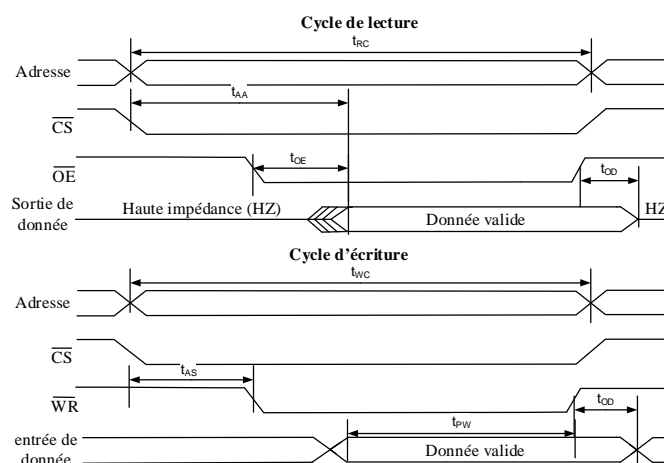
Les mémoires statiques ne sont pas synchrones ; elles doivent être suffisamment rapides pour qu'elles puissent suivre le rythme imposé par l'unité de traitement. Les constructeurs fournissent dans leurs documentations les paramètres de temps nécessaires des cycles de lecture/écriture de la mémoire. Ces paramètres varient d'un constructeur l'autre ; pour simplifier l'illustration, nous présentons dans la figure xx paramètres qui nous paraissent nécessaires.

Cycle de lecture :

Le cycle de lecture commence à l'instant où le microprocesseur met l'adresse de la case mémoire sur le bus, cette adresse doit rester stable pendant la durée totale du cycle t_{RC} (Read Cycle Time). Le circuit de décodage met la ligne \overline{CS} à l'état bas indiquant la présence d'une adresse stable sur le bus. Le mémoire répond après une durée appelée temps d'accès t_{AA} (Address Access time) en plaçant le contenu de la case sur le bus de données. Le paramètre t_{OE} (Output Enable to Output Valid) définit le temps nécessaire à la mémoire pour mettre une donnée stable sur le bus. A partir de cet instant la donnée peut être récupérée. Après le retour de la ligne \overline{OE} à l'état haut, la mémoire met un temps t_{OD} pour mettre le bus à l'état haute impédance.

Cycle d'écriture :

Le cycle de cycle d'écriture est similaire à celui de lecture. Le microprocesseur fournit l'adresse et la donnée à mémoriser. Après la stabilisation de l'adresse, la ligne \overline{WR} est forcée à l'état bas. Pendant la durée de cette impulsion t_{PW} , l'adresse et la donnée doivent maintenues stables.



4.2.2 Mémoire Dynamique

Les mémoires dynamiques (DRAM), utilisent des condensateurs de faibles valeurs comme cellule de stockage. Ce dispositif permet de fabriquer des mémoires de grande capacité de stockage. Toutefois ces condensateurs ne peuvent conserver l'information que pendant une durée très courte. Pour maintenir l'information il faut charger les condensateurs à des intervalles de temps réguliers au moyen des circuits additionnels de rafraîchissement.

Terminologie

Cellule mémoire : Cellule électronique qui stocke un seul bit, Les bistables, sont des mémoires unitaires permettent de stocker un seul bit. Ces éléments mémoires viennent de remplacer les relais dans les systèmes séquentiels.

Les registres, qu'on le trouve dans les microprocesseurs sont formés par association des mémoires unitaires. Ces registres ont des largeurs de 8 bits ou multiple de 8 (8, 16, 24, 32, 64 bits ...). L'information stockée dans le registre forme un *mot* binaire.

1	0	0	1	1	1	0	1
---	---	---	---	---	---	---	---

Figure 2 : Registre de 8 bits

La figure xx illustre le rôle de la mémoire dans un système à microprocesseur.

Les mémoires constituent l'un des éléments de base des calculateurs ; elles permettent de stocker de grandes quantités de données binaires.

Exercices et Problèmes Corrigés

■ Questionnaire

1. Donner la capacité de chaque mémoire en kbits
 - a. Mémoire ayant 8 lignes d'adresses et 4 lignes de données
 - b. Mémoire ayant 11 lignes d'adresses et 1 ligne de données
 - c. Mémoire ayant 13 lignes d'adresses et 4 lignes de données
 - d. Mémoire ayant 16 lignes d'adresses et 8 lignes de données
2. Quel est le rôle des lignes \overline{CS} , \overline{OE} et \overline{WR} ?
3. Pour quel type des mémoires mortes s'applique chacune des descriptions suivantes :
 - a. Elle peut être programmée par l'utilisateur, mais jamais effacée.
 - b. Elle est programmée par le fabricant.
 - c. Elle peut être programmée et effacée plusieurs fois.
 - d. Elle peut être effacée par bloc.
4. On veut réaliser avec des mémoires statiques MCM2125A (1024 x 1bit), l'équivalent d'une SRAM MCM6949 (1M x 4 bits).
 - a. Donner le nombre total des mémoires à utiliser.
 - b. Préciser le nombre des mémoires à associer en parallèle et en série.
5. On veut programmer dans un EPROM ayant 8 lignes de données, l'équation $y = x + 1$; avec x : l'adresse et y : le contenu.
 - a. Combien peut-on enregistrer de points dans l'EPROM ?
 - b. On veut augmenter le nombre de points enregistrés dans l'EPROM à 15000 points.
 - i. Proposer une solution
 - ii. Donner le nombre des cases mémoires à utiliser.
 - iii. Donner la capacité de la mémoire en Kbits.

Réponses :

1. Capacité de chaque mémoire
 - a. Capacité en Kbits = $2^8 \times 4bits = 256 \times 4bits = 1024bits = 1Kbits$
 - b. Capacité en Kbits = $2^{11} \times 1bits = 2048bits = 2Kbits$
 - c. Capacité en Kbits = $2^{13} \times 4bits = 8192 \times 4bits = 32768bits = 32Kbits$
 - d. Capacité en Kbits = $2^{16} \times 8bits = 64536 \times 8bits = 64k \times 8bits = 512Kbits$

2. Ces entrées constituent le bus de contrôle :

\overline{CS} : comme son nom l'indique « sélection du boîtier ». si cette entrée n'est pas active, le bus de données est à l'état haute impédance ; on ne peut donc ni lire, ni écrire.

\overline{WR} : cette entrée sert à valider l'écriture de la donnée dans la mémoire

\overline{OE} : cette ligne valide la sortie des données lors d'une opération de lecture. Les lignes \overline{OE} et \overline{WR} ne peuvent pas être actives en même temps.

3. Type de mémoire

- a. C'est une mémoire PROM à fusible ou OTPROM (One Time PROM).
- b. C'est une ROM
- c. C'est un EPROM, l'effacement peut être électrique ou à ultra-violet.
- d. C'est une mémoire flash.

4. Association des mémoires MCM2115A pour réaliser une mémoire MCM6449

- a. Cherchons la capacité de chaque mémoire en kilobits :

- Capacité de MCM1225A = 1024 bits = 1kbits
- Capacité de MCM649 = 1 M x 4bits de 1024kilo x 4 bits = 4096kbits

Donc le nombre total des mémoires de type MCM26949 = 4096 mémoires

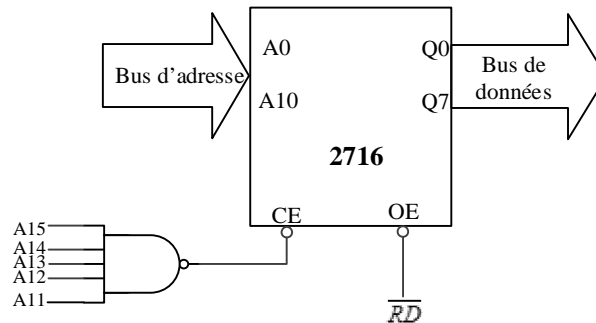
- b. Pour réaliser une mémoire dont le bus de données est égal à 4, il faut utiliser 4 mémoires de en parallèle. Soit le nombre des mémoires en série = 1024 mémoires (1024 x 4 = 4096).

5. Utilisation d'une EPROM pour sauvegarder un tableau de points

- a. Le bus de données de l'EPROM = 8 bits. La valeur maximale de $y = 2^8 - 1 = 255$, soit pour $x = y - 1 = 255 - 1 = 254$. Donc on peut sauvegarder dans la mémoire 255 points.
- b. Si on veut enregistrer 15000, soit la dernière valeur $y = 15000$. Cette valeur est codée sur 14 bits.
 - i. On peut associer deux mémoires en parallèle pour former un bus de données de 8 bits ; ou réserver pour chaque deux cases mémoires, dans ce cas l'incrément devra être de deux.
 - ii. Nombre des cases mémoires = $2 \times 1500 = 3000$ cases (1500 cases de 16 bits pour la 1^{ère} solution)
 - iii. Capacité mémoire = 3000 octets ou bien 1500 mots de 16 bits.

■ Exercice 1

Examinez le schéma de la figure suivant :



1. Donner la capacité de la mémoire en kilobits et kilooctets.
2. Déterminer la plage d'adresse occupée par la mémoire.
3. Modifier le circuit de décodage, afin d'attribuer à la mémoire l'adresse de base A000H.
4. Modifier le circuit de décodage pour adresser la mémoire entre 0000H et 07FFH.

Solution :

1. La capacité de la mémoire = $C = 2^{10} = 2048 \text{ octets} = 2 \text{ ko} = 16 \text{ kbits}$.
2. La mémoire est sélectionnée lorsque $A_{15} = A_{14} = A_{13} = A_{12} = A_{11} = 1$.

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	Adresses
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	@ basse
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	@ haute

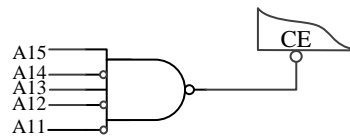
La mémoire occupe une zone d'adresses de F800H à FFFFH.

3. Si on veut attribuer à la mémoire l'adresse A000H, les bits de sélection

$A_{15}A_{14}A_{13}A_{12}A_{11} = 10100$. On peut déterminer l'équation logique de \overline{CE} .

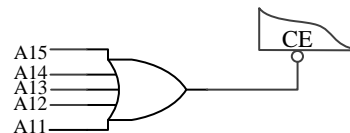
$CE = A_{15} \cdot \overline{A_{14}} \cdot A_{13} \cdot \overline{A_{12}} \cdot \overline{A_{11}}$; la ligne de sélection est active au niveau bas

$$\overline{CE} = \overline{A_{15}} \cdot \overline{\overline{A_{14}}} \cdot \overline{A_{13}} \cdot \overline{\overline{A_{12}}} \cdot \overline{\overline{A_{11}}} = \overline{A_{15}} + \overline{A_{14}} + \overline{A_{13}} + \overline{A_{12}} + \overline{A_{11}}$$



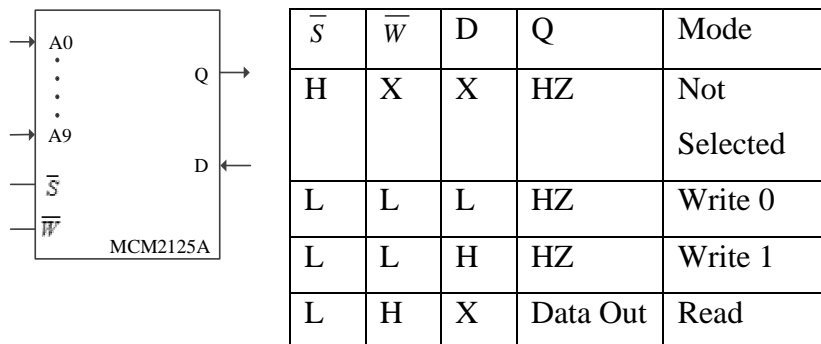
4. La plage d'adressage est maintenant de 0000H à 07FFH. On remarque ici que les bits de sélection de A15 à A11 sont tous à 0.

$$\overline{CE} = \overline{A15} \cdot \overline{A14} \cdot \overline{A13} \cdot \overline{A12} \cdot \overline{A11} = A15 + A14 + A13 + A12 + A11$$



■ Exercice 2

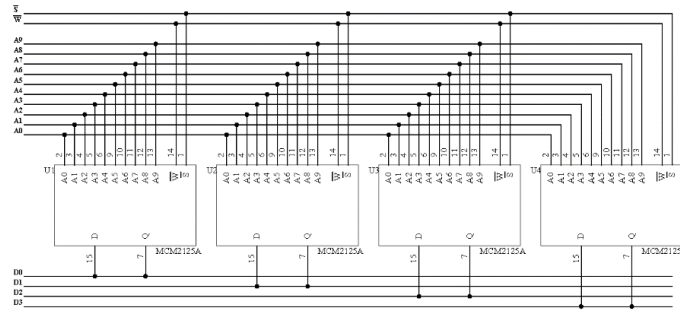
Soit une mémoire MCM2125A.



- Donner la capacité de la mémoire en kilobits.
- Comment peut-on associer 4 mémoires MCM2125A pour étendre le bus de données à 4 bits.
- On veut maintenant réaliser une mémoire une mémoire de 4k x 4bits par association des mémoires MCM2125A.
 - Donner le nombre des mémoires à utiliser.
 - Etablir le schéma de connexion des mémoires.

Solution :

- La mémoire MCM2125A a un bus d'adresses de 10bits. La capacité de la mémoire $C = 2^{10} = 1024bits = 1kbits$.
- Les mémoires sont associées en parallèle. Les entrées-sorties sont rendues bidirectionnelles sans l'ajout des buffers commandés.



3. Réalisation d'une mémoire 4k x 4 bits à partir des mémoires MCM2125A.

- la mémoire 4 bits réalisée dans la question 2 a une capacité de 1k x 4bits. Pour réaliser une mémoire 4k x 4 bits, il nous faut 4 x 4 mémoires, soit en tous 16 mémoires MCM2125A.
- En considérant la mémoire réalisée en 2. On pourra utiliser 4 mémoires ; de plus, pour adresser une mémoire de 4k, on a besoin de deux lignes d'adresses supplémentaires A10 et A11. Ces deux lignes d'adresses sont utilisées pour la sélection de la mémoire comme l'indique le tableau suivant :

A11	A10	Mémoire sélectionnée
0	0	1 ^{ère} mémoire
0	1	2 ^{ème} mémoire
1	0	3 ^{ème} mémoire
1	1	4 ^{ème} mémoire

Déterminons les équations des lignes de sélection :

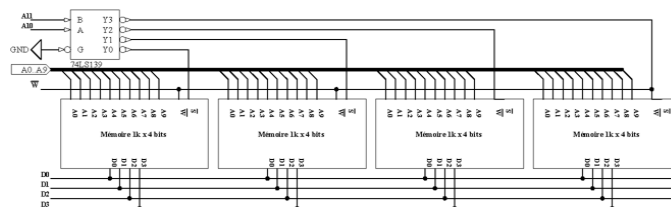
$$\overline{CS_1} = \overline{A10} \cdot \overline{A11} = A10 + A11$$

$$\overline{CS_2} = A10 \cdot \overline{A11} = \overline{A10} + A11$$

$$\overline{CS_3} = \overline{A10} \cdot A11 = A10 + \overline{A11}$$

$$\overline{CS_4} = A10 \cdot A11 = \overline{A10} + \overline{A11}$$

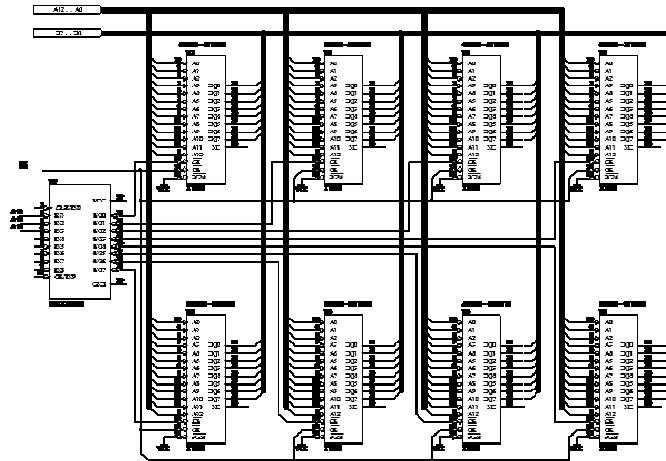
Ces équations sont câblées dans le circuits intégrés 74139



■ Exercice 3

Le schéma suivant présente l'interfaçage de huit mémoires avec un microprocesseur. Le circuit de décodage est réalisé avec un PAL16L8.

1. Donner la capacité de chaque mémoire ainsi que la capacité total de l'espace adressable.
2. Proposer un schéma de remplacement du PAL par des circuits logiques.
3. Représenter la plan mémoire (MAPPING) du l'espace adressable.



Solution :

1. Toutes les mémoires ont un bus d'adresses de 13 bits. La capacité de chaque mémoire $C = 2^{13} = 8ko$. La capacité totale $C_t = 8ko \times 8 = 64ko$.
2. Dressons le tableau d'adressage de chaque mémoire (X : le bit peut prendre 0 ou 1)

Mém	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
U1	0	0	0	X	X	XXX			X	XXX			X	XXX	
U2	0	0	1	X	X	XXX			X	XXX			X	XXX	
U3	0	1	0	X	X	XXX			X	XXX			X	XXX	
U4	0	1	1	X	X	XXX			X	XXX			X	XXX	
U5	1	0	0	X	X	XXX			X	XXX			X	XXX	
U6	1	0	1	X	X	XXX			X	XXX			X	XXX	
U7	1	1	0	X	X	XXX			X	XXX			X	XXX	
U8	1	1	1	X	X	XXX			X	XXX			X	XXX	

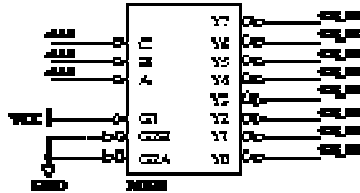
On remarque que les bits A15, A14 et A13 sont utilisés pour sélection des mémoires. On peut déterminer pour chaque mémoire l'équation logique de la ligne de sélection :

$$CE_{U_1} = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}}$$

$$\vdots$$

$$CE_{U_8} = A_{15} \cdot A_{14} \cdot A_{13}$$

On peut donc utiliser des opérateurs logiques pour faire le décodage ou bien utiliser un décodeur tel que le circuit intégré 74138



Le plan mémoire est réparti équitablement en huit zones

U1	U2	U3	U4	U5	U6	U7	U8
0000H	2000H	4000H	6000H	8000H	A000H	C000H	E000H