

Architecture évoluée: Séance 1

Benjamin VAN RYSEGHEM

17 septembre 2012

1 Rappel

ASIC vs. FPGA		+	-
	ASIC FPGA	performance prix (40\$)	prix (premier 10 k\$) performance

Fichier UCF Description du circuit, et des liens entre entrées et sorties. Chaque ligne sert à mapper un port réel et un port logique.

Décodeur Un décodeur sert à passer du binaire au décimal. Un décodeur n a n ports en entrée et n^2 ports en sortie.

2 Exercice 1

2.1 Question 1

Ce système permet l'affichage sur l'afficheur 7 segments l'entrée lu sur les 4 interrupteurs. 4 interrupteurs binaires fournissent une valeur comprise entre 0 et $2^4 = 16$. Donc un seul afficheur 4-digits suffit.

Fichier UCF :

```
NET entrees<0> LOC = H13.  
NET entrees<1> LOC = H14.  
NET entrees<2> LOC = G12.  
NET entrees<3> LOC = F12.
```

```
NET s7segs<0> LOC = E14.  
NET s7segs<1> LOC = G13.  
NET s7segs<2> LOC = N15.  
NET s7segs<3> LOC = P15.  
NET s7segs<4> LOC = R16.  
NET s7segs<5> LOC = F13.  
NET s7segs<6> LOC = N16.
```

```
NET aff<0> LOC = E13.  
NET aff<1> LOC = F14.
```

NET aff<2> LOC = G14.
NET aff<3> LOC = D14.

2.2 Question 2

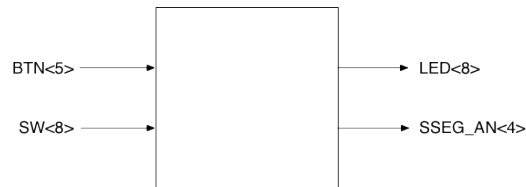
Pour un signal 8bits la valeur en entrée est comprise entre 0 et $8^2 = 256$.

On peut penser a couper les 8bits en 2x4bits. Mais il reste le problème de la sélection de l'afficheur.

Pour cela, on aura besoin d'une horloge (et d'un multiplexeur). Le multiplexeur peut alors choisir quoi afficher en fonction de l'horloge.

3 Exercice 2

3.1 Question 1



3.2 Question 2

De manière générale, l'ambiguïté n'est pas permise.

3.3 Question 3

On crée un registre, et on stocke les valeurs.

4 Exercice 3

4.1 Question 1



Benjamin VAN RYSEGHEM