

**ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH**  
**TRƯỜNG ĐẠI HỌC BÁCH KHOA**  
**KHOA ĐIỆN – ĐIỆN TỬ**  
**BỘ MÔN VIỄN THÔNG**

---



**BÁO CÁO THỰC TẬP**  
**ĐỀ TÀI: THIẾT KẾ VÀ LAYOUT OPAMP**

**Giảng viên hướng dẫn:** TS. Huỳnh Phú Minh Cường

**Sinh viên thực hiện:** Nguyễn Thanh Trúc

**MSSV:** 2213720

# MỤC LỤC

LỜI MỞ ĐẦU .....	1
LỜI CẢM ƠN.....	2
TÓM TẮT THỰC TẬP .....	3
CHƯƠNG I. GIỚI THIỆU ĐỀ TÀI .....	4
1.1.Tên đề tài.....	4
1.2 Tổng quan .....	4
1.3 Mục tiêu đề tài .....	5
1.4. Phạm vi nghiên cứu .....	6
CHƯƠNG II: CƠ SỞ LÝ THUYẾT .....	7
2.1. Công nghệ CMOS 65nm.....	7
2.2. Kiến trúc bộ khuếch đại thuật toán cơ bản .....	7
2.2.1. Sơ đồ khối và nguyên lý chuyển đổi tín hiệu.....	7
2.2.2. Các kiến trúc mạch điện hình.....	8
2.3. Kỹ thuật bù tần số .....	13
2.4. Current Mirror và biasing .....	16
CHƯƠNG III: THIẾT KẾ VÀ MÔ PHỎNG SƠ ĐỒ NGUYÊN LÝ .....	25
3.1. Design Specifications .....	25
3.2. Sơ đồ kiến trúc tổng quát (Proposed Architecture).....	26
3.3. Tính toán và Định kích thước linh kiện .....	28
3.3.1. Tính toán tụ bù và hồ dẫn yêu cầu của cặp vi sai đầu vào .....	28
3.3.2. Tính toán thông số kích thước MOS .....	30
3.4. Kiểm tra và Mô phỏng thiết kế .....	35
3.4.1 Giai đoạn 1: tầng 1 folded casode .....	35
3.4.2. Giai đoạn 2: tầng 1 folded casode và tầng 2 common source chưa bù Miller .	42
3.4.3. Giai đoạn 3: tầng 1 folded casode + tầng 2 commonsource + tụ bù và trở .....	47
3.5. Thực hiện khảo sát PVT .....	56
3.5.1. Mục đích và Phạm vi khảo sát .....	56

3.5.2. Kết quả mô phỏng .....	57
3.6. Thực hiện khảo sát CMRR .....	65
3.6.1. Tổng quát.....	65
3.6.2. Mô phỏng .....	65
3.7. Thực hiện khảo sát slew rate.....	67
3.7.1. Tổng quát.....	67
3.7.2. Tính toán .....	67
3.7.3. Mô phỏng .....	69
CHƯƠNG IV: LAYOUT.....	<b>Lỗi! Thẻ đánh dấu không được xác định.</b>
4.1. Layout từng khối chức năng .....	<b>Lỗi! Thẻ đánh dấu không được xác định.</b>
4.1.1. Khối input differential pair.....	<b>Lỗi! Thẻ đánh dấu không được xác định.</b>
4.1.2. Khối NMOS CURRENT.....	<b>Lỗi! Thẻ đánh dấu không được xác định.</b>
4.1.3. Khối PMOS CURRENT .....	<b>Lỗi! Thẻ đánh dấu không được xác định.</b>
CHƯƠNG V: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN.....	71
5.1. Kết luận.....	71
5.1.1. Ưu điểm.....	71
5.1.2. Nhược điểm.....	71
5.2. Hướng phát triển .....	72
5.3. So sánh kết quả với các công trình công bố .....	73
TÀI LIỆU THAM KHẢO .....	74

# LỜI MỞ ĐẦU

Trong sự phát triển mạnh mẽ của ngành công nghiệp bán dẫn hiện nay, các mạch tích hợp tương tự vẫn giữ vai trò nền tảng và không thể thay thế trong nhiệm vụ kết nối tín hiệu từ môi trường thực với các hệ thống xử lý số tốc độ cao. Trong đó, bộ khuếch đại thuật toán được xem là khối kiến trúc cơ bản và quan trọng bậc nhất, quyết định trực tiếp đến hiệu suất của toàn bộ hệ thống xử lý tín hiệu, các bộ chuyển đổi dữ liệu hay các mạch lọc tích cực.

Tuy nhiên, việc hiện thực hóa từ lý thuyết mạch đến một chip vật lý hoạt động ổn định luôn là một bài toán đầy thách thức. Quá trình thiết kế không chỉ dừng lại ở việc tính toán các thông số trên sơ đồ nguyên lý để đạt được độ lợi, băng thông hay biên pha mong muốn. Nó còn đòi hỏi kỹ năng thiết kế vật lý chính xác để giải quyết triệt để các vấn đề về tối ưu diện tích và hạn chế điện dung ký sinh. Đặc biệt, khi thực hiện trên quy trình công nghệ 65nm, các hiệu ứng kênh ngắn và sự biến đổi của quy trình chế tạo trở nên phức tạp hơn rất nhiều, đòi hỏi người thiết kế phải đảm bảo sự tương thích tuyệt đối giữa bản vẽ vật lý và sơ đồ nguyên lý cũng như tuân thủ nghiêm ngặt các quy luật thiết kế.

Xuất phát từ nhu cầu nắm vững quy trình thiết kế vi mạch chuyên nghiệp, tôi thực hiện đề tài Thiết kế và Layout Opamp trên công nghệ CMOS 65nm. Báo cáo này sẽ trình bày chi tiết trình tự các bước từ phân tích lý thuyết, mô phỏng mạch nguyên lý trên phần mềm Cadence Virtuoso, đến việc thực hiện bản vẽ Layout tối ưu và kiểm tra hậu mô phỏng. Kết quả của đề tài nhằm mục đích chứng minh sự hiểu biết sâu sắc về thiết kế vi mạch tương tự, kỹ năng xử lý các hiệu ứng vật lý ở công nghệ 65nm và khả năng làm chủ các công cụ thiết kế điện tử hiện đại.

# LỜI CẢM ƠN

Để hoàn thành đề tài này, bên cạnh sự nỗ lực của bản thân, tôi đã nhận được sự quan tâm, động viên và giúp đỡ tận tình từ thầy cô, bạn bè và các anh chị đi trước.

Trước hết, tôi xin bày tỏ lòng biết ơn sâu sắc nhất đến thầy **Huỳnh Phú Minh Cường**. Thầy đã trực tiếp hướng dẫn, định hướng nghiên cứu và truyền đạt những kiến thức chuyên môn quý báu trong lĩnh vực thiết kế vi mạch. Sự chỉ bảo tận tình và những góp ý khắc khe về mặt học thuật của Thầy trong suốt quá trình thực hiện đã giúp tôi từng bước tháo gỡ khó khăn, hoàn thiện tư duy thiết kế và hoàn thành tốt bản báo cáo này.

Tôi cũng xin gửi lời cảm ơn chân thành đến tập thể **Lab Hệ Thống Vi Điện Tử Cao Tầng (RFICs)**. Môi trường học tập chuyên nghiệp cùng sự hỗ trợ tối đa về cơ sở vật chất, tài nguyên phần mềm và tài liệu tham khảo tại Lab đã tạo điều kiện thuận lợi nhất để tôi có thể nghiên cứu và thực hiện các mô phỏng phức tạp trên công nghệ 65nm. Sự đồng hành, chia sẻ kinh nghiệm của các thành viên trong Lab là nguồn động lực lớn giúp tôi vượt qua những thách thức trong quá trình thiết kế và layout.

Cuối cùng, dù đã rất cố gắng nhưng do giới hạn về thời gian và kiến thức, báo cáo khó tránh khỏi những thiếu sót. Tôi rất mong nhận được sự đóng góp ý kiến của quý Thầy Cô để đề tài được hoàn thiện hơn.

Xin chân thành cảm ơn.

**Thành phố Hồ Chí Minh, ngày 05 tháng 01 năm 2026**  
**Giáo viên hướng dẫn**

# **TÓM TẮT THỰC TẬP**

Đồ án này trình bày quy trình thiết kế và hiện thực hóa mạch khuếch đại thuật toán trên nền tảng công nghệ CMOS 65nm, tập trung vào việc đáp ứng các chỉ tiêu kỹ thuật khắt khe về hiệu năng và diện tích. Nội dung đồ án được chia thành hai giai đoạn chính là thiết kế sơ đồ nguyên lý và thiết kế layout.

Trong giai đoạn đầu, kiến trúc mạch được lựa chọn và tính toán kích thước linh kiện để thỏa mãn bộ thông số kỹ thuật đề ra. Quá trình kiểm tra và tối ưu hóa mạch được thực hiện thông qua các mô phỏng chuyên sâu. Kết quả thu được cho thấy mạch hoạt động ổn định với các tham số then chốt như độ lợi vòng hở, biên pha và băng thông đơn vị đều đạt yêu cầu thiết kế. Bên cạnh đó, các đặc tính động và tĩnh bao gồm tốc độ đáp ứng, tỷ số nén đồng pha và biên độ dao động ngõ ra đều được kiểm chứng cụ thể. Đặc biệt, đồ án đã thực hiện phân tích các trường hợp góc và kiểm tra sự biến thiên theo quy trình công nghệ, điện áp và nhiệt độ để đảm bảo độ tin cậy cũng như tính bền vững của mạch trong các điều kiện hoạt động khác nhau.

Giai đoạn hai tập trung vào việc thiết kế layout cho mạch nguyên lý đã tối ưu. Các kỹ thuật layout tương tự nâng cao được áp dụng cho các khối chức năng quan trọng nhằm giảm thiểu sai số và sự bất đối xứng giữa các linh kiện. Bản vẽ cuối cùng đã hoàn tất quy trình kiểm tra quy luật thiết kế và đảm bảo sự tương thích tuyệt đối với sơ đồ nguyên lý, chứng minh tính khả thi khi chế tạo thực tế.

**Sinh viên thực hiện**

# CHƯƠNG I. GIỚI THIỆU ĐỀ TÀI

## 1.1. Tên đề tài

Thiết kế và thực hiện Layout mạch khuếch đại thuật toán trên công nghệ CMOS 65nm.

(Design and Layout of an Operational Amplifier using 65nm CMOS Technology).

## 1.2 Tổng quan

Trong lĩnh vực kỹ thuật điện tử nói chung và thiết kế vi mạch tương tự nói riêng, bộ khuếch đại thuật toán luôn được xem là khối kiến trúc nền tảng và thiết yếu nhất. Hầu hết các hệ thống điện tử phức tạp như bộ chuyển đổi dữ liệu hay các mạch lọc tín hiệu đều được xây dựng dựa trên sự kết hợp của các khối khuếch đại cơ bản này. Do đó, đối với bất kỳ kỹ sư nào muốn bước chân vào lĩnh vực thiết kế vi mạch, việc làm chủ quy trình thiết kế và hiện thực hóa một bộ khuếch đại thuật toán hoàn chỉnh là bước khởi đầu bắt buộc và quan trọng nhất để xây dựng tư duy thiết kế chuyên nghiệp. Tuy nhiên, quy trình thiết kế vi mạch hiện đại không chỉ dừng lại ở các tính toán lý thuyết hay mô phỏng trên sơ đồ nguyên lý. Khoảng cách giữa mô hình lý tưởng trên máy tính và mạch vật lý thực tế là một bài toán lớn mà người thiết kế cần giải quyết. Để một mạch điện hoạt động đúng như mong muốn sau khi chế tạo, người kỹ sư cần phải am hiểu sâu sắc về thiết kế vật lý layout. Các kỹ năng về bố trí linh kiện sao cho cân xứng, chiến lược đi dây để giảm thiểu nhiễu và tối ưu hóa diện tích đóng vai trò quyết định đến độ chính xác cuối cùng của mạch. Việc thực hành layout chính là cách tốt nhất để người học hiểu rõ bản chất vật lý của chất bán dẫn cũng như các quy luật thiết kế khắt khe trong công nghiệp.

Xuất phát từ nhu cầu thực tiễn đó, đề tài Thiết kế và Layout Opamp được thực hiện với mục tiêu củng cố và hiện thực hóa các kiến thức nền tảng về mạch tương tự. Đề tài này đóng vai trò là cầu nối thiết yếu giúp chuyển hóa các lý thuyết mạch điện tử thành kỹ năng thực hành cụ thể, giúp người thực hiện nắm bắt trọn vẹn quy trình thiết kế dòng chảy tiêu chuẩn từ sơ đồ nguyên lý đến bản vẽ vật lý cuối cùng, tạo tiền đề vững chắc cho việc tiếp cận các hệ thống vi mạch phức tạp hơn trong tương lai.

### 1.3 Mục tiêu đề tài

Mục tiêu cốt lõi của báo cáo là vận dụng các kiến thức nền tảng về mạch điện tử tương tự để thiết kế và hiện thực hóa hoàn chỉnh một bộ khuếch đại thuật toán với cấu trúc single ended trên quy trình công nghệ CMOS 65nm. Đề tài tập trung vào việc xây dựng quy trình thiết kế khép kín, bắt đầu từ việc lựa chọn kiến trúc mạch, tính toán và tối ưu hóa thông số linh kiện trên sơ đồ nguyên lý, cho đến việc thiết kế bản vẽ vật lý layout. Đặc biệt, quá trình thực hiện phải đảm bảo tuân thủ nghiêm ngặt các quy tắc thiết kế cũng như đạt được sự tương thích tuyệt đối giữa sơ đồ nguyên lý và layout vật lý.

Để đảm bảo tính ứng dụng và độ tin cậy của mạch sau khi thiết kế, báo cáo đặt ra các yêu cầu cụ thể về hiệu năng hoạt động. Mạch khuếch đại cần phải đạt được sự ổn định cao về tần số, đảm bảo biên độ tín hiệu ngõ ra lớn và duy trì hoạt động tốt dưới sự tác động của các yếu tố biến đổi như nhiệt độ môi trường hay sai lệch trong quá trình chế tạo. Các chỉ tiêu kỹ thuật định lượng chi tiết mà thiết kế cần đạt được được trình bày cụ thể trong bảng dưới:

Parameter	Specification
Differential DC Gain	> 70db
Phase Margin	> 60 deg
Unity gain BW	> 300MHz
Total current	< 2mW

Các thông số trong bảng trên sẽ là cơ sở chính để đánh giá kết quả mô phỏng và hiệu quả của quá trình tối ưu hóa thiết kế trong các chương tiếp theo.



#### 1.4. Phạm vi nghiên cứu

Đề tài tập trung vào việc nghiên cứu và thực hiện quy trình thiết kế vi mạch tương tự từ bước thiết kế nguyên lý đến bước thiết kế vật lý cuối cùng. Toàn bộ quá trình tính toán thông số và thiết kế mạch được thực hiện dựa trên bộ thư viện linh kiện chuẩn của quy trình công nghệ CMOS 65nm. Đây là nền tảng công nghệ phù hợp để tiếp cận các vấn đề thiết kế hiện đại cũng như rèn luyện kỹ năng xử lý các hiệu ứng vật lý trong vi mạch.

Về phương pháp thực hiện, đề tài sử dụng bộ công cụ tự động hóa thiết kế điện tử chuyên dụng của hãng Cadence Design Systems. Cụ thể, môi trường Cadence Virtuoso đóng vai trò là nền tảng trung tâm để xây dựng sơ đồ nguyên lý và thực hiện bản vẽ layout. Các kịch bản kiểm thử và phân tích thông số kỹ thuật của mạch được tiến hành trên môi trường mô phỏng ADE. Cuối cùng, để đảm bảo tính chính xác và khả thi của bản vẽ vật lý, quá trình kiểm tra quy luật thiết kế DRC cũng như đối chiếu sự trùng khớp giữa layout và sơ đồ nguyên lý LVS đều được thực hiện trực tiếp bằng các công cụ xác minh tích hợp sẵn trong hệ thống Cadence.

## CHƯƠNG II: CƠ SỞ LÝ THUYẾT

### 2.1. Công nghệ CMOS 65nm

Công nghệ CMOS 65nm đánh dấu một bước chuyển mình quan trọng trong ngành công nghiệp bán dẫn, cho phép tích hợp mật độ linh kiện cao hơn và cải thiện đáng kể tốc độ hoạt động của mạch điện. Ở nút công nghệ này, chiều dài kênh dẫn của transistor được thu nhỏ xuống kích thước nanomet, giúp giảm điện dung ký sinh và tăng khả năng đóng cắt của linh kiện. Điều này đặc biệt có lợi cho các thiết kế yêu cầu băng thông rộng và tốc độ xử lý nhanh.

Tuy nhiên, việc thiết kế trên quy trình 65nm cũng đi kèm với nhiều thách thức vật lý phức tạp. Vấn đề nổi cộm nhất là các hiệu ứng kênh ngắn làm thay đổi đặc tuyến dòng điện và điện áp của transistor, khiến cho phương trình bình phương truyền thống không còn hoàn toàn chính xác. Bên cạnh đó, độ dày lớp oxit cổng cực mỏng làm gia tăng dòng rò qua cực cổng, gây tiêu tốn năng lượng ngay cả khi mạch ở trạng thái tĩnh. Hơn nữa, điện áp nguồn cung cấp tiêu chuẩn thường giảm xuống mức thấp khoảng 1V đến 1.2V, làm thu hẹp đáng kể dải động của tín hiệu và gây khó khăn cho việc thiết kế các tầng khuếch đại có độ lợi cao chồng tầng. Do đó, người thiết kế cần có những tính toán kỹ lưỡng để cân bằng giữa hiệu suất hoạt động và các hạn chế vật lý của công nghệ.

### 2.2. Kiến trúc bộ khuếch đại thuật toán cơ bản

#### 2.2.1. Sơ đồ khối và nguyên lý chuyển đổi tín hiệu

Bộ khuếch đại thuật toán lý tưởng được định nghĩa là một phần tử mạch điện có độ lợi vô cùng, trở kháng ngõ vào vô cùng và trở kháng ngõ ra bằng không. Tuy nhiên, để hiện thực hóa linh kiện này trên công nghệ bán dẫn CMOS, người thiết kế phải xây dựng một cấu trúc đa tầng nhằm thỏa mãn đồng thời các thông số kỹ thuật khắt khe. Một kiến trúc bộ khuếch đại thuật toán tiêu chuẩn thường bao gồm ba khối chức năng nối tiếp nhau: tầng vi sai ngõ vào, tầng khuếch đại trung gian và tầng đệm ngõ ra.

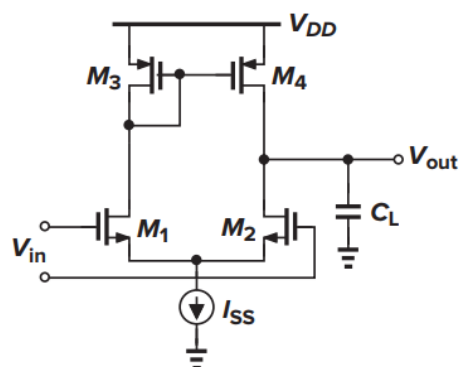
Tầng đầu tiên là tầng vi sai ngõ vào. Đây là thành phần quan trọng nhất quyết định độ chính xác của toàn bộ hệ thống. Chức năng cơ bản của tầng này là khuếch đại hiệu điện thế giữa hai cực ngõ vào và triệt tiêu các nhiễu đồng pha. Đặc biệt, đối với các thiết kế có cấu trúc ngõ ra đơn, tầng vi sai còn đảm nhiệm một vai trò thiết yếu là chuyển đổi tín hiệu từ dạng vi sai sang dạng đơn cực. Để thực hiện chức năng này mà không làm suy giảm độ lợi, mạch thường sử dụng cấu trúc tải tích cực dạng gương dòng điện. Gương dòng điện không chỉ giúp tổng hợp dòng điện tín hiệu từ hai nhánh vi sai thành một ngõ ra duy nhất mà còn tạo ra trở kháng tải rất lớn, giúp tối ưu hóa độ lợi điện áp ngay từ tầng đầu tiên.

Tầng thứ hai là tầng khuếch đại trung gian, có nhiệm vụ cung cấp phần lớn độ lợi điện áp cho toàn mạch. Tín hiệu đơn cực từ tầng đầu tiên sẽ được khuếch đại lên biên độ lớn tại tầng này. Cấu trúc phổ biến nhất được sử dụng ở đây là cấu hình nguồn chung nhờ khả năng tạo ra độ lợi dòng điện và điện áp cao, đồng thời cho phép dải dao động điện áp rộng.

Tầng cuối cùng là tầng đệm ngõ ra. Mục tiêu của tầng này là giảm trở kháng ngõ ra của mạch xuống mức thấp nhất, giúp bộ khuếch đại có khả năng điều khiển các tải có điện trở nhỏ hoặc điện dung lớn mà không làm sụt giảm điện áp tín hiệu. Đối với các ứng dụng yêu cầu ngõ ra đơn, tầng này đảm bảo tín hiệu tại ngõ ra dao động ổn định so với đất và cung cấp dòng điện nạp xả cần thiết cho tải.

## 2.2.2. Các kiến trúc mạch điển hình

### 2.2.2.1. Mạch simple opamp one stage



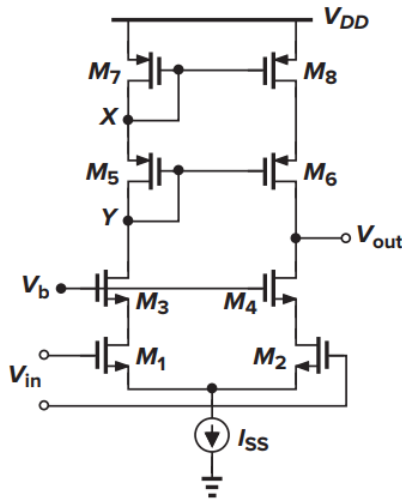
**Hình 1: Mạch simple opamp one stage**

Kiến trúc này thực hiện chức năng khuếch đại và chuyển đổi tín hiệu vi sai sang đơn cực thông qua sự phối hợp giữa cặp transistor ngõ vào và khối tải tích cực. Về mặt định lượng, độ lợi điện áp vòng hở của mạch được xác định bởi tích số giữa độ hồ dẫn của tầng vi sai và trở kháng tương đương tại nút ngõ ra theo biểu thức:

$$A_{V=} = -g_{m_{in}}(r_{o_N} // r_{o_P})$$

Trong đó,  $g_m$  đại diện cho độ hồ dẫn của transistor tầng vào, còn  $r_{o_N}$  và  $r_{o_P}$  lần lượt là điện trở của transistor N và P tại ngõ ra. Đánh giá tổng quan, mặc dù kiến trúc này có độ lợi điện áp bị giới hạn bởi điện trở nội của linh kiện, nhưng lại sở hữu ưu điểm nổi bật về băng thông rộng và độ ổn định pha cao do chỉ tồn tại một điểm cực chủ đạo trong đường truyền tín hiệu.

#### 2.2.2.2. Mạch Telescopic



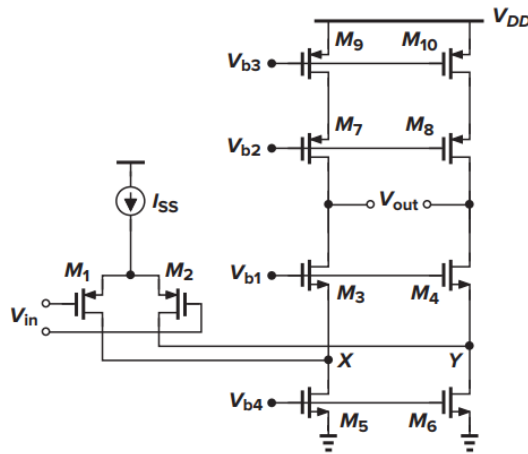
**Hình 2: Mạch Telescopic**

Kiến trúc bộ khuếch đại Telescopic Cascode (Cascode lồng nhau), một biến thể nâng cao nhằm giải quyết bài toán tăng độ lợi điện áp mà không cần thêm tầng khuếch đại phụ. Mạch sử dụng kỹ thuật xếp chồng các transistor (M3, M4 trên nền M1, M2 và tương tự cho phía tải PMOS) để tăng cường trở kháng ngõ ra một cách đáng kể. Độ lợi điện áp vòng hở của mạch được xác định gần đúng bởi tích số giữa độ hồ dẫn ngõ vào và trở kháng ra song song của hai nhánh cascode:

$$A_V = -gm_1 (gm_4 \cdot ro_4 ro_2 // gm_6 \cdot ro_6 ro_8)$$

Nhờ trở kháng ngõ ra tỉ lệ với bình phương độ lợi nội tại của transistor ( $gm * ro^2$ ), kiến trúc này đạt được độ lợi rất cao và băng thông lớn do đường truyền tín hiệu ngắn. Tuy nhiên, nhược điểm lớn nhất là dải điện áp dao động ngõ ra (Output Swing) bị thu hẹp nghiêm trọng do phải dành khoảng dự trữ điện áp cho 5 transistor xếp chồng trên một nhánh, gây khó khăn lớn khi thiết kế ở điện áp nguồn thấp.

### 2.2.2.3. Mạch Folded cascode



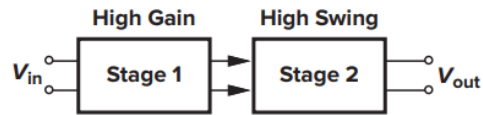
**Hình 3: Mạch Folded cascode**

Kiến trúc bộ khuếch đại Folded Cascode, hay còn gọi là Cascode gấp. Đây là giải pháp thiết kế ưu việt nhằm khắc phục nhược điểm về dải điện áp ngõ vào hạn hẹp của cấu trúc Telescopic bằng cách gấp dòng điện tín hiệu từ tầng vi sai ngõ vào sang nhánh tải có cực tính đối lập. Về mặt hiệu năng, mạch vẫn duy trì được băng thông rộng và tốc độ đáp ứng cao tương đương kiến trúc Telescopic nhưng cho phép dải điện áp đồng pha ngõ vào lớn hơn đáng kể. Độ lợi điện áp vòng hở của mạch được xác định bởi tích số giữa độ hỗ dẫn tầng vào và trở kháng ra song song của hai nhánh Cascode:

$$A_V = -gm_1 (gm_4 \cdot ro_4 (ro_6 // ro_2) // gm_8 \cdot ro_8 ro_{10})$$

Trong đó, trở kháng ngõ ra đạt giá trị rất lớn nhờ hiệu ứng nhân trở kháng của cấu trúc Cascode. Mặc dù kiến trúc này tiêu thụ công suất lớn hơn do dòng điện phải chạy qua hai nhánh riêng biệt và có mức nhiễu cao hơn, nhưng khả năng hoạt động ổn định ở điện áp nguồn thấp khiến nó trở thành lựa chọn phổ biến.

#### 2.2.2.4. Mạch opamp 2 tầng



**Hình 4: Cấu trúc opamp 2 tầng**

Kiến trúc bộ khuếch đại thuật toán hai tầng, giải pháp tiêu chuẩn để đạt được đồng thời độ lợi cao và dải dao động ngõ ra lớn. Cấu trúc mạch bao gồm tầng đầu tiên là tầng vi sai chịu trách nhiệm triệt tiêu nhiễu và tạo độ lợi sơ cấp, nối tiếp với tầng thứ hai là tầng khuếch đại nguồn chung để tối đa hóa biên độ tín hiệu ngõ ra. Độ lợi điện áp vòng hở toàn mạch là tích số độ lợi của hai tầng thành phần, được xác định bởi công thức:

$$A_V = A_{V1} \cdot A_{V2}$$

Tuy nhiên, nhược điểm chí mạng của việc ghép nối tiếp hai tầng khuếch đại có trở kháng cao là sự xuất hiện của nhiều điểm cực tần số thấp nằm gần nhau trong đặc tuyến đáp ứng. Điều này gây suy giảm nghiêm trọng biên pha và dễ dẫn đến hiện tượng dao động tự kích khi mạch hoạt động trong vòng hồi tiếp kín. Chính vì vậy, để đảm bảo hệ thống hoạt động ổn định, thiết kế bắt buộc phải áp dụng phương pháp bù tần số phù hợp nhằm kiểm soát vị trí các điểm cực. Đánh giá tổng quan, dù phải đánh đổi bằng băng thông hẹp hơn so với các cấu trúc một tầng, đây vẫn là kiến trúc tối ưu cho các ứng dụng yêu cầu độ chính xác cao và dải động tín hiệu lớn (rail-to-rail) trong điều kiện điện áp nguồn thấp.

#### 2.2.2.5. So sánh và lựa chọn kiến trúc phù hợp

	Gain	Output Swing	Speed	Power Dissipation	Noise
--	------	--------------	-------	-------------------	-------

<b>Telescopic</b>	Medium	Medium	Highest	Low	Low
<b>Folded-Cascode</b>	Medium	Medium	High	Medium	Medium
<b>Two-Stage</b>	High	Highest	Low	Medium	Low

Từ bảng so sánh trên, có thể rút ra những nhận định cụ thể như sau:

**Kiến trúc Telescopic Cascode** mang lại hiệu suất năng lượng và tốc độ tốt nhất. Tuy nhiên, cấu trúc này yêu cầu xếp chồng quá nhiều transistor trên một nhánh dẫn, khiến cho dải điện áp ngõ ra bị thu hẹp nghiêm trọng. Với nguồn cấp 1.2V, kiến trúc này gần như không khả thi để đạt được một dải tín hiệu đủ lớn cho các ứng dụng thực tế.

**Kiến trúc Folded Cascode** giải quyết được vấn đề về dải điện áp ngõ vào và vẫn duy trì được tốc độ cao. Mặc dù vậy, tại ngõ ra, cấu trúc này vẫn sử dụng chồng tầng cascode nên dải dao động tín hiệu ra vẫn chưa đạt mức tối đa. Hơn nữa, độ lợi điện áp của mạch chỉ dừng lại ở mức trung bình, khó thỏa mãn các yêu cầu về độ chính xác cao nếu không sử dụng thêm các kỹ thuật tăng cường độ lợi phức tạp.

**Kiến trúc hai tầng**, mặc dù có hạn chế về băng thông và đòi hỏi quy trình bù tần số phức tạp để đảm bảo tính ổn định, nhưng lại sở hữu hai ưu điểm mang tính quyết định. Thứ nhất, việc nối tiếp hai tầng khuếch đại giúp mạch dễ dàng đạt được độ lợi điện áp rất lớn. Thứ hai, và quan trọng nhất, tầng khuếch đại thứ hai thường có cấu trúc nguồn chung, cho phép tín hiệu ngõ ra dao động gần như sát tới hai đường nguồn cung cấp. Đây là đặc tính vô cùng quý giá trong môi trường điện áp thấp.

#### **Kết luận lựa chọn:**

Dựa trên các phân tích trên và đối chiếu với mục tiêu thiết kế của đề tài là xây dựng một bộ khuếch đại có độ chính xác cao, dải động lớn và hoạt động ổn định trên nền tảng công nghệ CMOS 65nm, **kiến trúc bộ khuếch đại hai tầng** được lựa chọn để thực hiện

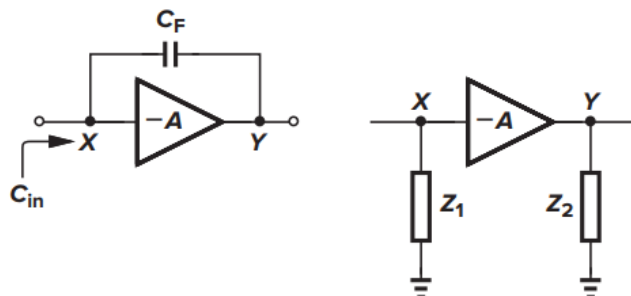
Cụ thể, **tầng đầu tiên sử dụng cấu trúc Folded Cascode**. Việc sử dụng Folded Cascode tại tầng vào mang lại lợi thế lớn về dải điện áp đồng pha ngõ vào, cho phép tín hiệu dao động gần sát đường nguồn và đất. Đồng thời, cấu trúc này cung cấp trở kháng ra lớn, giúp tầng đầu tiên đạt được độ lợi sơ cấp cao và khả năng triệt nhiễu nguồn tốt. Tín hiệu dòng điện từ tầng này sẽ được chuyển đổi sang điện áp đơn cực thông qua hệ thống gương dòng điện tải.

Tầng thứ hai sử dụng **cấu trúc Common Source**. Nhiệm vụ của tầng này là cung cấp thêm độ lợi điện áp và quan trọng nhất là mở rộng dải điện áp ngõ ra tới mức tối đa. Sự kết hợp này tạo ra một bộ khuếch đại có độ lợi tổng rất lớn (tích số của hai tầng), dải động tín hiệu rộng ở cả ngõ vào và ngõ ra, đồng thời vẫn duy trì được tốc độ đáp ứng tốt từ tầng Folded Cascode. Để đảm bảo tính ổn định cho hệ thống hai tầng này, kỹ thuật bù tần số Miller sẽ được áp dụng để điều khiển vị trí điểm cực và biên pha của mạch.

### 2.3. Kỹ thuật bù tần số

Trong thiết kế các bộ khuếch đại thuật toán (Op-Amp) hai tầng, sự tồn tại của nhiều cực gần nhau trong hàm truyền đạt vòng hở thường dẫn đến nguy cơ mất ổn định khi đóng vòng hồi tiếp. Để giải quyết vấn đề này, phương pháp **Bù Tần Số Miller** (Miller Frequency Compensation) được sử dụng rộng rãi như một kỹ thuật tiêu chuẩn. Nguyên lý cơ bản của phương pháp này là kết nối một tụ điện bù  $C_c$  giữa đầu ra và đầu vào của tầng khuếch đại thứ hai (tầng khuếch đại phổ biến thường là Common-Source).

Cơ chế hoạt động của tụ  $C_c$  dựa trên hiệu ứng tách cực (Pole Splitting). Trước khi bù, mạch sở hữu hai cực chiếm ưu thế nằm khá gần nhau về tần số, gây ra sự sụt giảm pha nhanh chóng. Khi tụ  $C_c$  được thêm vào, hiệu ứng Miller sẽ nhân giá trị điện dung này lên khi nhìn

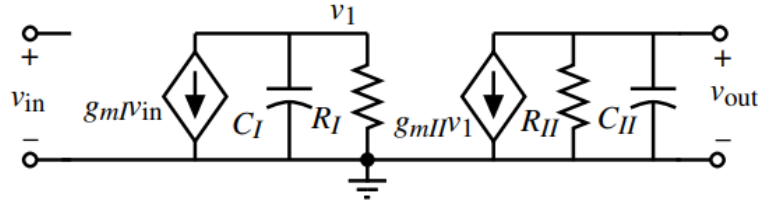




từ đầu vào tầng hai, đồng thời tạo ra một đường hồi tiếp shunt ở đầu ra. Kết quả là vị trí các cực bị dịch chuyển mạnh mẽ theo hai hướng ngược nhau:

**Hình 5: Pole splitting**

**Trước khi bù tần số**



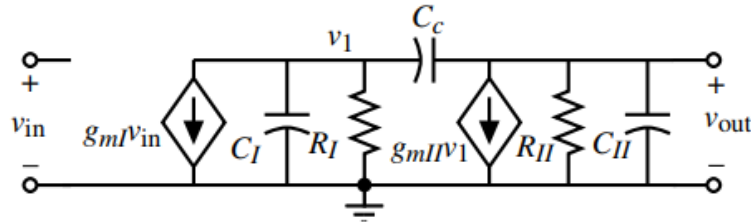
**Hình 6: Sơ đồ tín hiệu nhỏ trước khi bù tần số**

Ta có xác định được hai cực:

$$p_1 = \frac{-1}{R_I C_I}$$

$$p_2 = \frac{-1}{R_{II} C_{II}}$$

**Sau khi bù tần số**



**Hình 7: Sơ đồ tín hiệu nhỏ sau khi bù tần số**

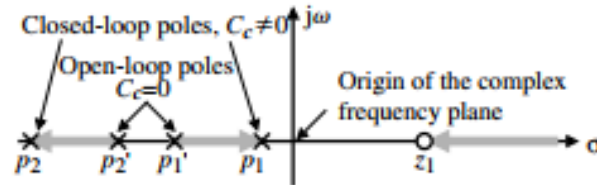
$$\frac{V_o(s)}{V_{in}(s)} = \frac{(g_{mI})(g_{mII})(R_I)(R_{II})(1 - \frac{sC_c}{g_{mII}})}{1 + s[R_I(C_I + C_c) + R_{II}(C_{II} + C_c) + g_{mII}R_IR_{II}C_c] + s^2 R_IR_{II}[C_IC_{II} + C_cC_I + C_cC_{II}]}$$

Ta xác định được hai cực và một zero

$$p_1 \cong \frac{-1}{g_{mII}R_IR_{II}C_c}$$

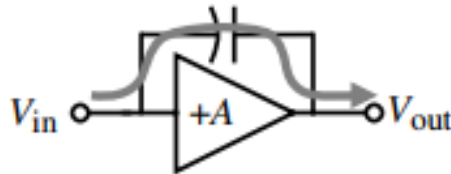
$$p_2 \cong \frac{-g_{mII}C_c}{C_I C_{II} + C_c C_I + C_c C_{II}} \cong \frac{-g_{mII}}{C_{II}}$$

$$z \cong \frac{g_{mII}}{C_c}$$



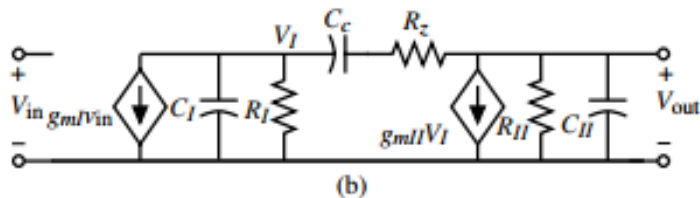
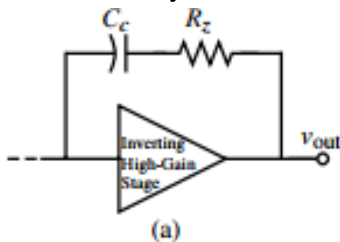
**Hình 8: Vị trí các cực và zero sau khi bù tần số**

Việc thêm Tụ bù Miller nối giữa đầu ra và đầu vào của tầng khuếch đại thứ hai trong Op-Amp, mặc dù rất hiệu quả trong việc tạo ra cực chủ đạo để ổn định mạch, nhưng cũng đồng thời tạo ra một điểm zero trong hàm truyền đạt của Op-Amp. Điểm zero này thường xuất hiện ở tần số cao hơn và, do cơ chế hồi tiếp nội bộ, nó thường là một Zero Nửa Mặt Phải Phải (RHP Zero). Zero này gây ra vấn đề nghiêm trọng vì nó làm cho pha của vòng lặp bị giảm thêm 90 độ trong khi biên độ vẫn tăng (ngược lại với Zero Nửa Mặt Phải Trái thông thường), dẫn đến giảm Phase Margin (Pha biên) và có thể gây mất ổn định trở lại cho Op-Amp



**Hình 9: Feedforward tạo ra zero**

Để kiểm soát Zero Nửa Mặt Phải Phải này, ta cần thêm một điện trở nulling ( $R_z$ ) nối tiếp với  $C_c$ . Bằng cách điều chỉnh  $R_z$  sao cho Zero Nửa Mặt Phải Trái mới tạo ra triệt tiêu hiệu ứng của ZRHP, ta có thể duy trì PM cao hơn và tối ưu hóa băng thông của mạch.



### Hình 10: Bù tần số tụ miller và nulling resistor

Ta xác định được ba cực và một zero

$$p_1 \cong \frac{-1}{g_{mII} R_I R_{II} C_c}$$

$$p_2 \cong \frac{-g_{mII} C_c}{C_I C_{II} + C_c C_I + C_c C_{II}} \cong \frac{-g_{mII}}{C_{II}}$$

$$p_3 \cong \frac{-1}{R_Z C_I}$$

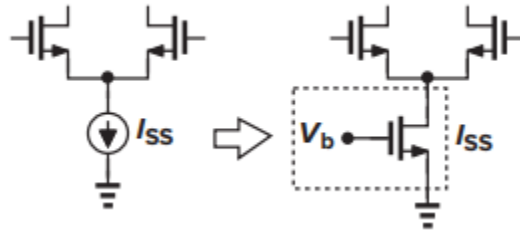
$$z \cong \frac{1}{C_c \left( \frac{1}{g_{mII}} - R_Z \right)}$$

Để loại bỏ Zero Nửa Mặt Phải Phải (RHP zero),  $R_Z$  phải được đặt bằng  $\frac{1}{g_{mII}}$ . Một lựa chọn khác là di chuyển zero từ RHP sang LHP (Nửa Mặt Phải Trái) và đặt nó nằm trùng lên cực  $p_2$  (pole 2). Kết quả là, cực liên quan đến dung kháng tải đầu ra sẽ bị triệt tiêu (cancel). Để thực hiện điều này, điều kiện sau phải được thỏa mãn:

$$z = p_2$$

$$\text{Ta ra được kết quả: } R_Z = \left( \frac{C_c + C_{II}}{C_c} \right) \left( \frac{1}{g_{mII}} \right)$$

### 2.4. Current Mirror và biasing



Hình 11: Ứng dụng current mirror

Trong thiết kế vi mạch tương tự, việc thiết lập điểm làm việc tĩnh (DC operating point) ổn định cho các tầng khuếch đại là yêu cầu tiên quyết. Thay vì sử dụng các điện trở phân cực riêng lẻ, vốn chiếm diện tích lớn và có độ chính xác kém trong quy trình CMOS, ta sử dụng kỹ thuật Current Mirror. Kỹ thuật này cho phép sao chép một dòng điện tham chiếu chuẩn IREF tới nhiều nhánh khác nhau trong mạch để cung cấp dòng Bias ổn định

Nếu sử dụng nguồn điện áp cố định đặt vào cực cổng (Gate) của MOSFET để định nghĩa dòng điện Iout. Tuy nhiên, phân tích phương trình dòng điện bão hòa

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2$$

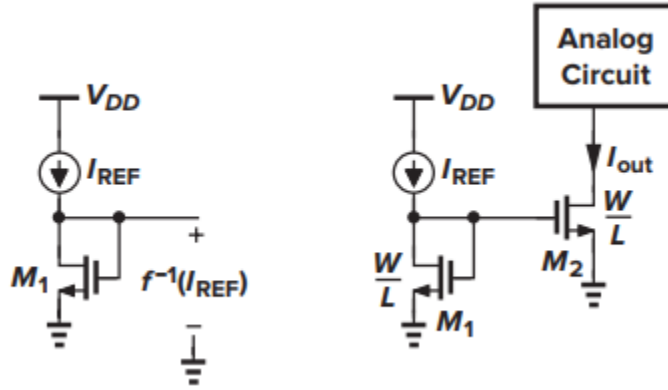
Biểu thức này cho thấy sự phụ thuộc chặt chẽ của dòng điện vào các biến số PVT (Process, Voltage, Temperature). Cụ thể, Overdrive voltage là hàm số của cả điện áp nguồn VDD và điện áp ngưỡng VTH. Trong thực tế sản xuất, VTH có thể biến động giữa các tấm wafer khác nhau (wafer-to-wafer variation). Hơn nữa, cả độ linh động điện tử  $\mu$  và VTH đều biến thiên mạnh theo nhiệt độ. Do đó, Iout là một đại lượng rất khó xác định nếu chỉ cố định VGS.

#### 2.4.1. Nguyên lý hoạt động cơ bản

Để khắc phục sự biến động PVT, thiết kế mạch analog hiện đại dựa trên nguyên lý "sao chép" (copying) dòng điện. Giả định rằng hệ thống đã có sẵn một nguồn dòng tham chiếu chuẩn IREF cực kỳ chính xác độc lập với PVT. Nhiệm vụ của mạch gương dòng điện là nhân bản IREF này tới các vị trí khác nhau trong mạch. Mạch gương dòng điện cơ bản thực hiện quá trình này thông qua hai bước chuyển đổi vật lý:

**Chuyển đổi I to V:** Dòng điện chuẩn IREF được đưa qua một transistor MREF mắc theo kiểu diode connected. Cấu hình này buộc MREF tự điều chỉnh điện áp VGS của nó sao cho phù hợp để dẫn đúng dòng IREF.

**Chuyển đổi V to I:** Điện áp VGS vừa được tạo ra này được áp vào cực Gate của transistor thứ hai MCOPY. Nếu hai transistor có cùng thông số công nghệ và VGS giống nhau, dòng điện Iout sinh ra sẽ tỉ lệ với IREF theo kích thước hình học.



**Hình 12: Mạch gương dòng cơ bản.**

Cấu trúc cơ bản bao gồm hai transistor M1 và M2 được gọi là một "gương dòng điện". Trong trường hợp tổng quát, hai transistor này không nhất thiết phải hoàn toàn đồng nhất. Dòng điện qua từng transistor có thể được biểu diễn như sau:

$$\text{Dòng điện tham chiếu qua M1: } I_{REF} = \frac{1}{2} \mu C_{ox} \left( \frac{W}{L} \right)_1 (V_{GS} - V_{th})^2 (1 + \lambda V_{DS1}) \quad (2.3.1.1)$$

$$\text{Dòng điện đầu ra qua M2: } I_{OUT} = \frac{1}{2} \mu C_{ox} \left( \frac{W}{L} \right)_2 (V_{GS} - V_{th})^2 (1 + \lambda V_{DS2}) \quad (2.3.1.2)$$

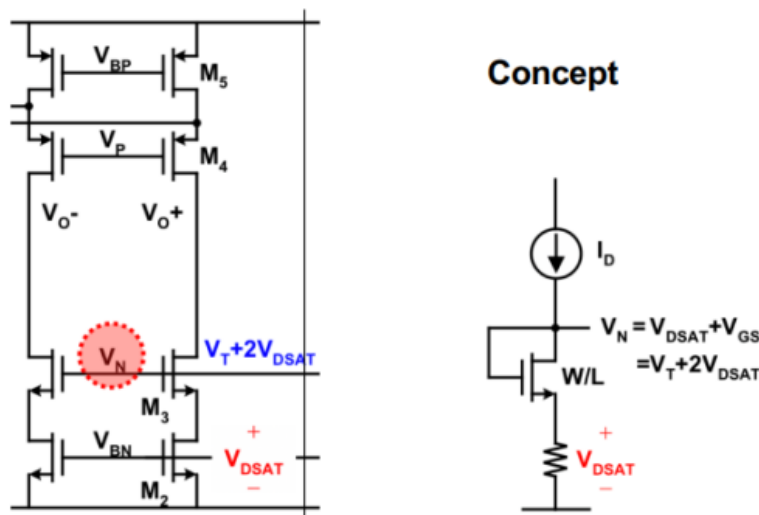
Do  $V_{GS}$  của cả hai transistor là bằng nhau, bằng cách lập tỷ số giữa phương trình (2.3.1.1) và (2.3.1.2), ta thu được mối quan hệ:

$$\frac{I_{OUT}}{I_{REF}} = \frac{\left( \frac{W}{L} \right)_2}{\left( \frac{W}{L} \right)_1} \cdot \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}}$$

Để giảm thiểu sai số hệ thống này, các transistor trong mạch gương dòng thường được thiết kế với chiều dài kênh lớn hơn mức tối thiểu của công nghệ để giảm hệ số  $\lambda$  hoặc sử dụng các cấu trúc nâng cao như Cascode Current Mirror để cố định  $V_{DS}$ , đảm bảo dòng điện đầu ra ổn định và có trở kháng ra lớn

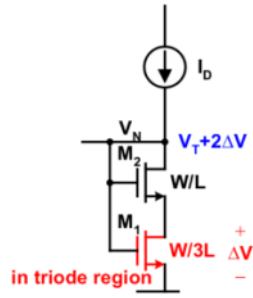
### 2.4.2. Kỹ thuật biasing

Mục tiêu cốt lõi của kỹ thuật phân cực là thiết lập một điểm làm việc tĩnh (DC Operating Point) xác định cho các transistor trong mạch khuếch đại, đảm bảo chúng luôn hoạt động trong vùng bão hòa với các thông số tín hiệu nhỏ ổn định. Một hệ thống phân cực tốt phải đảm bảo dòng điện không nhạy cảm với các biến động của điện áp nguồn, nhiệt độ và quy trình công nghệ.



Hình 13: Nhánh bias cho mạch folded cascode

Để hiện thực hóa giá trị điện áp này mà không cần sử dụng các điện trở thụ động, vốn chiếm diện tích lớn và có độ chính xác kém trong quy trình CMOS, phương pháp "Biến đổi trở kháng MOS" được áp dụng. Về mặt nguyên lý, mạch tạo áp bao gồm một nguồn dòng  $I_D$  đi qua hai thành phần mắc nối tiếp: một transistor kết nối kiểu diode để tạo ra điện áp  $V_{GS}$  và một thành phần điện trở để tạo thêm sụt áp bằng đúng  $V_{DSAT}$ . Trong thực tế thiết kế, thành phần điện trở này được thay thế bằng một transistor MOSFET hoạt động trong vùng tuyến tính (Triode region). Thách thức đặt ra là phải định kích thước sao cho với cùng dòng điện  $I_D$ , sụt áp trên nó  $V_{DS}$  xấp xỉ bằng  $V_{DSAT}$ .



**Hình 14: Cấu trúc bias thực tế được thiết kế**

$$\begin{cases} V_{GS2} = V_T + V_{DSAT} \\ V_{GS1} = V_{GS2} + V_{DS1} = V_T + 2 V_{DSAT} \end{cases} \rightarrow \begin{cases} V_{GS2} - V_T = V_{DSAT} \\ V_{GS1} - V_T = 2V_{DSAT} \end{cases}$$

With  $I_{D1} = I_{D2}$

$$I_{D1} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2$$

$$I_{D2} = \frac{1}{2} \mu C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

$$\rightarrow \left( \frac{W}{L} \right)_1 = \frac{1}{3} \left( \frac{W}{L} \right)_2$$

Kỹ thuật giải quyết vấn đề này là sử dụng phương pháp xếp chồng transistor Stacking để điều chỉnh kích thước hiệu dụng. Cụ thể, transistor M1 hoạt động ở vùng tuyến tính được cấu tạo từ 3 transistor đơn lẻ (unit transistors) mắc nối tiếp nhau. Nếu mỗi transistor đơn lẻ có kích thước  $W/L$  tương đương với transistor tham chiếu M2 ở phía trên, việc mắc nối tiếp 3 linh kiện này sẽ tạo ra một transistor tương đương có chiều dài kênh dẫn tăng gấp ba lần  $L_{eff} = 3L$ , tức là kích thước hiệu dụng trở thành  $W/3L$ . Việc giảm tỷ số  $W/L$  xuống 3 lần làm tăng đáng kể trở kháng kênh dẫn  $R_{on}$  của M1, buộc transistor này hoạt động sâu trong vùng tuyến tính và tạo ra sụt áp cần thiết.

Kết quả của cấu trúc xếp chồng này là điện áp tại nút phân cực ( $V_N$ ) được xác định bởi tổng điện áp trên hai phần tử: điện áp  $V_{GS}$  của transistor M2 (đang hoạt động bão hòa) và điện áp  $V_{DS}$  của chuỗi transistor M1 (đang hoạt động tuyến tính). Giá trị này chính xác là mức điện áp cần thiết để phân cực cho tầng Cascode trong mạch khuếch đại chính. Nhờ đó, điện áp tại cực máng của transistor nguồn dòng dưới cùng trong Op-Amp được ghim chặt ở mức  $V_{DS} \approx V_{DSAT}$ , đảm bảo transistor này vẫn hoạt động trong vùng bão hòa

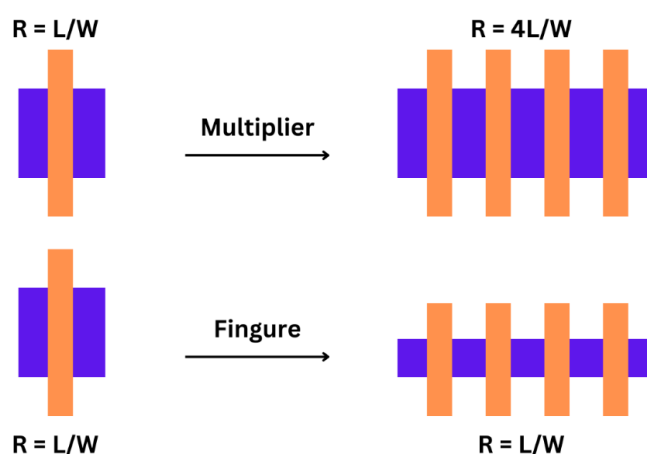
trong khi tiêu tốn khoảng headroom nhỏ nhất có thể, giúp tối ưu hóa dải động của tín hiệu đầu ra.

## 2.5. Các kĩ thuật cần thiết để thực hiện layout

Trong quy trình thiết kế vi mạch tương tự, bản vẽ layout không chỉ đơn thuần là việc chuyển đổi sơ đồ nguyên lý sang các hình dạng hình học, mà còn là bước quyết định đến hiệu năng thực tế của mạch. Các tham số ký sinh  $R$ ,  $L$ ,  $C$  và sự sai lệch do quy trình sản xuất (Process variation) có thể làm thay đổi hoàn toàn điểm làm việc tĩnh và đáp ứng tần số. Do đó, các kỹ thuật layout nâng cao sau đây là bắt buộc để đảm bảo độ chính xác và tính ổn định của hệ thống

### 2.5.1. Kỹ thuật phân đoạn cực cổng (Multi-finger Transistor)

Trong thiết kế các transistor có kích thước chiều rộng kênh dẫn  $W$  lớn, việc vẽ một cực cổng trải dài liên tục thường dẫn đến điện trở cực cổng  $R_g$  cao và điện dung ký sinh lớn, gây suy giảm đáng kể đáp ứng tần số và tăng nhiễu nhiệt. Để khắc phục vấn đề này, kỹ thuật phân đoạn cực cổng (Multi-finger) được áp dụng bằng cách chia nhỏ transistor lớn thành nhiều nhánh song song (finger) có kích thước nhỏ hơn. Cấu trúc này cho phép các finger lân cận chia sẻ chung vùng khuếch tán (vùng Source và Drain xen kẽ), giúp giảm tối đa diện tích tiếp xúc với đế và từ đó giảm điện dung ký sinh ( $C_{db}$ ,  $C_{sb}$ ). Đồng thời, việc kết nối song song các cực cổng giúp giảm điện trở  $R_g$  theo hàm bậc hai của số lượng ngón tay, đảm bảo linh kiện hoạt động hiệu quả ở tần số cao.



Hình 15: Multi and finger



### 2.5.2. Kỹ thuật Common Centroid

Độ chính xác của các mạch gương dòng điện và cặp vi sai phụ thuộc hoàn toàn vào sự tương đồng giữa các transistor thành phần, tuy nhiên, các sai số do gradient nồng độ tạp chất, nhiệt độ hoặc độ dày oxit trên bề mặt chip là không thể tránh khỏi. Để triệt tiêu các sai số hệ thống này, kỹ thuật layout theo nguyên lý Common Centroid là bắt buộc. Thay vì bố trí các transistor nằm tách biệt, chúng được chia nhỏ và sắp xếp đan xen nhau theo các cấu hình đối xứng, như cấu trúc chéo hoặc cấu trúc ABBA trong một chiều, sao cho tất cả các transistor đều chia sẻ cùng một điểm trọng tâm hình học. Cách bố trí này giúp các biến thiên tuyến tính của quy trình công nghệ tác động đều lên các phần tử, tạo ra sự bù trừ lẫn nhau và đảm bảo đặc tính điện trung bình của các transistor là đồng nhất.

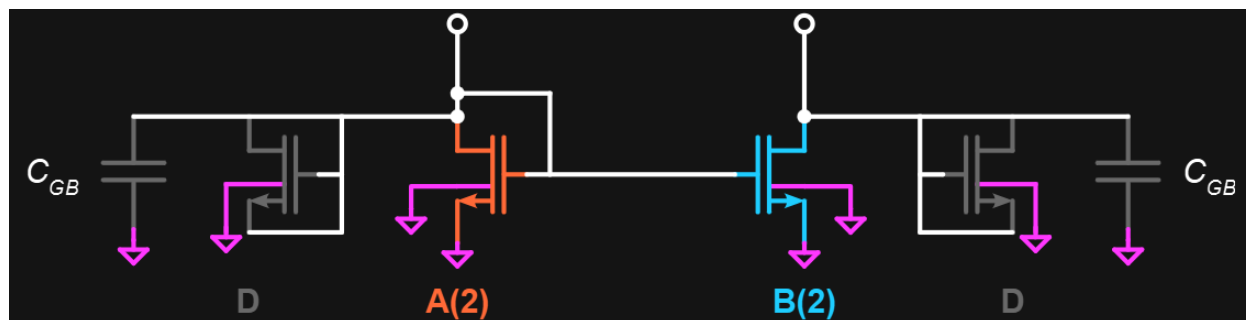


Hình 16: Common centroid

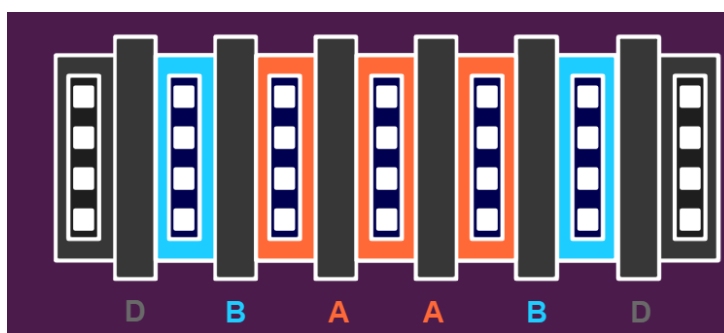
### 2.5.3. Linh kiện Giả (Dummy Devices)

Trong quy trình chế tạo vi mạch, các bước quang khắc và ăn mòn hóa học thường không diễn ra đồng đều tại vùng biên của mảng linh kiện so với vùng trung tâm, dẫn đến sự sai lệch kích thước thực tế (đặc biệt là chiều dài kênh dẫn  $L$ ) của các transistor nằm ngoài rìa. Để khắc phục hiện tượng này, hay còn gọi là hiệu ứng lân cận (Proximity effect), các linh kiện giả được thêm vào bao quanh mảng linh kiện chính. Các transistor dummy này có cùng hình dạng và kích thước với transistor thật nhưng không tham gia vào hoạt động của mạch (thường được nối đất hoặc nối nguồn), đóng vai trò như một lớp đệm hy sinh để tạo ra môi trường quang khắc và ăn mòn đồng nhất. Nhờ đó, các transistor quan

trọng nằm bên trong được đảm bảo có điều kiện biên giống hệt nhau, giúp duy trì độ chính xác cao nhất theo thiết kế.



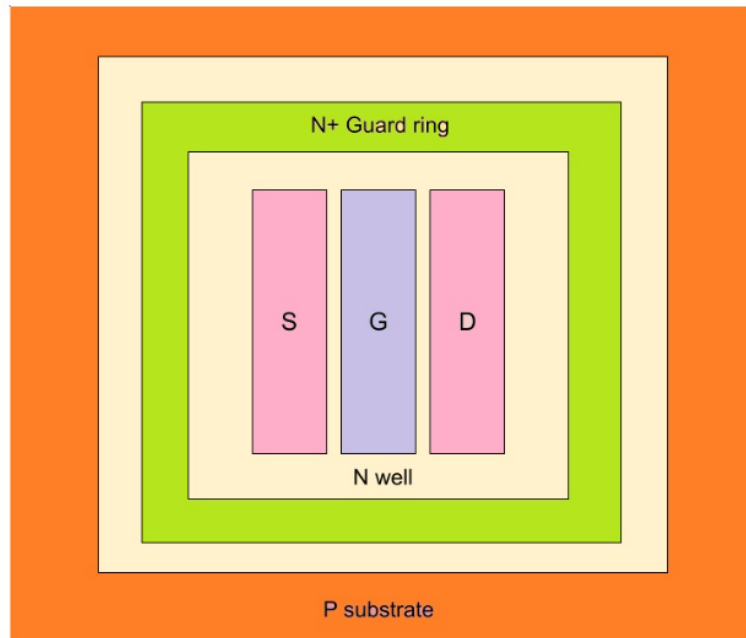
Hình 17: Thể hiện dummy trong schematic



Hình 18: Đặt dummy in layout

#### 2.5.4. Guard Rings cách ly nhiễu

Trong các thiết kế tín hiệu hỗn hợp, nhiễu từ đế (Substrate noise) và nguy cơ xảy ra hiện tượng chốt giữ (Latch-up) là những mối đe dọa nghiêm trọng đến độ ổn định của mạch Analog. Để bảo vệ các khối mạch nhạy cảm, kỹ thuật sử dụng vành khuyên bảo vệ (Guard Rings) được triển khai bằng cách bao bọc xung quanh transistor hoặc nhóm transistor một vòng tiếp xúc trở kháng thấp (P+ nối đất cho NMOS hoặc N+ nối nguồn cho PMOS). Vòng bảo vệ này hoạt động như một rào chắn thu gom các hạt mang điện thiểu số trôi nổi trong đế trước khi chúng xâm nhập vào kênh dẫn của transistor, đồng thời giúp định ghim điện thế để một cách chắc chắn, ngăn ngừa sự kích hoạt của các cấu trúc thyristor ký sinh có thể gây hỏng chip vĩnh viễn.



**Hình 19: Guard ring của PMOS**

# CHƯƠNG III: THIẾT KẾ VÀ MÔ PHỎNG SƠ ĐỒ NGUYÊN LÝ

## 3.1. Design Specifications

Parameter	Specification
Differential DC Gain	> 70db
Phase Margin	> 60 deg
Unity gain BW	> 300MHz
Total current	< 2mW

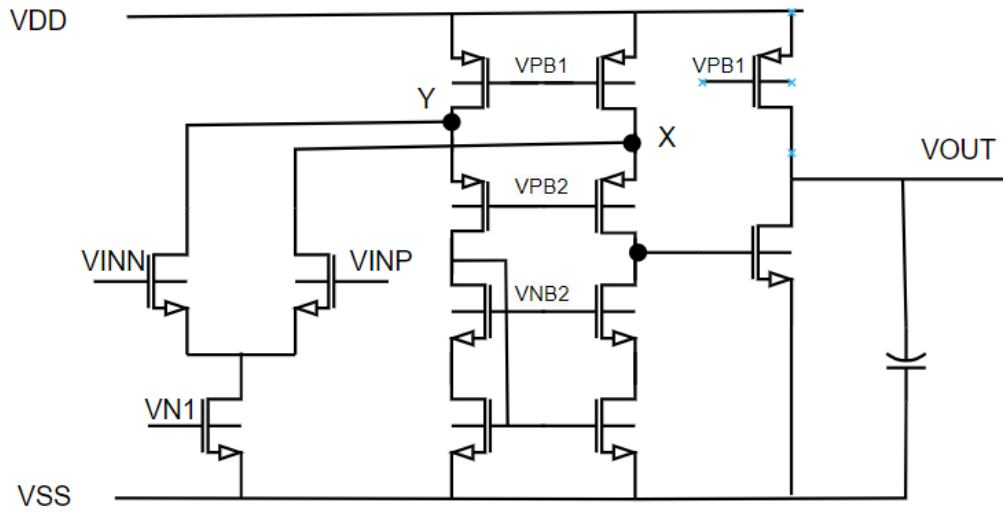
**Bảng chỉ tiêu kỹ thuật**

Design condition	
Technology node	65nm
Corner (model file)	TT,FF,FS,SF,SS
Temperature	N (85°C), H(125°C), L(-40°C)
Power supply (VDD)	1.2V $\pm$ 10%
Power ground (VSS)	0V
Capacitor load	1pF
Typical common mode	0.6V

**Bảng điều kiện kiểm thử và công nghệ**

### 3.2. Sơ đồ kiến trúc tổng quát (Proposed Architecture)

Dựa trên các chỉ tiêu kỹ thuật và điều kiện biên của hệ thống, đặc biệt là mức điện áp đồng pha đầu vào VICM được cố định ở mức 0.6V, tôi đề xuất sử dụng kiến trúc Op-Amp hai tầng (Two-Stage Op-Amp). Trong đó, tầng đầu tiên sử dụng cấu trúc Folded Cascode với cặp vi sai đầu vào NMOS, và tầng thứ hai là tầng khuếch đại Nguồn chung (Common Source) sử dụng NMOS input. Việc lựa chọn cấu hình cụ thể này được lý giải chi tiết qua phân tích từng tầng dưới đây.



**Hình 20: Kiến trúc tổng quát**

#### 3.2.1. Tầng 1: Folded Cascode với đầu vào NMOS

Tầng đầu vào đóng vai trò quyết định đến độ lợi điện áp sơ cấp  $Av1$ , dải điện áp đồng pha (ICMR) và khả năng triệt nhiễu của toàn mạch. Trong thiết kế này, cấu trúc Folded Cascode được lựa chọn thay vì Telescopic vì điện áp hoạt động thấp

Điểm đặc biệt của thiết kế là việc sử dụng cặp transistor vi sai đầu vào loại NMOS với mục đích **tối đa hóa hồ dẫn  $gm$  và băng thông**. Lý do quan trọng nhất là sự chênh lệch về độ linh động hạt tải (Carrier Mobility -  $\mu$ ). Trong vật liệu Silicon, độ linh động của điện tử  $\mu_n$  thường lớn gấp 2 đến 3 lần so với độ linh động của lỗ trống  $\mu_p$ .

Hồ dẫn của transistor được tính theo công thức:  $gm = \sqrt{2\mu C_{ox} \left(\frac{W}{L}\right) Id}$

Với cùng một dòng điện phân cực và cùng kích thước W/L, cặp vi sai NMOS sẽ tạo ra hồ dẫn gm lớn hơn nhiều so với PMOS. Vì Băng thông của Op-Amp tỷ lệ thuận với hồ dẫn tăng đầu việc sử dụng NMOS input giúp mạch đạt được băng thông rộng hơn và tốc độ xử lý nhanh hơn đáng kể mà không cần tăng dòng tiêu thụ.

### 3.2.1. Tầng 2: Common source với đầu vào NMOS

Tầng khuếch đại thứ hai được thiết kế theo cấu trúc Common Source sử dụng transistor NMOS làm phần tử khuếch đại chính. Quyết định này được chi phối trực tiếp bởi điều kiện phân cực DC ngõ ra của tầng đầu tiên Folded Cascode.

Trong thiết kế này, điện áp tĩnh DC Operating Point tại ngõ ra của tầng 1 được thiết kế trong khoảng 500mV đến 600mV để tối ưu hóa dải động cho tầng Folded Cascode. Mức điện áp này được ghép trực tiếp vào cực cổng của tầng thứ 2 mà không qua tụ điện chặn DC.

**Đối với NMOS:** Điện áp ngưỡng V<sub>THN</sub> của transistor NMOS trong công nghệ này thường nằm trong khoảng 400mV - 500mV. Do đó, mức điện áp 500mV - 600mV từ tầng 1 là hoàn toàn lý tưởng để phân cực cho transistor NMOS tầng 2 hoạt động trong vùng bão hòa (Saturation) với điện áp vượt ngưỡng  $VOV = V_{GS} - V_{THN}$  vừa đủ nhỏ (khoảng 100mV - 150mV). Điều này giúp mạch hoạt động ổn định ngay lập tức mà không cần thêm mạch dịch mức (Level Shifter).

**Đối với PMOS:** Nếu sử dụng transistor PMOS làm phần tử khuếch đại cho tầng 2 (Source nối lên VDD), để transistor hoạt động trong vùng bão hòa, điện áp cực cổng phải nằm gần mức nguồn VDD. Mức điện áp 500mV - 600mV từ tầng 1 là quá thấp so với yêu cầu này, sẽ khiến transistor PMOS bị dẫn quá mạnh (triệt tiêu vùng bão hòa) hoặc đòi hỏi một tầng dịch mức phức tạp làm tốn diện tích và công suất.

**Kết luận:** Việc sử dụng NMOS cho tầng 2 là giải pháp duy nhất đảm bảo sự khớp nối trở kháng và điện áp tự nhiên với ngõ ra của tầng 1, đơn giản hóa thiết kế và đảm bảo độ tin cậy của điểm làm việc tĩnh.

### 3.2.3. Lựa chọn loại Transistor.

**Đối với cặp vi sai đầu** và, loại **transistor NMOS LVT** được ưu tiên lựa chọn. Đặc tính cốt lõi của linh kiện này là điện áp ngưỡng thấp, cho phép transistor hoạt động bão hòa với điện áp cổng VGS nhỏ hơn đáng kể so với loại chuẩn. Lựa chọn này mang lại lợi ích trực tiếp trong việc nới rộng dải điện áp vào chế độ chung (Input Common Mode Range - ICMR). Việc giảm thiểu sụt áp VGS tại đầu vào giúp tiết kiệm khoảng dự trữ điện áp (Headroom) quý giá, đảm bảo nguồn dòng đuôi hoạt động ổn định ngay cả khi điện áp chế độ chung xuống thấp hoặc biên độ tín hiệu lớn, đồng thời tận dụng được ưu thế về tốc độ chuyển mạch cao của dòng LVT để đáp ứng bằng thông mục tiêu.

**Đối với các khối mạch còn lại bao gồm tầng tải Cascode**, mạch gương dòng điện và tầng khuếch đại ngõ ra, thiết kế sử dụng hoàn toàn loại **transistor Standard VT**. Quyết định này xuất phát từ yêu cầu khắt khe về độ lợi điện áp DC và độ ổn định tĩnh. Transistor loại chuẩn thường có hiệu ứng điều biến chiều dài kênh dẫn nhỏ hơn nên trở kháng nội tại  $r_o$  lớn hơn so với loại LVT. Do đó, việc sử dụng chúng ở tầng Cascode là yếu tố then chốt để tối đa hóa trở kháng ra, đảm bảo mạch đạt được độ lợi 50dB theo thiết kế. Ngoài ra, dòng rò thấp hơn của Standard VT cũng giúp cải thiện độ chính xác của các nguồn dòng phân cực và giảm tiêu thụ công suất tĩnh không mong muốn.

### 3.3. Tính toán và Định kích thước linh kiện

Quy trình tính toán định kích thước được thực hiện dựa trên phương pháp gm/ID (Transconductance efficiency), giúp tối ưu hóa sự cân bằng giữa tốc độ, công suất và diện tích. Các thông số thiết kế sơ bộ được xác định như sau:

#### 3.3.1. Tính toán tụ bù và hồ dẫn yêu cầu của cặp vi sai đầu vào

##### 3.3.1.1. Xác định Tụ bù Cc

Để đạt được mục tiêu phaseMargin 60 độ, ta yêu cầu

$$\phi_M = \pm 180 - \text{Arg}[A(j\omega)F(j\omega)] = \pm 180 - \tan^{-1}\left(\frac{\omega}{|p_1|}\right) - \tan^{-1}\left(\frac{\omega}{|p_2|}\right) - \tan^{-1}\left(\frac{\omega}{|z|}\right) = 70$$

$$110 = \tan^{-1}\left(\frac{GB}{|p_1|}\right) - \tan^{-1}\left(\frac{GB}{|p_2|}\right) - \tan^{-1}\left(\frac{GB}{|z|}\right) = \tan^{-1}(Av(0)) - \tan^{-1}\left(\frac{GB}{|p_2|}\right) - \tan^{-1}\left(\frac{GB}{|z|}\right)$$

$$110 = \tan^{-1}(70\text{dB}) - \tan^{-1}\left(\frac{GB}{|p_2|}\right) - \tan^{-1}\left(\frac{GB}{|z|}\right)$$

Ta thiết kế  $p_2 = z$ , Ta suy ra:

$$p_2 \geq 4GB$$

$$\Rightarrow \frac{g_{mII}}{C_{II}} \geq 4 \frac{g_{mI}}{C_c}$$

$$\Rightarrow C_c \geq 4 \frac{g_{mI}}{g_{mII}} C_{II}$$

Với giả thiết thiết kế  $g_{mII} = 10g_{mI}$  đây điểm cực ra xa, giá trị tụ bù được chọn sơ bộ là:  $C_c \geq 400\text{f}$

Từ giá trị  $C_c$  và yêu cầu băng thông mục tiêu, hỗ dẫn yêu cầu của cặp vi sai đầu vào  $g_{mI}$  được tính toán:

$$g_{mI} = \text{UGBW} * 2\pi * C_c = 754\mu\text{S}$$

$$g_{mII} = 10g_{mI} \approx 7.5\text{mS}$$

LƯU Ý

Đối với tầng khuếch đại thứ hai, vị trí của điểm cực không chủ đạo đóng vai trò quyết định đến độ ổn định pha của toàn mạch. Theo lý thuyết, tần số của điểm cực này được xác định bởi:

$$p_2 = \frac{g_{mII}}{C_{Ltol}}$$

Trong điều kiện lý tưởng,  $C_{Ltol}$  chỉ bao gồm tụ tải  $C_L$ . Tuy nhiên để tầng 2 có khả năng kéo tải lớn và đạt độ lợi dòng điện cao, dòng điện phân cực ID2 phải được thiết lập ở mức lớn. Dẫn đến kích thước vật lý lớn làm gia tăng đáng kể các thành phần điện dung ký sinh ( $C_{gs}$ ,  $C_{gd}$ ,  $C_{db}$  nội tại của transistor. Do đó thông số  $g_{mII}$  ở đây là ta sẽ tăng lên dần để phù hợp với spec đề ra



### b. Định kích thước cặp vi sai NMOS:

Việc lựa chọn điểm làm việc cho cặp vi sai đầu vào quyết định trực tiếp đến hiệu suất năng lượng và băng thông.

Ta chọn  $gm/ID = 15 \text{ S/A}$

Đây được coi là điểm cân bằng tối ưu về hiệu suất thiết kế. Thứ nhất, tại vùng này, transistor đạt được hiệu suất chuyển đổi hồ dẫn rất cao cho phép tối đa hóa băng thông đơn vị UGBW mà không tiêu tốn quá nhiều dòng điện. Thứ hai, giá trị này tương ứng với điện áp quá điều khiển thấp  $V_{ov} \approx \frac{2}{gm/ID}$  giúp giảm thiểu điện áp bão hòa và mở rộng biên độ dao động tín hiệu (Signal Swing). Quan trọng hơn, so với vùng nghịch đảo yếu, vùng nghịch đảo trung bình vẫn duy trì mật độ dòng điện đủ lớn để đảm bảo tốc độ đáp ứng nhanh và giảm thiểu tác động của nhiễu nhiệt, đáp ứng tốt các chỉ tiêu kỹ thuật khắt khe của Op-Amp.

Từ đó, dòng điện phân cực cho mỗi nhánh được xác định:

$$I_D = \frac{gmin}{\left(\frac{gm}{ID}\right)_{in}} = \frac{754\mu S}{15S/A} \approx 50\mu A$$

### 3.3.2. Tính toán thông số kích thước MOS

Mục tiêu thiết kế cho tầng đầu tiên là đạt độ lợi điện áp  $A_{v1} = 50dB$

Công thức tính độ lợi tầng Folded Cascode:

$$A_V = -gm_{in} ( gm_{Pcas} \cdot ro_{Pcas} (ro_{in} // ro_{Psrc}) // gm_{Ncas} \cdot ro_{Ncas} ro_{Nsrc} )$$

Đặt giả thuyết: các giá trị  $ro$  và  $gm$  của các MOS là bằng nhau, giá trị trở kháng ra trung bình cần thiết cho mỗi transistor để đạt tổng trở kháng yêu cầu là:  $ro_{eq} \approx 33.5k\Omega$

Để đạt được mục tiêu này, các transistor trong tầng cascode và nguồn dòng được định kích thước  $gm/ID$  khác nhau

#### 3.3.2.1. Định kích thước cho Transistor Cascode (NMOS & PMOS)

Đối với nhóm transistor đóng vai trò Cascode, tỷ số hiệu suất chuyển đổi  $gm/ID$  được lựa chọn nằm trong khoảng  $14 \sim 20 \text{ S/A}$

Lí do: Quyết định thiết kế này nhằm giải quyết đồng thời hai bài toán về độ lợi và dải động. Thứ nhất, giá trị  $gm/ID$  cao đồng nghĩa với việc tạo ra hồ dẫn  $gm$  lớn, giúp tăng cường từ đó đảm bảo mạch đạt được độ lợi điện áp cao. Thứ hai, vùng làm việc này tương ứng với điện áp quá điều khiển  $V_{ov}$  rất thấp, chỉ rơi vào khoảng 100mV - 150mV. Việc duy trì  $V_{ov}$  nhỏ giúp tiết kiệm đáng kể khoảng điện áp headroom, cho phép tối đa hóa biên độ dao động tín hiệu tại ngõ ra đặc biệt quan trọng trong các thiết kế áp thấp.

### 3.3.2.2. Định kích thước cho Transistor Nguồn dòng (Current Source MOS)

Đối với các transistor thực hiện chức năng nguồn dòng, chiến lược thiết kế tập trung vào độ ổn định nên tỷ số  $gm/ID$  được chọn thấp hơn, trong khoảng 10 ~ 12S/A.

Lí do: Tại điểm làm việc này, transistor được đưa sâu hơn vào vùng nghịch đảo mạnh (Strong Inversion), dẫn đến điện áp quá điều khiển  $V_{ov}$  lớn hơn. Trong thiết kế mạch tương tự, một  $V_{ov}$  lớn là yếu tố then chốt để cải thiện độ matching accuracy giữa các nhánh gương dòng điện và giảm thiểu độ nhạy của mạch trước các biến động của quy trình công nghệ. Nhờ đó, dòng điện phân cực cung cấp cho toàn mạch Folded Cascode được duy trì ổn định và chính xác.

### 3.3.2.3. Định kích thước cho Transistor input tầng 2

Tương tự với đầu vào vi sai, ta chọn  $gm/ID = 15 \text{ S/A}$

$$I_D = \frac{g_{min}}{\left(\frac{gm}{ID}\right)_{in}} = \frac{7.54mS}{15S/A} \approx 0.5mA$$

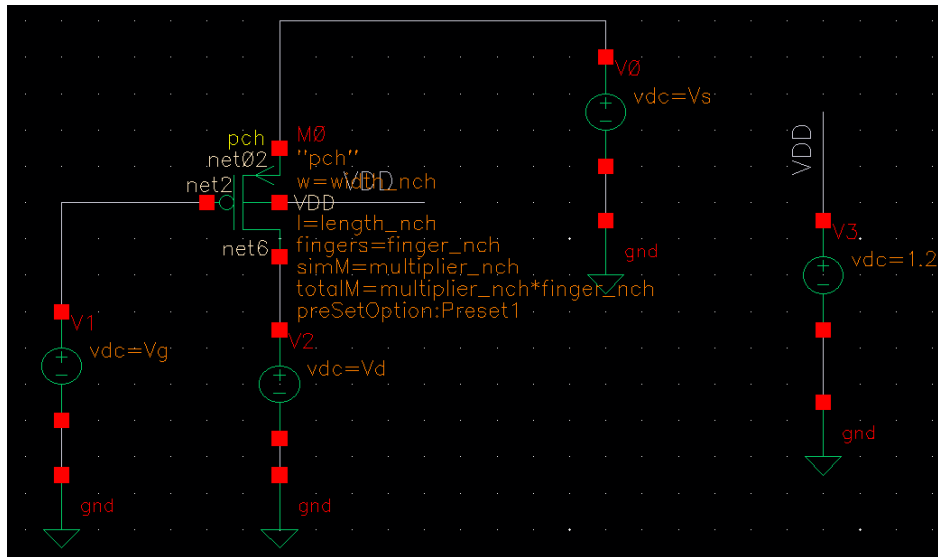
### 3.3.2.4. Xác định Chiều dài kênh dẫn cơ sở ( $L_{unit}$ )

Thay vì tính toán lý thuyết từng cặp W/L riêng biệt, quy trình định kích thước được thực hiện theo Unit Length Strategy. Phương pháp này ưu tiên xác định một chiều dài kênh dẫn  $L_{unit}$  tối ưu cho transistor quyết định trở kháng ra, sau đó áp dụng giá trị này cho toàn bộ mạch để đảm bảo tính đồng nhất trong Layout và giảm thiểu sai số do hiệu ứng channel effects.

Trong cấu trúc Folded Cascode, trở kháng ra  $R_{out}$  và độ lợi  $A_v$  phụ thuộc lớn vào trở kháng nội tại tại  $r_o$  của các transistor tầng cascode, đặc biệt là transistor PMOS Cascode vì thường

có độ linh động thấp hơn và cần kích thước lớn hơn. Khi  $r_o$  của PMOS đã đủ thì chắc chắn với một điều kiện thì NMOS cũng sẽ đủ

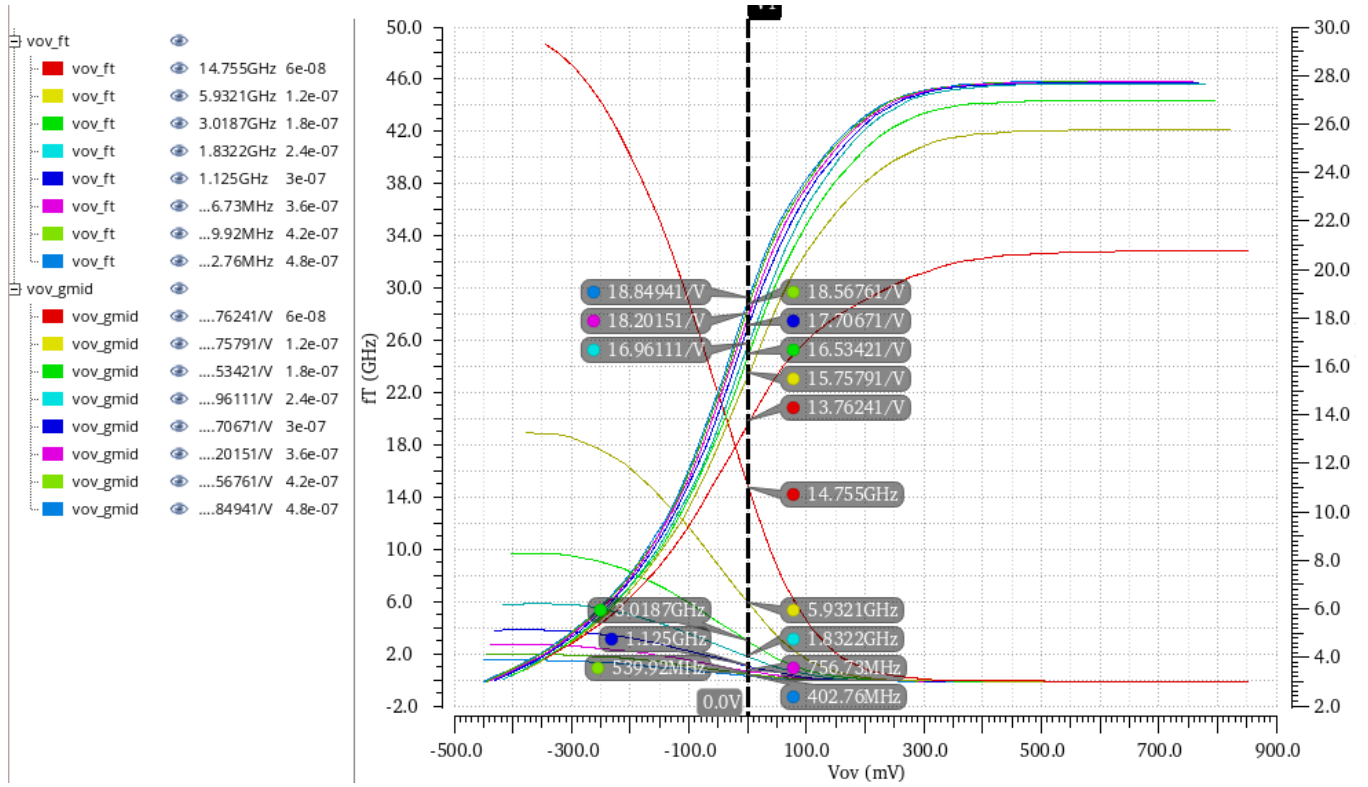
Để xác định  $L_{unit}$ , một mô phỏng quét tham số đã được thực hiện trên transistor PMOS Cascode.



Hình 21: Testbench xác định  $L_{unit}$

### Bước 1: Khảo sát khả năng đáp ứng $gm/ID$

Tiến hành quét chiều dài  $L$  từ 60nm đến 480nm với step là 60n và quan sát các thông số  $V_{ov}$  theo  $gm/ID$  và  $V_{ov}$

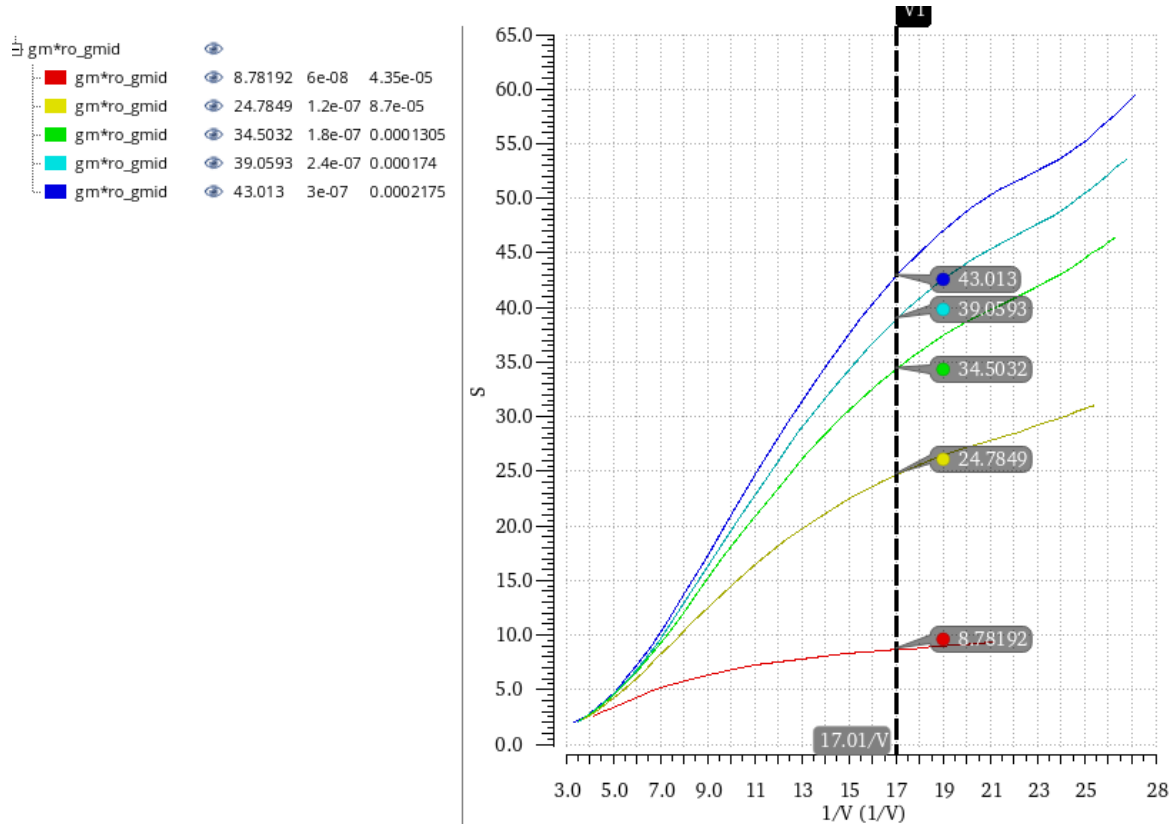


**Hình 22: Plot  $V_{ov}$  with  $f_t$  và  $V_{ov}$  with  $g_m/I_D$  of PMOS cascode**

Kết quả: Khi  $L > 240\text{nm}$ , transistor hoạt động ổn định và dễ dàng đạt được tỷ số  $g_m/I_D \sim 17$  như thiết kế ban đầu mà không bị suy giảm quá nhiều về tốc độ.

## Bước 2: Khảo sát độ lợi nội tại $gm * ro$

Tiếp tục khảo sát sự phụ thuộc của độ lợi nội tại vào chiều dài kênh dẫn để đảm bảo  $ro$  đủ.



Hình 23: Plot  $gm * ro$  with  $gm/ID$  of PMOS cascode

Kết quả:

Tại  $L = 180\text{nm}$ :  $ro \sim 40.5k\Omega$

Tại  $L = 240\text{nm}$ :  $ro \sim 45k\Omega$

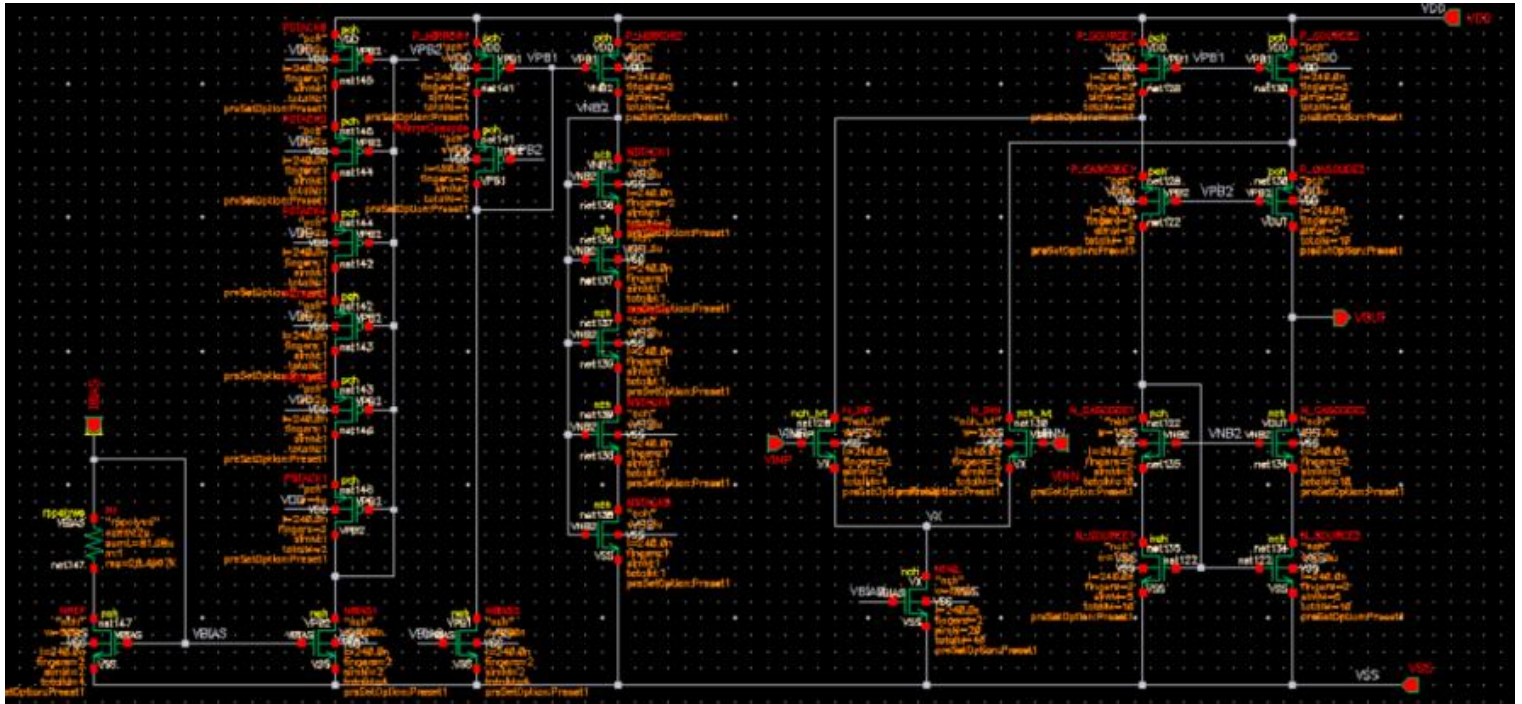
Quyết định thiết kế: Lựa chọn  $L_{unit}$ ,  $L = 240\text{nm}$  làm chiều dài cơ sở cho toàn mạch.

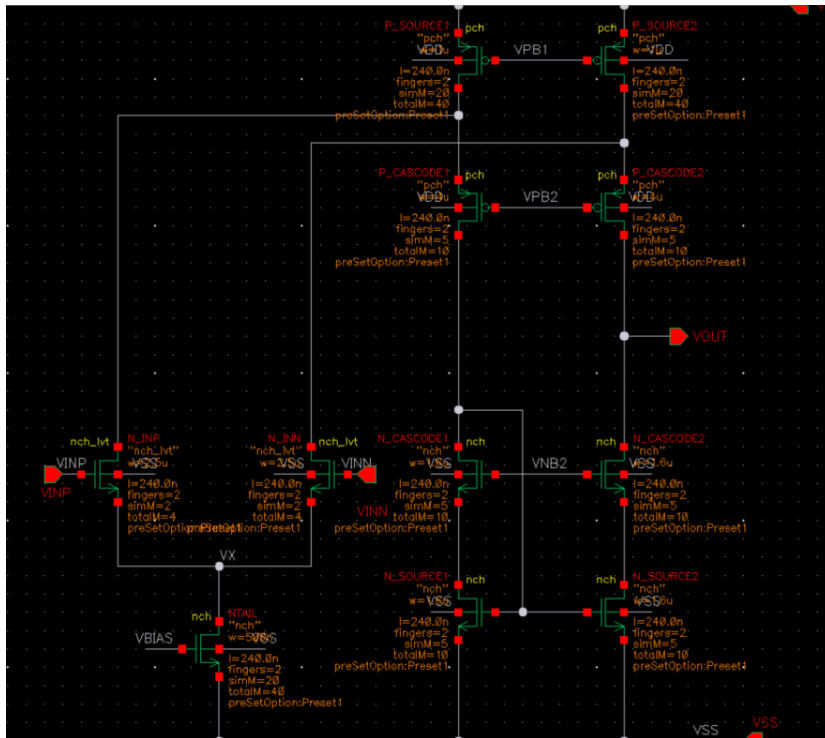
### 3.4. Kiểm tra và Mô phỏng thiết kế

Các thiết kế ban đầu được thực hiện ở Corner TTNN với nhiệt độ 85 độ, tt-lib và vdd = 1.2

#### 3.4.1 Giai đoạn 1: tầng 1 folded casode

##### 3.4.1.1. Thông số các linh kiện trên mạch schematic





**Hình 26: Mạch core folded cascode**

### **BẢNG KÍCH THƯỚC MẠCH CORE**

Tên MOS	Mục đích	Width	Length	Finger	Multiplier
N_INN N_INP	Input pair	2.5u	240n	2	2
NTAIL	Current tail	500n	240n	2	20
P_SOURCE_1 P_SOURCE_2	Current source	1u	240n	2	20
P_CASCODE_1 P_CASCODE_2	Cascode load	4u	240n	2	5

N_SOURCE_1 N_SOURCE_2	Current source	1.6u	240n	2	5
N_CASCODE_1 N_CASCODE_2	Cascode load	1.6u	240n	2	5

### **BẢNG KÍCH THƯỚC MẠCH BIAS**

Tên MOS	Mục đích	Width	Length	Finger	Multiplier
NREF	Dòng reference	500n	240n	2	2
NBIAS1 NBIAS 2	Copy current cho nhánh bias	500n	240n	2	2
PMIRROR1 PMIRROR2	Copy cho nhánh bias	1u	240n	2	2
PSTACK1	Stack tạo V bias cho P cascode	4u	240n	2	1
PSTACK 2 PSTACK 3 PSTACK 4 PSTACK 5 PSTACK 6	Stack tạo V bias cho P cascode	2u	240n	1	1



NSTACK1	Stack tạo V bias cho N cascode	1.6u	240n	2	1
NSTACK 2	Stack tạo V bias cho N cascode	1.6u	240n	1	1
NSTACK 3					
NSTACK 4					
NSTACK 5					

### 3.4.1.2. Khảo sát điểm hoạt động của các MOS (DC analysis)

Sau khi hoàn tất sơ đồ nguyên lý tầng 1, mô phỏng DC được thực hiện để kiểm tra điểm làm việc của từng transistor. Các thông số gm/ID mô phỏng được so sánh trực tiếp với giá trị thiết kế lý thuyết để đảm bảo linh kiện hoạt động đúng vùng mong muốn (Moderate Inversion).

Parameter						C0
temperature						85
toplevel.scs						tt_lib
vdd						1.2

Output	Spec	Weight	Pass/Fail	Min	Max	C0
/						
OP("/IO/N_INP" "gmoverid")	range 14 17		pass	14.81	14.81	14.81
OP("/IO/N_INN" "gmoverid")	range 14 17		pass	14.83	14.83	14.83
OP("/IO/NTAIL" "gmoverid")	range 10 14		pass	12.5	12.5	12.5
OP("/IO/P_SOURCE1" "gmoverid")	range 10 14		pass	12.48	12.48	12.48
OP("/IO/P_SOURCE2" "gmoverid")	range 10 14		pass	12.48	12.48	12.48
OP("/IO/P_CASCODE1" "gmoveri...)	range 14 17		pass	14.51	14.51	14.51
OP("/IO/P_CASCODE2" "gmoveri...)	range 14 17		pass	14.33	14.33	14.33
OP("/IO/N_SOURCE2" "gmoverid")	range 13 17		pass	13.57	13.57	13.57
OP("/IO/N_SOURCE1" "gmoverid")	range 13 17		pass	13.57	13.57	13.57
OP("/IO/N_CASCODE1" "gmoveri...)	range 13 17		pass	13.68	13.68	13.68
OP("/IO/N_CASCODE2" "gmoveri...)	range 13 17		pass	13.76	13.76	13.76

Hình 27: Khảo sát gm/ID của từng MOS

OP("/I0/N_INP" "region")				2	2	2
OP("/I0/N_INN" "region")				2	2	2
OP("/I0/NTAIL" "region")				2	2	2
OP("/I0/P_SOURCE1" "region")				2	2	2
OP("/I0/P_SOURCE2" "region")				2	2	2
OP("/I0/P_CASCADE1" "region")				2	2	2
OP("/I0/P_CASCADE2" "region")				2	2	2
OP("/I0/N_SOURCE2" "region")				2	2	2
OP("/I0/N_SOURCE1" "region")				2	2	2
OP("/I0/N_CASCADE1" "region")				2	2	2
OP("/I0/N_CASCADE2" "region")				2	2	2

**Hình 28: Khảo sát region của từng MOS**

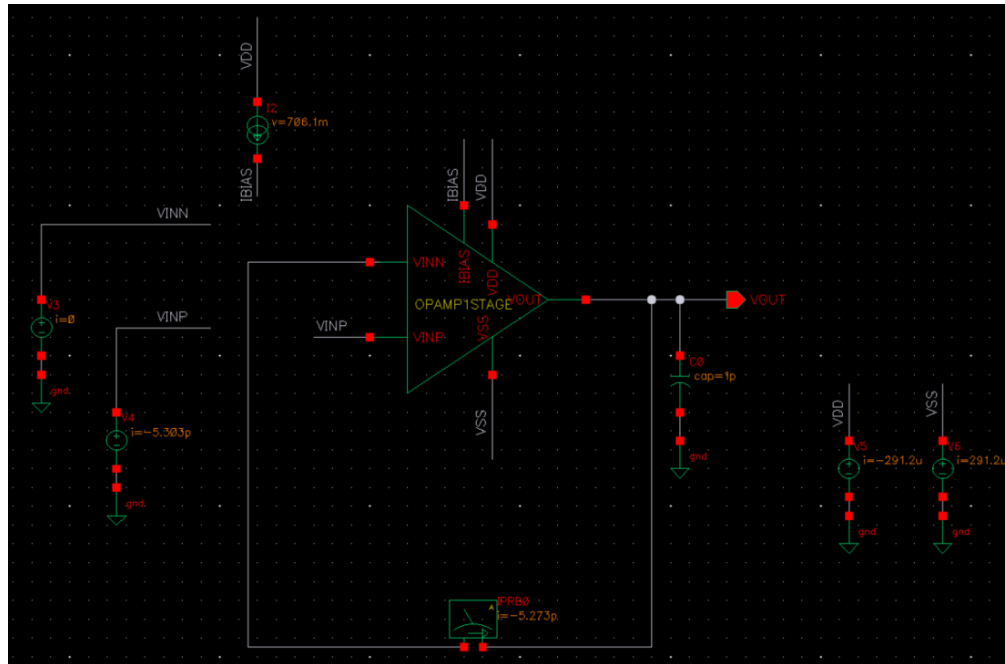
**Nhận xét:** Kết quả mô phỏng cho thấy sự tương đồng cao giữa lý thuyết và thực tế:

**Cặp vi sai đầu vào N\_INN và N\_INP:** giá trị mô phỏng đạt 14.81 S/A, xấp xỉ mức mục tiêu 15S/A. Sai số nhỏ này là chấp nhận được và đảm bảo cặp NMOS LVT đang hoạt động tối ưu giữa hiệu suất chuyển đổi năng lượng và tốc độ.

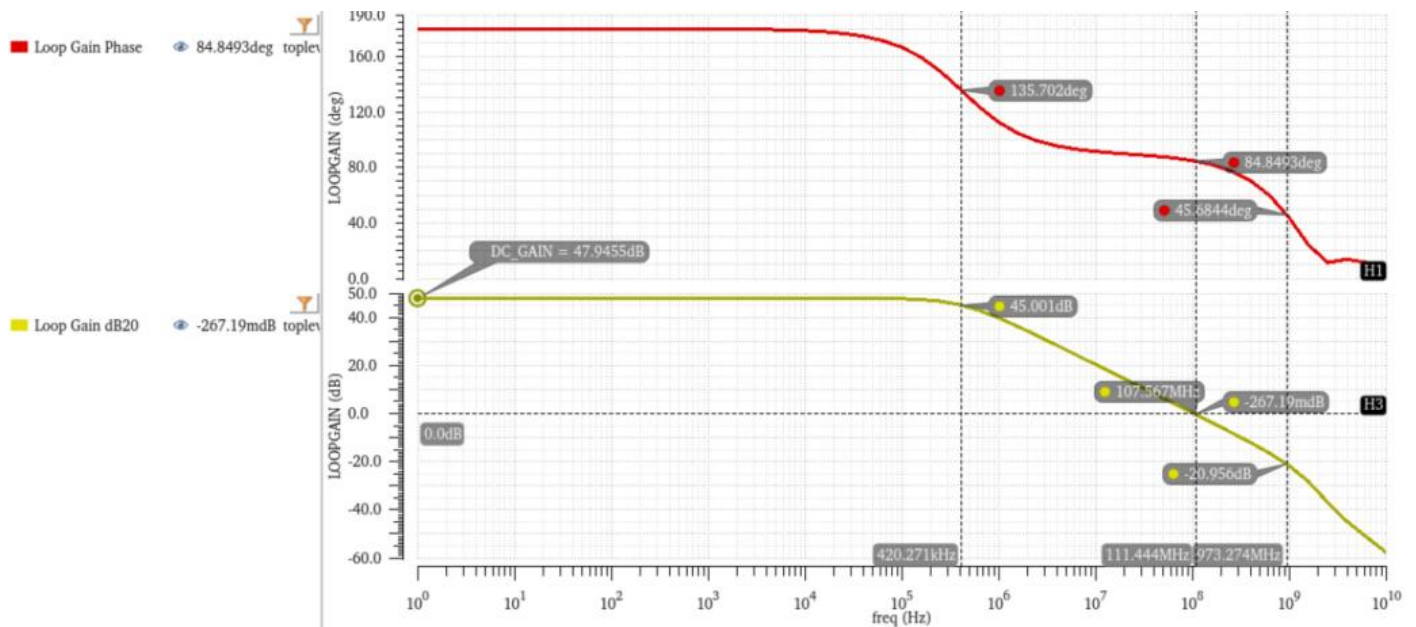
**Các nguồn dòng NTail và P\_Source:** Duy trì ở mức 12.5, nằm giữa khoảng thiết kế 10-14. Điều này xác nhận các transistor này có điện áp quá điều khiển VOV đủ lớn để đảm bảo độ chính xác ghép kênh (matching) tốt.

**Tầng Cascode N\_CASCADE và P\_CASCADE:** Cả PMOS và NMOS Cascode đều đạt mức gm/ID trên 13.5 S/A, đảm bảo trở kháng ra cao mà không đẩy transistor vào vùng triode.

## 4.2. Khảo sát Độ lợi và Pha (STB Analysis)



Hình 29: TestBench khảo sát độ lợi và pha



Hình 30: Kết quả khảo sát độ lợi và một tầng

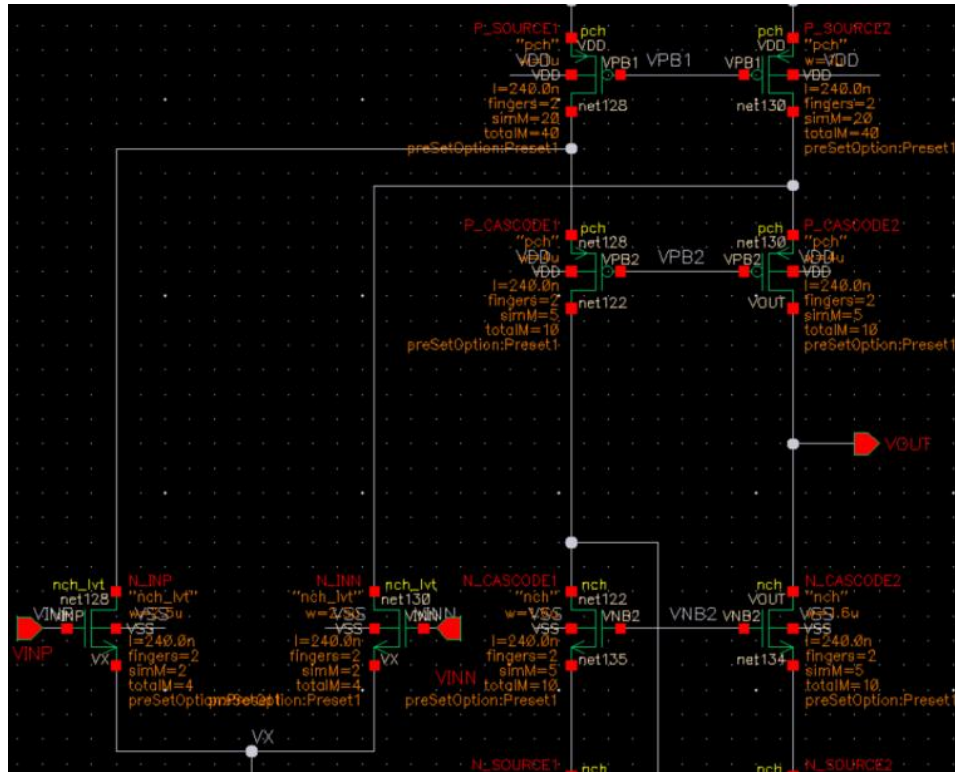
**Nhận xét:**

**Đối với độ lợi :** Kết quả mô phỏng cho thấy độ lợi vòng kín DC của tầng 1 đạt 47.95 dB. Mặc dù giá trị này thấp hơn nhẹ so với mục tiêu lý thuyết ban đầu 50 dB, nhưng hoàn toàn

chấp nhận được. Nguyên nhân chủ yếu đến từ sai lệch dòng điện qua các nhánh copy do sự chênh lệch điện áp VDS trong các mạch gương dòng điện.

**Đối với phase:** Quan sát đồ thị Bode, ngoài điểm cực chủ đạo tạo ra độ dốc -20dB/dec đầu tiên, xuất hiện một điểm gãy tần số cao tại vị trí khoảng 970 MHz. Đây chính là điểm cực không chủ đạo xuất hiện tại nút gấp– nơi kết nối giữa cực máng của cặp vi sai đầu vào, nguồn dòng đuôi và cực nguồn của transistor Cascode.

Tần số của điểm cực này được xác định bởi tổng trở kháng nhìn vào cực nguồn của transistor Cascode  $1/g_{m,cas}$  và tổng điện dung ký sinh tại nút đó, theo công thức:



Hình 31: Vị trí nút fold

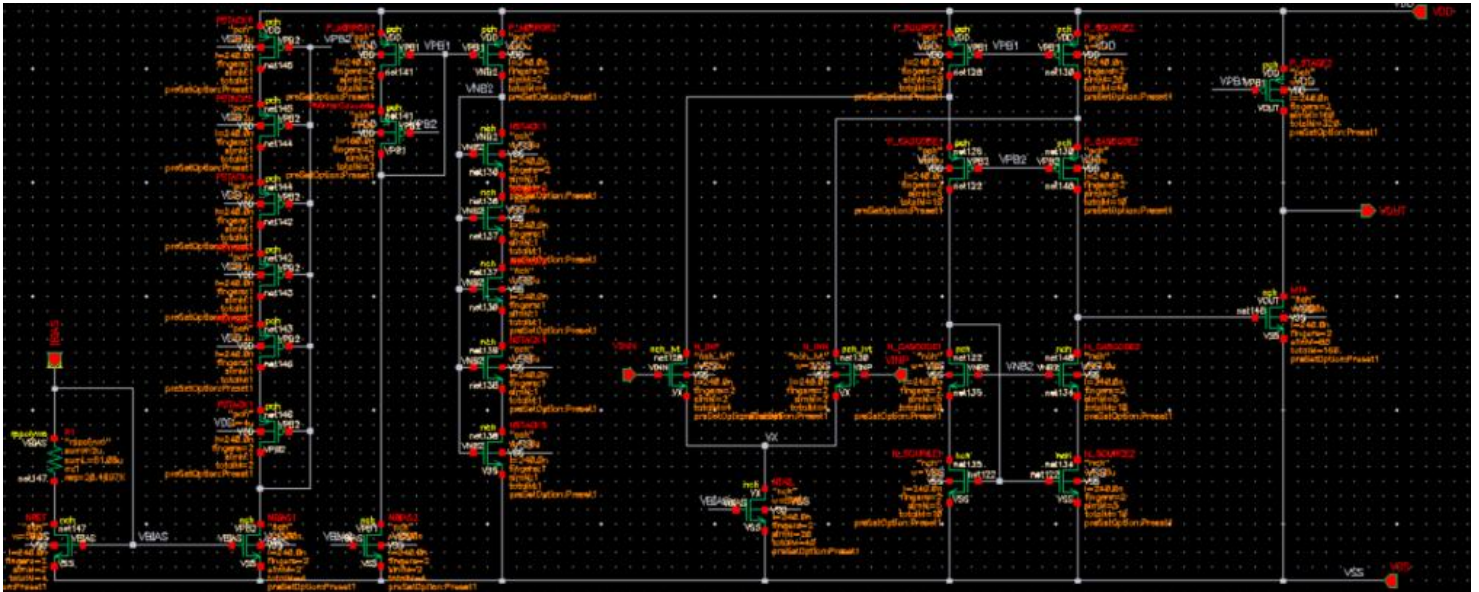
$$\omega_{pfold} \approx \frac{g_{mPcas}}{C_{par,fold}} \approx \frac{g_{mPcas}}{C_{db_{input}} + C_{gs_{cas}} + C_{sb_{cas}}}$$

Dựa trên kết quả mô phỏng, Băng thông đơn vị UGBW của mạch đạt xấp xỉ 107 MHz. Trong khi đó, điểm cực tại nút gấp nằm ở tần số 900 MHz, tức là lớn hơn gấp 8 lần so với UGBW. Theo lý thuyết ổn định Nyquist, điểm cực này nằm rất xa tần số cắt, do đó ảnh hưởng của nó lên độ dự trữ pha tại vị trí GBW là không đáng kể. Vì vậy, trong tính toán

tay và thiết kế sơ bộ, ta có thể xem xét bỏ qua điểm cực này mà vẫn đảm bảo độ chính xác của mô hình ổn định.

**Đối với phaseMargin:** Độ dự trữ pha đo được tại tần số cắt là  $PM = 84^\circ$  được chấp nhận và giữ nguyên cho phiên bản thiết kế này nhằm ưu tiên tính ổn định và độ tin cậy của mạch thay vì tối đa hóa tốc độ băng thông.

### 3.4.2. Giai đoạn 2: tầng 1 folded casode và tầng 2 common source chưa bù Miller



Hình 32: Mạch schematic mô phỏng tầng 2

#### 3.4.2.1. Thông số các linh kiện trên mạch schematic

#### BẢNG KÍCH THƯỚC MẠCH CORE

Tên MOS	Mục đích	Width	Length	Finger	Multiplier
N_INN N_INP	Input pair	2.5u	240n	2	2
NTAIL	Current tail	500n	240n	2	20
P_SOURCE_1	Current source	1u	240n	2	20

P_SOURCE_2					
P_CASCODE_1 P_CASCODE_2	Cascode load	4u	240n	2	5
N_SOURCE_1 N_SOURCE_2	Current source	1.6u	240n	2	5
N_CASCODE_1 N_CASCODE_2	Cascode load	1.6u	240n	2	5
NIN_2	Input stage 2	900n	240n	2	50
PSTAGE_2	Current source stage 2	1u	240n	2	100

### **BẢNG KÍCH THƯỚC MẠCH BIAS**



Tên MOS	Mục đích	Width	Length	Finger	Multiplier
NREF	Dòng reference	500n	240n	2	2
NBIAS1 NBIAS 2	Copy current cho nhánh bias	500n	240n	2	2
PMIRROR1 PMIRROR2	Copy cho nhánh bias	1u	240n	2	2
PSTACK1	Stack tạo V bias cho P cascode	4u	240n	2	1

PSTACK 2	Stack tạo V bias cho P cascode	2u	240n	1	1
PSTACK 3					
PSTACK 4					
PSTACK 5					
PSTACK 6					
NSTACK1	Stack tạo V bias cho N cascode	1.6u	240n	2	1
NSTACK 2	Stack tạo V bias cho N cascode	1.6u	240n	1	1
NSTACK 3					
NSTACK 4					
NSTACK 5					

#### 3.4.2.2. Khảo sát điểm hoạt động của các MOS (DC analysis)

Mô phỏng DC được thực hiện để kiểm tra điểm làm việc của từng transistor. Các thông số  $g_m/I_D$  mô phỏng được so sánh trực tiếp với giá trị thiết kế lý thuyết để đảm bảo linh kiện hoạt động đúng vùng mong muốn (Moderate Inversion).



OP("/I0/N_INP" "gmoverid")	range 14 17	pass	14.82	14.82	14.82
OP("/I0/N_INN" "gmoverid")	range 14 17	pass	14.82	14.82	14.82
OP("/I0/NTAIL" "gmoverid")	range 10 14	pass	12.5	12.5	12.5
OP("/I0/P_SOURCE1" "gmoverid")	range 10 14	pass	12.48	12.48	12.48
OP("/I0/P_SOURCE2" "gmoverid")	range 10 14	pass	12.48	12.48	12.48
OP("/I0/P_CASCADE1" "gmoverid")	range 14 17	pass	14.5	14.5	14.5
OP("/I0/P_CASCADE2" "gmoverid")	range 14 17	pass	14.47	14.47	14.47
OP("/I0/N_SOURCE2" "gmoverid")	range 13 17	pass	13.57	13.57	13.57
OP("/I0/N_SOURCE1" "gmoverid")	range 13 17	pass	13.56	13.56	13.56
OP("/I0/N_CASCADE1" "gmoverid")	range 13 17	pass	13.68	13.68	13.68
OP("/I0/N_CASCADE2" "gmoverid")	range 13 17	pass	13.7	13.7	13.7
OP("/I0/P_STAGE2" "gmoverid")	range 10 14	pass	12.43	12.43	12.43
OP("/I0/N_IN2" "gmoverid")	range 13 17	near	11.89	11.89	11.89
OP("/I0/N_CASCADE2" "region")			2	2	2
OP("/I0/N_INP" "region")			2	2	2
OP("/I0/N_INN" "region")			2	2	2
OP("/I0/NTAIL" "region")			2	2	2
OP("/I0/P_SOURCE1" "region")			2	2	2
OP("/I0/P_SOURCE2" "region")			2	2	2
OP("/I0/P_CASCADE1" "region")			2	2	2
OP("/I0/P_CASCADE2" "region")			2	2	2
OP("/I0/N_SOURCE2" "region")			2	2	2
OP("/I0/N_SOURCE1" "region")			2	2	2
OP("/I0/N_CASCADE1" "region")			2	2	2
OP("/I0/N_IN2" "region")			2	2	2
OP("/I0/P_STAGE2" "region")			2	2	2
Loop Gain Phase					
Loop Gain dB20					
Phase Margin					eval err
gml			739.5u	739.5u	739.5u
gmll			7.906m	7.906m	7.906m

**Hình 33: Khảo sát điểm hoạt động của từng MOS**

### Nhận xét:

Sau khi tích hợp tầng khuếch đại thứ hai, trạng thái DC của toàn mạch được kiểm tra lại để đảm bảo sự phối hợp trở kháng và mức điện áp giữa hai tầng:

**Tính ổn định của Tầng 1:** Các thông số của tầng đầu vào (Input Pair, Cascode, Tail) vẫn giữ nguyên trạng thái với giá trị không đổi so với giai đoạn trước. Điều này chứng tỏ tầng 2 không gây ảnh hưởng ngược làm sai lệch điểm làm việc của tầng 1.

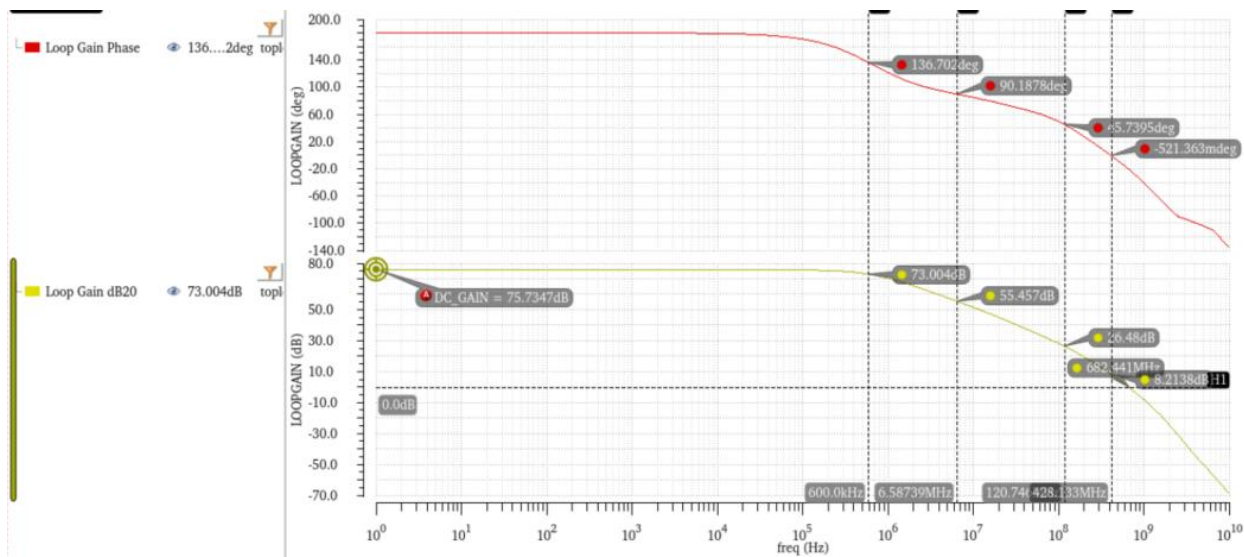


## Điểm làm việc Tầng 2:

**Nguồn dòng tải P\_STAGE2:** Giá  $gm/ID \sim 12.43 \text{ S/A}$ , nằm trong vùng mục tiêu 10-14, đảm bảo cung cấp dòng điện ổn định và trở kháng ra đủ lớn.

**Transistor đầu vào N\_IN2:** Giá trị  $gm/ID$  đạt  $11.89 \text{ S/A}$ . Tuy kết quả này thấp hơn khoảng mục tiêu 13-17, nhưng đây là sự đánh đổi hợp lý cho tầng công suất. Việc hoạt động sâu hơn vào vùng nghịch đảo mạnh giúp transistor này có khả năng dẫn dòng lớn hơn và đáp ứng tốc độ tốt hơn để kéo tải dung kháng lớn.

### 3.4.2.3. Khảo sát Độ lợi và Pha (STB Analysis)



Hình 34: Kết quả khảo sát độ lợi và hai tầng chưa bù Miller

#### Nhận xét:

**Đối với độ lợi :** Kết quả mô phỏng cho thấy độ lợi vòng kín tại tần số thấp của toàn mạch đạt mức 75.73 dB . Giá trị này hoàn toàn thỏa mãn và vượt qua chỉ tiêu kỹ thuật đề ra ban đầu cho thiết kế (yêu cầu  $A_v > 70 \text{ dB}$ ), chứng minh tầng khuếch đại công suất đang hoạt động đúng chế độ và phối hợp trở kháng tốt với tầng đầu.

**Đối với phase:** Tuy nhiên, khi khảo sát đặc tính pha, ta thấy vấn đề nghiêm trọng về tính ổn định. Quan sát đồ thị Bode, đường đặc tuyến pha suy giảm rất nhanh ngay khi tần số bắt đầu tăng. Tại vị trí tần số cắt biên độ độ dự trữ pha (Phase Margin) đo được là âm. Điều

này chỉ ra rằng hệ thống đang ở trạng thái mất ổn định. Mặc dù băng thông đơn vị hiển thị giá trị lớn, nhưng đây là băng thông "ảo" không thể khai thác trong thực tế.

Phân tích nguyên nhân: Nguyên nhân cốt lõi của hiện tượng mất ổn định này xuất phát từ đặc thù của cấu trúc Op-Amp hai tầng. Mạch tồn tại hai điểm cực chủ đạo nằm khá gần nhau trên trục tần số: điểm cực thứ nhất  $p_1$  tại ngõ ra tầng một và điểm cực thứ hai  $p_2$  tại ngõ ra tầng hai nơi chịu tải dung kháng lớn. Sự kết hợp của hai điểm cực này tạo ra độ dốc suy giảm biên độ  $-40\text{ dB/dec}$  và tích lũy độ trễ pha lên tới  $-180^\circ$  trước khi độ lợi giảm xuống  $0\text{ dB}$ .

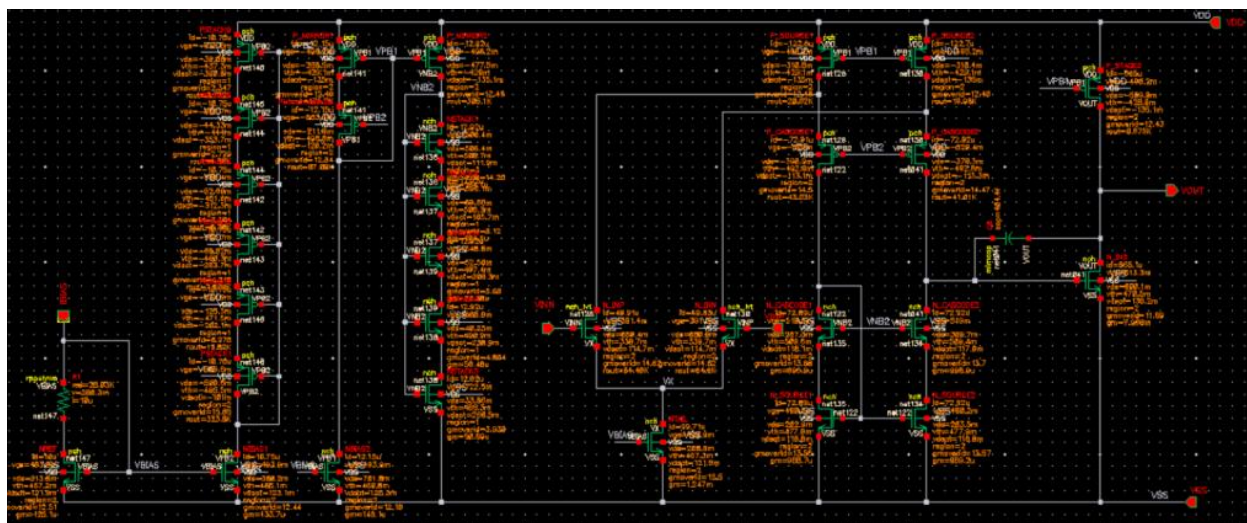
Giải pháp: Áp dụng kỹ thuật bù tần số Miller. Việc bổ sung tụ bù  $C_c$  là bắt buộc để thực hiện "tách điểm cực", nhằm đẩy  $p_1$  về tần số thấp và đẩy  $p_2$  ra xa ngoài băng thông, qua đó thiết lập lại độ dự trữ pha an toàn cho mạch.

### 3.4.3. Giai đoạn 3: tầng 1 folded casode + tầng 2 commonsource + tù bù và trở

Để khắc phục hiện tượng mất ổn định pha đã phân tích ở giai đoạn 2, thiết kế được hoàn thiện bằng cách tích hợp mạng bù tần số vào giữa tầng khuếch đại thứ nhất và tầng thứ hai.



Triển khai mạch nguyên lý:

Đầu tiên, một tụ điện bù  $C_c$  với giá trị  $400\text{ fF}$  như đã xác định trong phần tính toán lý thuyết được mắc vào mạch.



Hình 35: Mạch schematic sau khi thêm tụ bù

### 3.4.3.1. Khảo sát điểm hoạt động của các MOS (DC analysis)

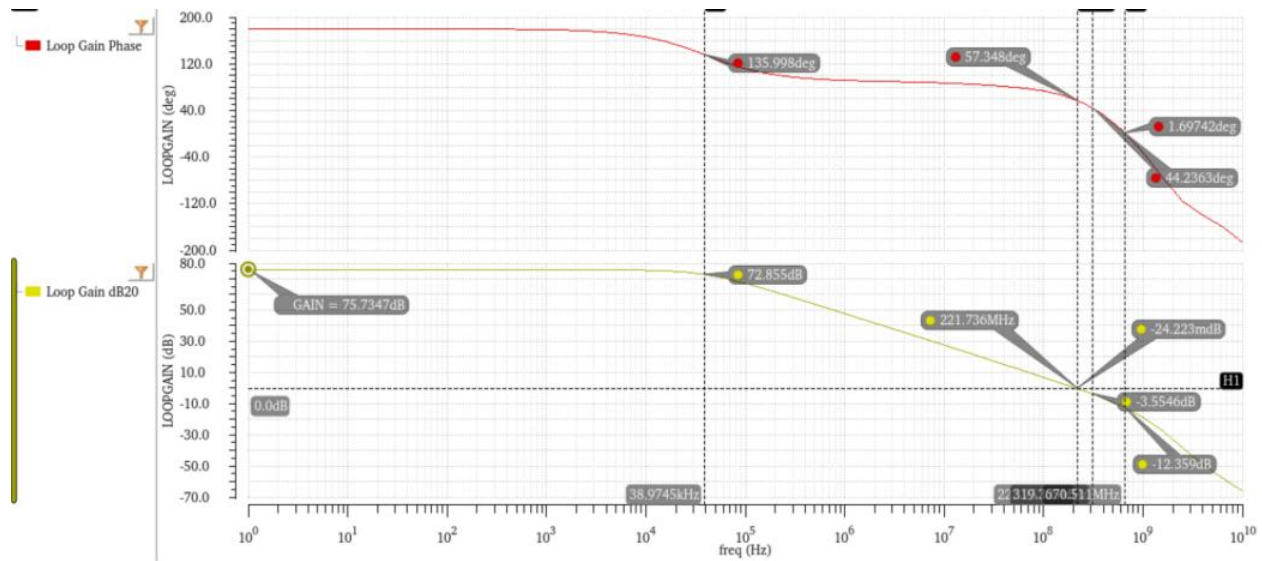
OP["/I0/N_INP" "...]	range 14 17		pass	14.82	14.82	14.82
OP["/I0/N_INN" "...]	range 14 17		pass	14.82	14.82	14.82
OP["/I0/NTAIL" "...]	range 10 14		pass	12.5	12.5	12.5
OP["/I0/P_SOUR...	range 10 14		pass	12.48	12.48	12.48
OP["/I0/P_SOUR...	range 10 14		pass	12.48	12.48	12.48
OP["/I0/P_CASC...	range 14 17		pass	14.5	14.5	14.5
OP["/I0/P_CASC...	range 14 17		pass	14.47	14.47	14.47
OP["/I0/N_SOUR...	range 13 17		pass	13.57	13.57	13.57
OP["/I0/N_SOUR...	range 13 17		pass	13.56	13.56	13.56
OP["/I0/N_CASC...	range 13 17		pass	13.68	13.68	13.68
OP["/I0/N_CASC...	range 13 17		pass	13.7	13.7	13.7
OP["/I0/P_STAG...	range 10 14		pass	12.43	12.43	12.43
OP["/I0/N_IN2" "...]	range 13 17		near	11.89	11.89	11.89
OP["/I0/N_CASC...				2	2	2
OP["/I0/N_INP" "...]				2	2	2
OP["/I0/N_INN" "...]				2	2	2
OP["/I0/NTAIL" "...]				2	2	2
OP["/I0/P_SOUR...				2	2	2
OP["/I0/P_SOUR...				2	2	2
OP["/I0/P_CASC...				2	2	2
OP["/I0/P_CASC...				2	2	2
OP["/I0/N_SOUR...				2	2	2
OP["/I0/N_SOUR...				2	2	2
OP["/I0/N_CASC...				2	2	2
OP["/I0/N_IN2" "...]				2	2	2
OP["/I0/P_STAG...				2	2	2
Loop Gain Phase						
Loop Gain dB20						
Phase Margin				57.98	57.98	57.98
gmI				739.5u	739.5u	739.5u
gmII				7.906m	7.906m	7.906m

Hình 36: Khảo sát điểm hoạt động của từng MOS giai đoạn 3

#### Nhận xét:

Sau khi thêm tụ bù, trạng thái DC của toàn mạch không thay đổi

### 3.4.3.2. Khảo sát Độ lợi và Pha (STB Analysis)



**Hình 37: Kết quả khảo sát độ lợi và hai tầng có bù Miller**

### Nhận xét:

**Đối với độ lợi :** Kết quả mô phỏng cho thấy độ lợi vòng kín tại tần số thấp của toàn mạch đạt mức 75.73 dB . Không thay đổi so với giai đoạn 2

**Đối với UGBW:** Tác động của tụ bù Miller lên băng thông của mạch được thể hiện rất rõ rệt. Băng thông đơn vị UGBW đã giảm từ mức "ảo" 682mHz xuống còn 221.7 MHz. Sự sụt giảm này là minh chứng cho thấy hiệu ứng tách cực (Pole Splitting) đã hoạt động hiệu quả: tụ  $C_c$  được khuếch đại bởi độ lợi tầng 2 đã tạo ra dung kháng đầu vào lớn, kéo điểm cực chủ đạo  $p_1$  về tần số thấp. Điều này giúp đường đặc tuyến biên độ có độ dốc 20db/dec chủ đạo sớm hơn, cho phép người thiết kế kiểm soát được băng thông của hệ thống thay vì để nó phụ thuộc hoàn toàn vào các tham số ký sinh không xác định.

**Đối với pha:** Sau khi thêm tụ bù Miller, độ dự trữ pha (Phase Margin) tại tần số cắt 221.7 MHz đã tăng vọt từ mức âm lên  $56.86^\circ$

**Kết luận:** Mặc dù PhaseMargin và UGBW đã khá cải thiện, nhưng nó vẫn chưa đạt specification.

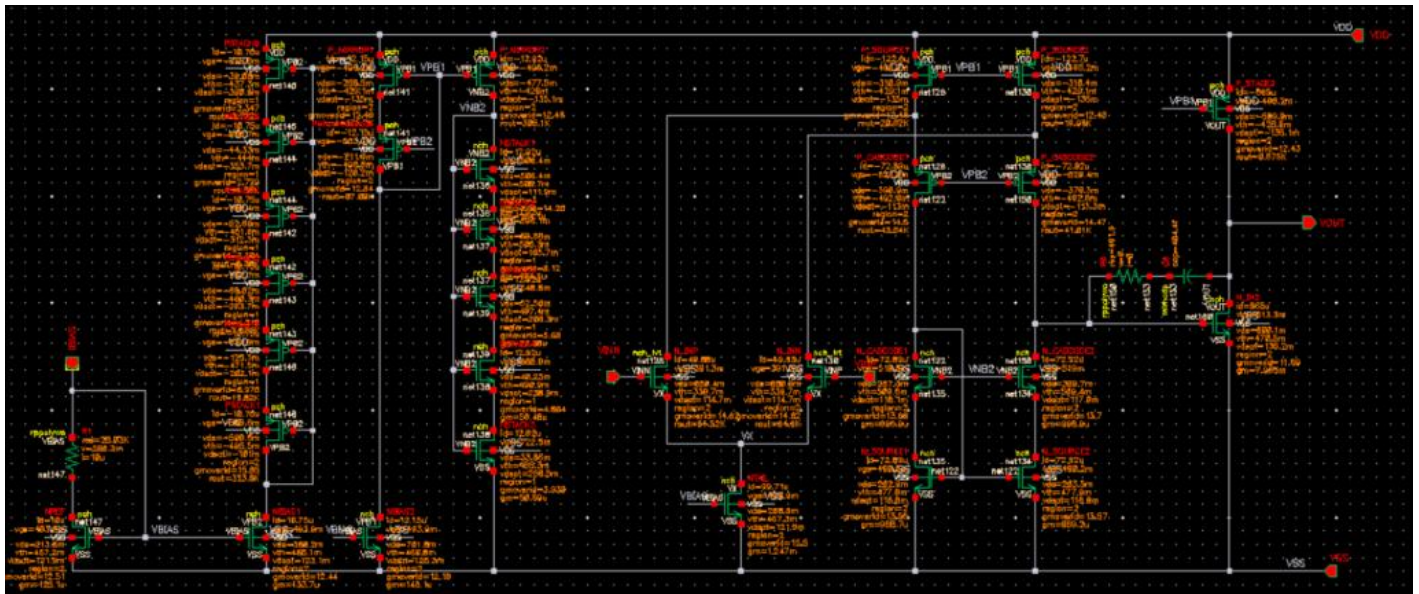
**Phương pháp cải thiện:** Dựa vào đồ thị Bode, điểm zero nằm bên phải mặt phẳng phức vẫn tồn tại. Dù nằm ở tần số cao, nhưng nó vẫn gây ra một lượng trễ pha nhất định, kéo



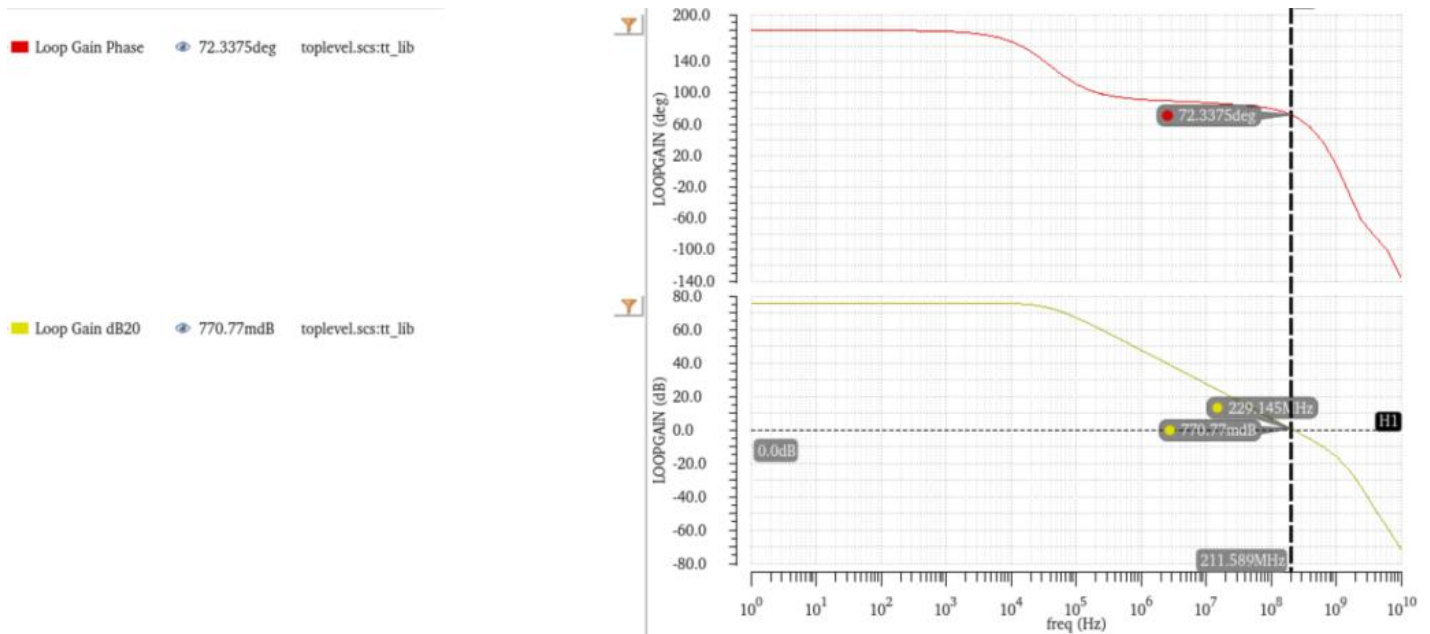
PM giảm mạnh xuống dưới mức 60 độ. Do đó, ta cần bổ sung điện trở triệt tiêu điểm không Rz để loại bỏ ảnh hưởng tiêu cực của điểm RHP Zero

Ta đặt điểm zero trùng điểm cực không chủ đạo p2 để chúng triệt tiêu nhau. Điều này giúp đáp ứng tần số phẳng hơn và PM cao hơn.

$$R_z = \left( \frac{C_c + C_{II}}{C_c} \right) \left( \frac{1}{g_{mII}} \right) \approx 500\Omega$$



Hình 38: Mạch schematic sau khi thêm tụ bù và trở



**Hình 39: Kết quả khảo sát độ lợi và pha hai tầng có bù Miller và trở nulling resistor**

#### **Nhận xét:**

**Đối với độ lợi :** Kết quả mô phỏng cho thấy độ lợi vòng kín tại tần số thấp của toàn mạch đạt mức 75.73 dB . Không thay đổi so với giai đoạn 2

**Đối với UGBW:** Tác động của trở nulling lên băng thông của mạch tăng nhưng không nhiều. UGBW tăng từ 221.7 MHz lên 229MHz

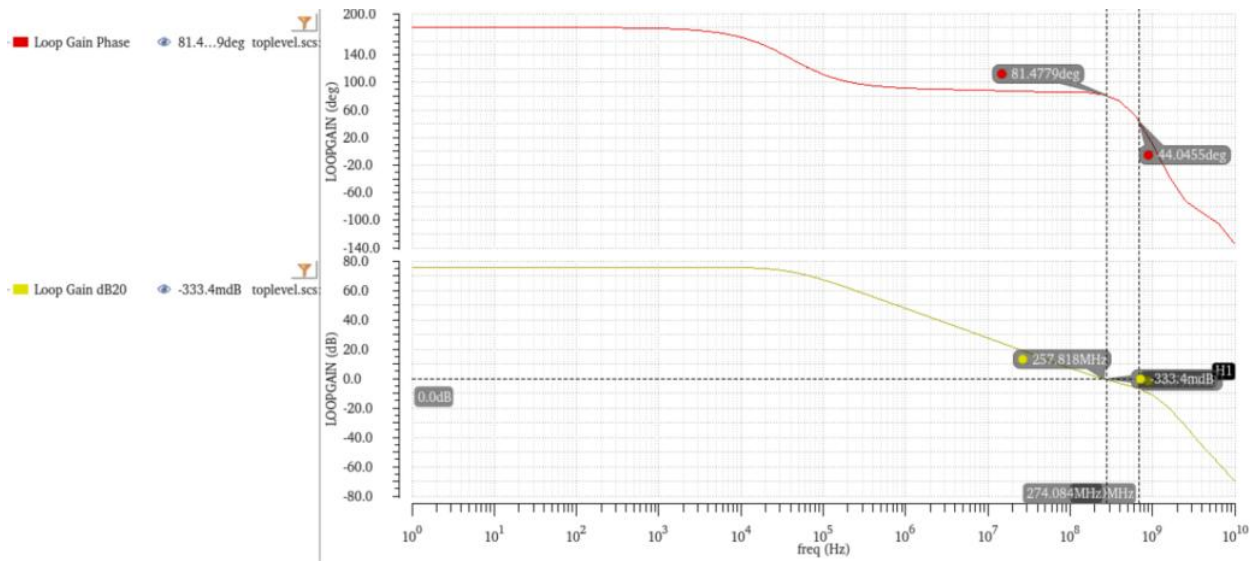
**Đối với pha:** Sau khi thêm trở nulling, độ dự trữ pha (Phase Margin) tại tần số cắt 221.7 MHz đã tăng nhiều từ 61° xuống lên 71°

**Kết luận:** Mặc dù PhaseMargin khá cải thiện, nhưng UGBW chưa đạt được specifications

#### **3.4.2.2. Phương án cải thiện**

##### **Phương án 1: Tăng Rz**

Thử tăng R từ 500Ω đến 1k



**Hình 40: Kết quả khảo sát độ lợi và hai tầng phương án 1**

#### Nhận xét:

**Đối với UGBW:** Tác động của trở nulling lên băng thông của mạch tăng nhưng không nhiều. UGBW tăng từ 221.7 MHz lên 257MHz

**Đối với pha:** Sau khi tăng trở nulling, độ dự trữ pha (Phase Margin) tại tần đã tăng nhiều từ 61° lên 89°. Tuy nhiên đồ thị phase có dấu hiệu bị cong lên, do zero đã được dịch lại tần số thấp hơn so với p2 nên đây không được xem là PhaseMargin chính xác

**Kết luận:** Phương án 1 mặc dù rất khả thi nhưng chưa thật sự hiệu quả

#### Phương án 2: Tăng gm2, giảm Cc

##### Nguyên nhân:

**Mở rộng Băng thông:** Theo lý thuyết  $UGBW \propto 2\pi \cdot C_c$  việc giảm  $C_c$  là biện pháp trực tiếp nhất để tăng băng thông đơn vị từ mức thiếu hụt 221MHz lên vượt chỉ tiêu.

**Đảm bảo độ ổn định:** Tuy nhiên, khi băng thông mở rộng, điểm cực không chủ đạo ( $\omega_{p2}$ ) sẽ gây ảnh hưởng sớm hơn đến pha của hệ thống. Việc tăng mạnh gm2 (thông qua tăng dòng điện tầng 2) là bắt buộc để đẩy p2 về phía tần số cao hơn, đảm bảo khoảng cách an toàn so với GBW mới, từ đó duy trì độ dự trữ pha (Phase Margin) ổn định ở mức 60°

**Các tham số điều chỉnh:**

Hỗ dẫn tầng 2 gm2: Tăng từ 7.5mS lên 11mS.

Tụ bù Miller Cc: Giảm từ 400fF xuống 270fF.

Điện trở triệt tiêu điểm không Rz: Thiết lập giá trị 500  $\Omega$

**BẢNG KÍCH THUỐC MẠCH CORE**

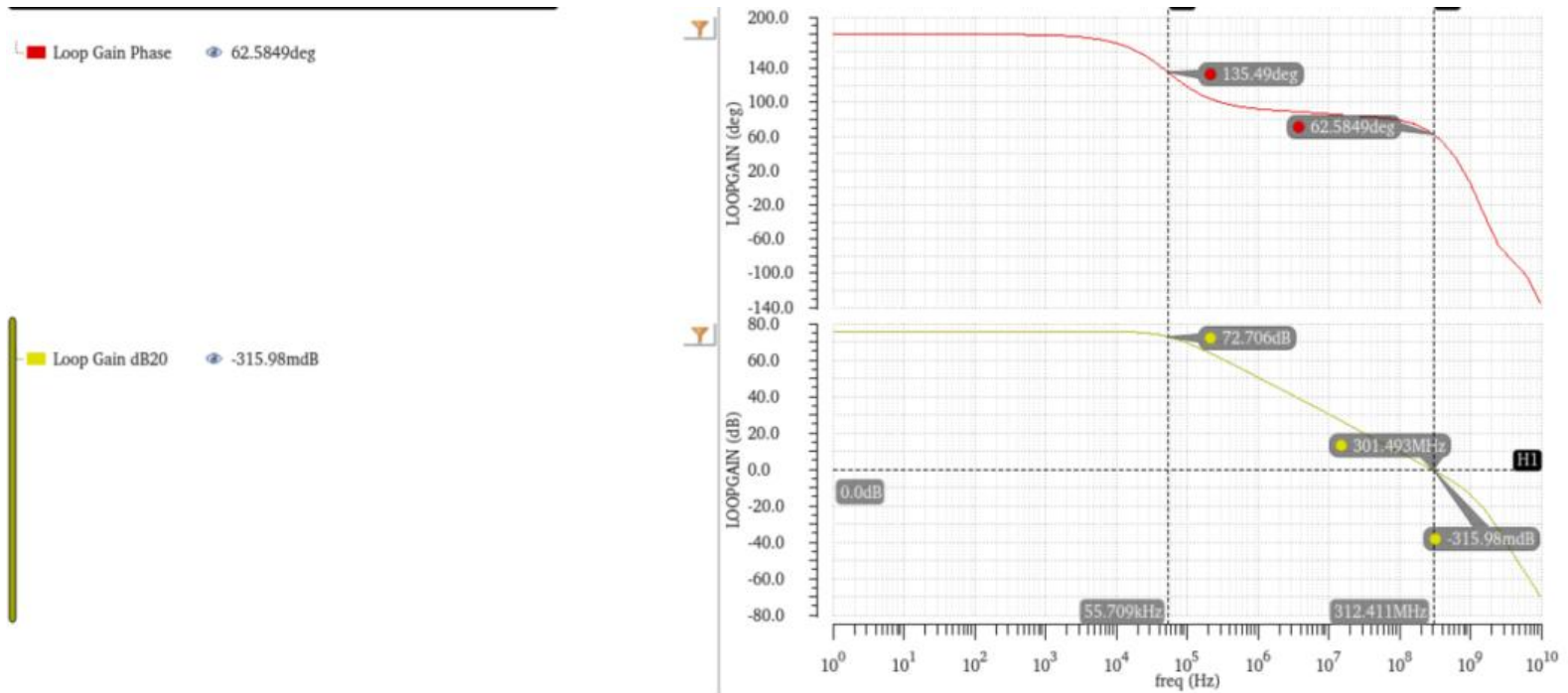
Tên MOS	Mục đích	Width	Length	Finger	Multiplier
N_INN N_INP	Input pair	2.5u	240n	2	2
NTAIL	Current tail	500n	240n	2	20
P_SOURCE_1 P_SOURCE_2	Current source	1u	240n	2	20
P_CASCODE_1 P_CASCODE_2	Cascode load	4u	240n	2	5
N_SOURCE_1 N_SOURCE_2	Current source	1.6u	240n	2	5
N_CASCODE_1 N_CASCODE_2	Cascode load	1.6u	240n	2	5
NIN_2	Input stage 2	900n	240n	2	80
PSTAGE_2	Current source stage 2	1u	240n	2	160



## BẢNG KÍCH THƯỚC MẠCH BIAS

Tên MOS	Mục đích	Width	Length	Finger	Multiplier
NREF	Dòng reference	500n	240n	2	2
NBIAS1 NBIAS 2	Copy current cho nhánh bias	500n	240n	2	2
PMIRROR1 PMIRROR2	Copy cho nhánh bias	1u	240n	2	2
PSTACK1	Stack tạo V bias cho P cascode	4u	240n	2	1
PSTACK 2 PSTACK 3 PSTACK 4 PSTACK 5 PSTACK 6	Stack tạo V bias cho P cascode	2u	240n	1	1
NSTACK1	Stack tạo V bias cho N cascode	1.6u	240n	2	1
NSTACK 2 NSTACK 3 NSTACK 4	Stack tạo V bias cho N cascode	1.6u	240n	1	1

NSTACK 5					
----------	--	--	--	--	--



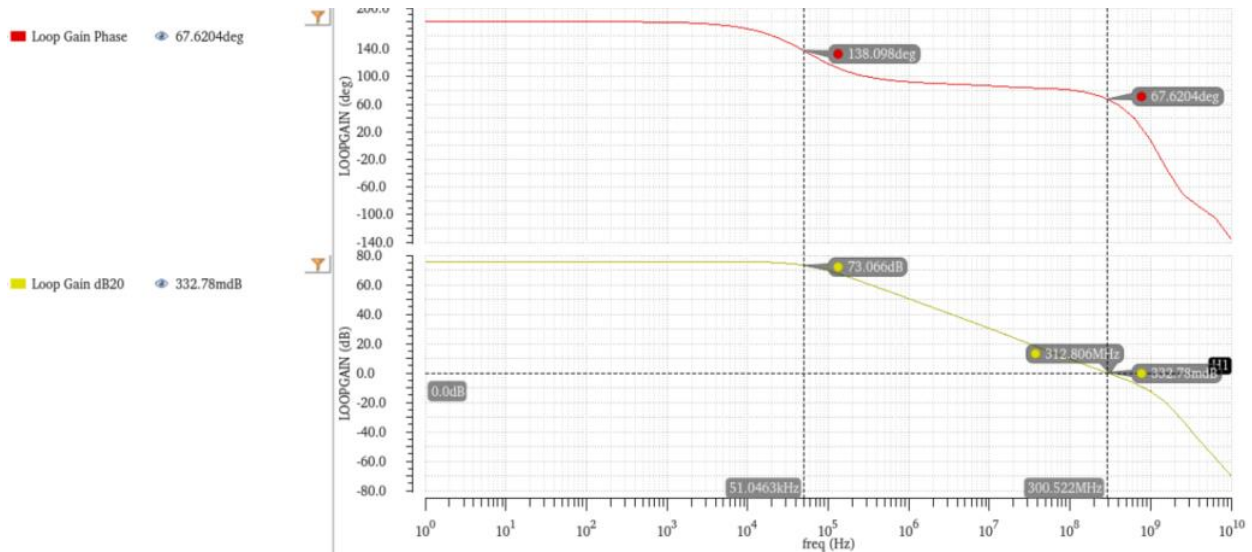
**Hình 41: Kết quả khảo sát độ lợi và hai tầng có bù Miller phương án 2 (1)**

### **Nhận xét:**

**Đối với UGBW :** Sau khi áp dụng chiến lược tối ưu hóa bằng cách giảm tụ bù  $C_c$  xuống 250fF và tăng hồ dẫn  $gm_2$  lên 11mS, kết quả mô phỏng cho thấy sự cải thiện vượt bậc về tốc độ đáp ứng của mạch. Băng thông đơn vị (UGBW) đo được đạt 301.5 MHz, chính thức vượt qua chỉ tiêu kỹ thuật đề ra ban đầu ( $> 300\text{MHz}$ ). So với giai đoạn trước tối ưu hóa (chỉ đạt 221 MHz), băng thông đã được mở rộng thêm khoảng 36%. Điều này khẳng định tính đúng đắn của việc giảm giá trị tụ bù Miller, giúp đẩy điểm cực chủ đạo về phía tần số cao hơn, qua đó mở rộng băng thông vòng hở một cách hiệu quả mà vẫn nằm trong tầm kiểm soát của người thiết kế.

**Đối với pha:** Có sự giảm nhẹ so với giai đoạn 2, nhưng vẫn đạt được specification

Tuy nhiên giá trị UGBW chưa được an toàn để ta có thể tiến hành thực hiện PVT, nên ta thử tăng  $R_z$  lên để UGBW an toàn hơn một chút  $R_z = 1k\Omega$



**Hình 42: Kết quả khảo sát độ lợi và hai tầng có bù Miller phương án 2 (2)**

BW	> 300M		pass	312.8M	312.8M	312.8M
POWER	< 2m		pass	1.614m	1.614m	1.614m
GAIN	> 70		pass	75.73	75.73	75.73
Phase Margin	> 60		pass	67.4	67.4	67.4

**Hình 43: Kết quả phương án 2 (2)**

**Nhận xét:** Các thông số đều đạt yêu cầu

### 3.5. Thực hiện khảo sát PVT

#### 3.5.1. Mục đích và Phạm vi khảo sát

##### 3.5.1.1. Mục đích khảo sát

Trong thực tế sản xuất vi mạch các tham số của transistor (như điện áp ngưỡng  $V_{TH}$ , độ linh động, độ dày oxit) luôn có sự sai lệch nhất định so với tính toán lý thuyết do các hạn chế về công nghệ quang khắc và cấy ion. Bên cạnh đó, điều kiện vận hành thực tế (nguồn cung cấp, nhiệt độ môi trường) cũng hiếm khi ổn định ở mức lý tưởng.

Do đó, việc mô phỏng tại điều kiện chuẩn là chưa đủ để khẳng định tính khả thi của thiết kế. Mục đích của phần khảo sát này là kiểm chứng độ bền vững của mạch khuếch đại trước các biến thiên tổng hợp của Quy trình công nghệ (Process), Điện áp (Voltage) và Nhiệt độ (Temperature) - gọi tắt là phân tích PVT Corners. Điều này nhằm đảm bảo mạch vẫn đạt hoặc nằm trong sai số chấp nhận được của các chỉ tiêu kỹ thuật (Specs) ngay cả trong trường hợp xấu nhất (Worst-case).

### 3.5.1.1. Phạm vi khảo sát

Model file	TT,FF,FS,SF,SS
Temperature	N (85°C), H(125°C), L(-40°C)
Vdd	1.2V ±10%

### 3.5.2. Kết quả mô phỏng

#### TH1: Xét giá trị trở và tụ lí tưởng

C0_0	C0_1	C0_2	C0_3	C0_4	C0_5	C0_6	C0_7	C0_8	C1_0
-40	85	125	-40	85	125	-40	85	125	-40
tt_lib	tt_lib	tt_lib	tt_lib	tt_lib	tt_lib	tt_lib	tt_lib	tt_lib	ff_lib
1.08	1.08	1.08	1.2	1.2	1.2	1.32	1.32	1.32	1.08
C0_0	C0_1	C0_2	C0_3	C0_4	C0_5	C0_6	C0_7	C0_8	C1_0
1.316m	1.309m	1.323m	1.577m	1.539m	1.55m	1.857m	1.782m	1.789m	1.381m
63.88	63.94	64.03	65.93	65.4	65.37	67.76	66.73	66.59	64.29
479.8M	355.4M	334.8M	495.4M	362.5M	341.8M	508.2M	367.9M	347M	506.9M
75.11	73.91	72.9	76.92	76.03	75.08	77.68	76.71	75.72	75.03

Hình 44: PVT với conner TT

C1_0	C1_1	C1_2	C1_3	C1_4	C1_5	C1_6	C1_7	C1_8
-40	85	125	-40	85	125	-40	85	125
ff_lib	ff_lib	ff_lib	ff_lib	ff_lib	ff_lib	ff_lib	ff_lib	ff_lib
1.08	1.08	1.08	1.2	1.2	1.2	1.32	1.32	1.32
C1_0	C1_1	C1_2	C1_3	C1_4	C1_5	C1_6	C1_7	C1_8
1.381m	1.381m	1.414m	1.656m	1.626m	1.659m	1.952m	1.886m	1.918m
64.29	65.04	65.14	66.29	66.47	66.44	68.09	67.77	67.64
506.9M	371.2M	353.9M	523M	378.1M	360.8M	536.2M	383.5M	366M
75.03	73.52	71.96	76.28	74.86	73.25	76.87	75.31	73.58

Hình 45: PVT với conner FF

C2_0	C2_1	C2_2	C2_3	C2_4	C2_5	C2_6	C2_7	C2_8
-40	85	125	-40	85	125	-40	85	125
fs_lib	fs_lib	fs_lib	fs_lib	fs_lib	fs_lib	fs_lib	fs_lib	fs_lib
1.08	1.08	1.08	1.2	1.2	1.2	1.32	1.32	1.32
C2_0	C2_1	C2_2	C2_3	C2_4	C2_5	C2_6	C2_7	C2_8
1.318m	1.315m	1.335m	1.579m	1.545m	1.564m	1.86m	1.79m	1.805m
62.5	63.39	63.53	64.58	64.85	64.87	66.43	66.2	66.11
499.8M	365.6M	346M	516.1M	372.8M	353.1M	529.7M	378.4M	358.5M
76.43	75.3	74.04	77.86	76.94	75.67	78.49	77.45	76.1

**Hình 46: PVT với conner FS**

C3_0	C3_1	C3_2	C3_3	C3_4	C3_5	C3_6	C3_7	C3_8
-40	85	125	-40	85	125	-40	85	125
sf_lib	sf_lib	sf_lib	sf_lib	sf_lib	sf_lib	sf_lib	sf_lib	sf_lib
1.08	1.08	1.08	1.2	1.2	1.2	1.32	1.32	1.32
C3_0	C3_1	C3_2	C3_3	C3_4	C3_5	C3_6	C3_7	C3_8
1.312m	1.306m	1.318m	1.572m	1.536m	1.545m	1.85m	1.779m	1.784m
65.29	64.53	64.54	67.32	65.98	65.88	69.1	67.28	67.08
456.2M	344M	323.5M	471.3M	351.1M	330.5M	483.2M	356.5M	335.6M
73.61	72.1	71.11	75.95	74.87	73.97	76.88	75.75	74.84

**Hình 47: PVT với conner SF**

**Nhận xét:**

**Đầu tiên ta xét ảnh hưởng của Process đến hiệu năng toàn mạch**

Similarity		Corner	GAIN	UGBW	PhaseMargin	Power
VDD = 1.08 V	Temperature = -40	TTLL	75.11	479.8M	63.88	1.316m
		FFLL	75.03	506.9M	64.29	1.381m
		FSLL	76.43	499.8M	62.5	1.318m

		SFLL	73.61	456.2M	65.29	1.312
		SSLL	74.37	450.2M	63.5	1.259m

Xét các corner có cùng VDD và nhiệt độ, chẳng hạn ở đây VDD = 1.08, Temperature = -40

Ta có nhận xét như sau

### 1. Góc TT (Typical-Typical)

Đây là trường hợp "trung bình", đại diện cho đa số các chip được sản xuất ra. Các thông số như độ dày lớp oxit, nồng độ pha tạp và điện áp ngưỡng đều nằm ở giá trị danh định. Kết quả này dùng làm mốc để so sánh xem các trường hợp khác bị lệch đi bao nhiêu.

### 2. Góc FF (Fast-Fast)

UGBW cao nhất 506.9 MHz, Dòng tiêu thụ cao nhất 1.381 mA

Nguyên nhân: Ở góc này, cả NMOS và PMOS đều thuộc loại "Fast" thường do lớp oxit mỏng hoặc nồng độ pha tạp thấp, dẫn đến điện áp ngưỡng VTH nhỏ hơn bình thường. VTH nhỏ giúp transistor dẫn điện mạnh hơn, làm tăng dòng điện ID. Dòng điện tăng dẫn đến độ dẫn gm tăng, từ đó đẩy Băng thông UGBW lên mức cao nhất. Tuy nhiên, cái giá phải trả là công suất tiêu thụ lớn nhất.

### 3. Góc SS (Slow-Slow)

UGBW thấp nhất 450.2 MHz, Dòng tiêu thụ thấp nhất 1.259 mA

Nguyên nhân: Trái ngược với FF, ở góc này các transistor có VTH cao và độ linh động hạt dẫn thấp (do sai số quy trình làm lớp oxit dày hơn hoặc pha tạp cao hơn). Transistor trở nên khó dẫn điện, làm dòng ID giảm xuống mức thấp nhất. Khi dòng giảm, gm giảm theo, kéo băng thông giảm.

#### **4. Góc FS (Fast NMOS - Slow PMOS)**

Độ lợi cao nhất 76.43 dB, Phase Margin thấp nhất 62.5 độ.

Nguyên nhân: NMOS làm tăng vào và PMOS làm tải. Khi NMOS Fast giúp tạo ra độ hỗ dẫn gm lớn. PMOS Slow Transistor "chậm" thường có kênh dẫn dài hơn hoặc ít dẫn hơn, tạo ra điện trở đầu ra ro rất lớn. Vì độ lợi  $A = g_m \cdot r_o$  khiến độ lợi tăng vọt lên mức cao nhất.

Tuy nhiên, sự chênh lệch tốc độ giữa tăng vào (nhanh) và tăng ra (chậm) làm điểm cực di chuyển lệch lạc, khiến độ dự trữ pha bị giảm xuống thấp nhất.

Góc SF (Slow NMOS - Fast PMOS) – Trạng thái "Lệch pha làm giảm Gain"

#### **5. Góc SF (Slow NMOS - Fast PMOS)**

Độ lợi thấp nhất 73.61 dB

Nguyên nhân Ngược lại với trường hợp trên. NMOS Slow làm giảm gm khả năng khuếch đại yếu. PMOS Fast Transistor tải dẫn tốt làm giảm điện trở đầu ra ro. Kết hợp gm nhỏ và ro nhỏ dẫn đến độ lợi bị sụt giảm. Đây là trường hợp xấu nhất (Worst-case) để kiểm tra xem mạch có đạt chỉ tiêu về Gain hay không.

## Tiếp theo ta xét ảnh hưởng của nhiệt độ đến hiệu năng toàn mạch

Ta lấy một vài trường hợp làm ví dụ

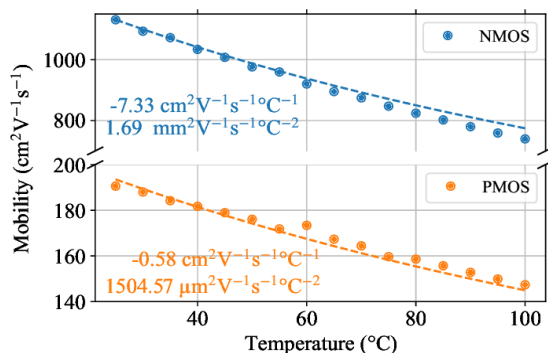
Similarity		Conner	GAIN	UGBW	PhaseMargin	Power
Corner = TT	VDD = 1.32V	TTHL	77.68	508.2M	67.76	1.857m
		TTHN	76.71	367.9M	66.73	1.782m
		TTHH	75.72	347M	66.59	1.789m

Xét các trường hợp TTHX

### 1. Nhiệt độ thấp ( $-40^{\circ}\text{C}$ )

Bảng thông đạt mức rất cao: 508.2 MHz., Độ lợi: 77.68 dB., Độ dự trữ pha: 67.76 độ.

Giải thích:



**Hình 48: Ảnh hưởng của nhiệt độ đến độ linh động hạt dẫn**

Ở nhiệt độ thấp, các dao động nhiệt của mạng tinh thể bán dẫn giảm xuống mức tối thiểu. Điều này giúp cho các hạt dẫn điện di chuyển dễ dàng mà không bị va chạm hay tán xạ nhiều. Hệ quả là độ linh động của hạt dẫn đạt giá trị cực đại, làm tăng độ hỗ dẫn gm của



transistor. Vì băng thông tỉ lệ thuận với gm, mạch hoạt động với tốc độ nhanh nhất tại điều kiện này. Đây là trạng thái lý tưởng về mặt vật lý cho tốc độ xử lý.

## 2. Nhiệt độ cao (125°C)

Băng thông giảm mạnh xuống: 347 MHz, độ lợi giảm nhẹ xuống: 75.72 dB, độ dự trữ pha: 66.59 độ.

Giải thích:

Khi nhiệt độ tăng lên 125°C, các nguyên tử trong mạng tinh thể dao động mạnh, gây cản trở dòng di chuyển của hạt dẫn. Hiện tượng này gọi là tán xạ mạng tinh thể, làm giảm đáng kể độ linh động  $\mu$ . Khi độ linh động giảm, khả năng điều khiển dòng điện của transistor yếu đi, kéo theo sự sụt giảm của băng thông từ hơn 500 MHz xuống còn 347 MHz. Độ lợi cũng bị giảm theo nhưng ít nghiêm trọng hơn. Đây là điều kiện làm việc khắc nghiệt nhất mà mạch phải vượt qua để đảm bảo không bị lỗi trong môi trường thực tế nóng bức.

**Tiếp theo ta xét ảnh hưởng của điện áp đến hiệu năng toàn mạch**

Ta lấy một vài trường hợp làm ví dụ

Similarity		Conner	GAIN	UGBW	PhaseMargin	Power
Corner = FF	Temperature = 125	FFLH	71.96	353.9M	65.14	1.414m
		FFNH	73.25	360.8M	66.44	1.659m
		FFHH	73.58	366M	67.64	1.918m

## 1. Điện áp thấp (1.08V)

Dòng điện tiêu thụ: 1.414 mA (Thấp nhất)

Băng thông: 353.9 MHz.

Độ lợi: 71.96 dB.

Giải thích:

Tại mức điện áp 1.08V, mạch hoạt động với khoảng dự trữ điện áp thấp nhất. Các transistor xếp chồng trong cấu trúc cascode chịu áp lực lớn để duy trì trạng thái bão hòa, khiến dòng điện phân cực giảm xuống mức tối thiểu. Điều này giúp mạch tiết kiệm năng lượng đáng kể (thấp hơn khoảng 35% so với mức áp cao). Tuy nhiên, do dòng điện giảm, độ hỗ dẫn gm cũng giảm theo, kéo theo sự sụt giảm nhẹ về băng thông và độ lợi. Đây là điểm làm việc biên dưới, nơi mạch dễ bị tổn thương nhất bởi nhiễu nhưng lại hiệu quả nhất về mặt năng lượng.

## 2. Điện áp cao (1.32V)

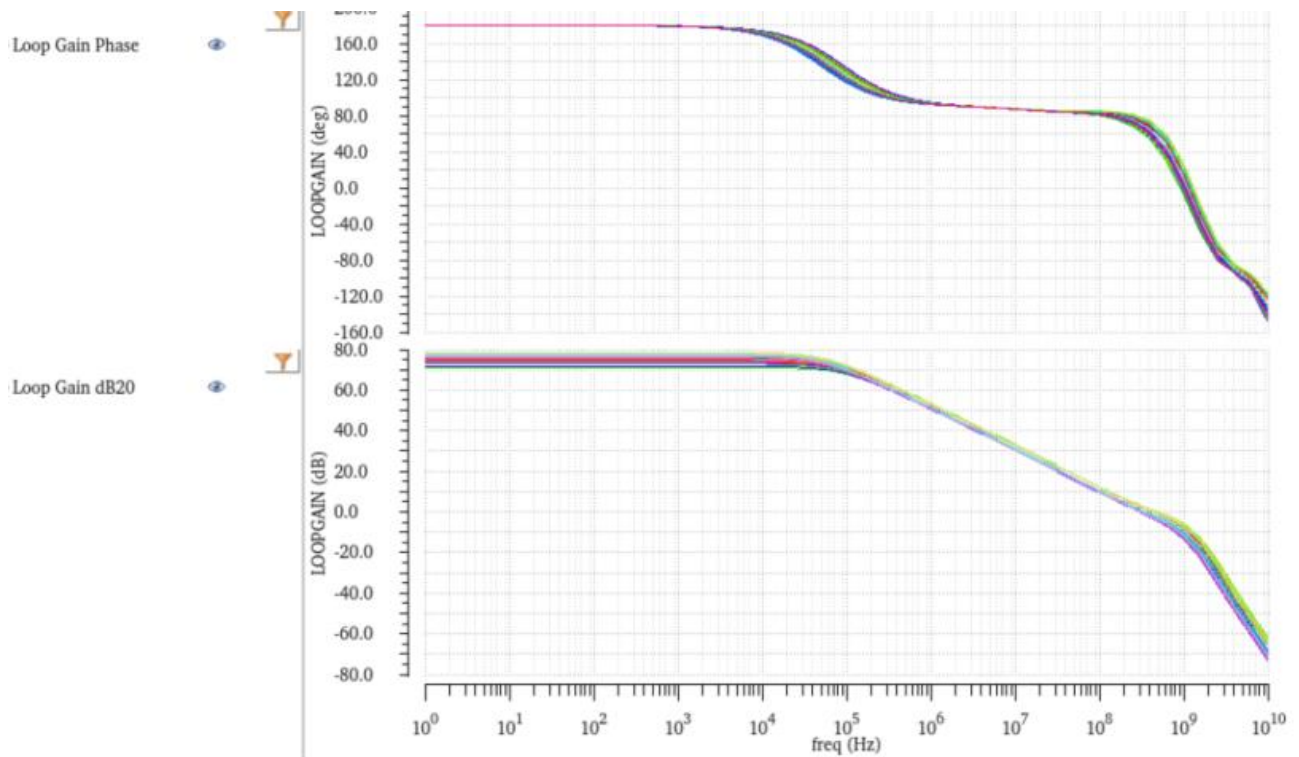
Dòng điện tiêu thụ: 1.918 mA (Cao nhất).

Băng thông: 366 MHz.

Độ lợi: 73.58 dB.

Giải thích:

Khi tăng điện áp nguồn lên 1.32V, mạch được cung cấp năng lượng dồi dào. Điện áp VDS trên các transistor tăng lên, và do hiệu ứng điều biến chiều dài kênh dẫn, dòng điện ID tăng mạnh lên gần. Dòng điện lớn giúp cải thiện độ hỗ dẫn gm, làm tăng băng thông thêm so với mức áp thấp. Đồng thời, khoảng dự trữ điện áp lớn giúp các transistor cascode hoạt động sâu hơn trong vùng bão hòa, giữ cho trở kháng đầu ra ro ở mức cao, từ đó cải thiện độ lợi DC lên 73.58 dB. Tuy nhiên, sự cải thiện nhỏ về hiệu năng này phải đánh đổi bằng mức tiêu thụ công suất rất lớn.



**Hình 49: Plot Phase và Gain PVT**

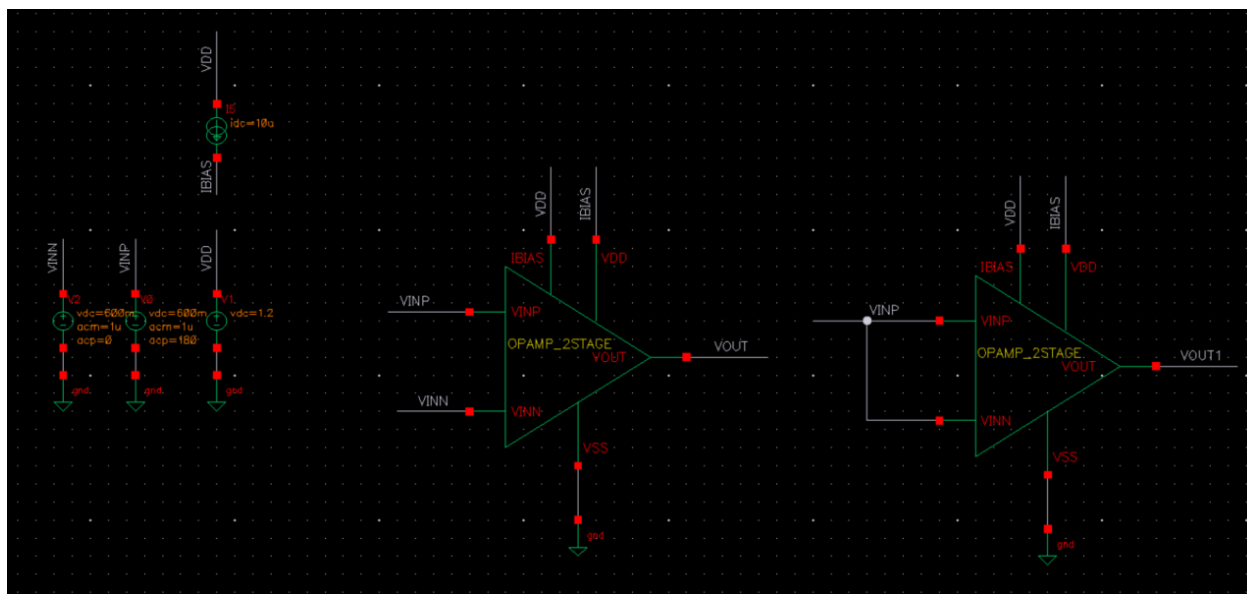
### 3.6. Thực hiện khảo sát CMRR

#### 3.6.1. Tổng quát

Tỷ số triệt nhiễu pha đồng CMRR là một trong những chỉ tiêu quan trọng nhất để đánh giá chất lượng của mạch khuếch đại vi sai, đặc biệt trong các ứng dụng yêu cầu độ chính xác cao. Tham số này đặc trưng cho khả năng của mạch trong việc khuếch đại tín hiệu vi sai mong muốn trong khi loại bỏ các tín hiệu nhiễu xuất hiện đồng thời trên cả hai ngõ vào. Về mặt toán học, CMRR được định nghĩa là tỷ số giữa độ lợi tín hiệu vi sai  $A_{diff}$  và độ lợi tín hiệu pha đồng  $A_{cm}$ . Trong miền logarit, giá trị này được tính bằng hiệu số giữa độ lợi vi sai và độ lợi pha đồng theo đơn vị dB.

$$A_{CM} = 20 \log \frac{A_{diff}}{A_{cm}}$$

#### 3.6.2. Mô phỏng



Hình 50: Testbench đo CMRR



**Hình 51: Kết quả đo CMRR**

### Nhận xét:

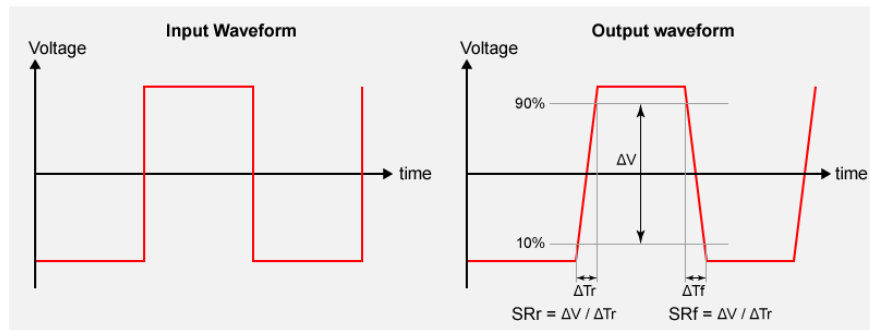
**Đối với độ lợi vòng hở của tín hiệu vi sai**, tại vùng tần số thấp, kết quả mô phỏng cho thấy thông số này đạt giá trị 81.177 dB. Mức độ lợi cao trên 80 dB này đảm bảo rằng mạch có độ nhạy rất tốt, cho phép khuếch đại chính xác ngay cả những tín hiệu đầu vào có biên độ rất nhỏ, đồng thời giúp giảm thiểu sai số tĩnh ở ngõ ra khi mạch hoạt động trong cấu hình hồi tiếp kín.

**Đối với độ lợi đồng pha của tín hiệu**, kết quả đo đặc tại tần số thấp ghi nhận mức độ lợi này nằm ở giá trị âm là -8.753 dB. Việc chỉ số này mang giá trị âm có ý nghĩa rất tích cực về mặt kỹ thuật, chứng tỏ cấu trúc vi sai của mạch không những không khuếch đại nhiều mà còn có khả năng nén và làm suy hao biên độ của chúng nhỏ hơn so với tín hiệu gốc ban đầu.

**Đối với tỷ số triệt nhiễu pha đồng CMRR**, Kết quả mô phỏng chỉ ra rằng CMRR đạt tới 89.93 dB, hoàn toàn khớp với tính toán lý thuyết khi lấy 81.177 dB trừ đi -8.753 dB. Con số xấp xỉ 90 dB này là một chỉ tiêu chất lượng cao, khẳng định sự cân bằng tuyệt vời của cặp transistor vi sai đầu vào và trở kháng đầu ra rất lớn của nguồn dòng đuôi

### 3.7. Thực hiện khảo sát slew rate

#### 3.7.1. Tổng quát

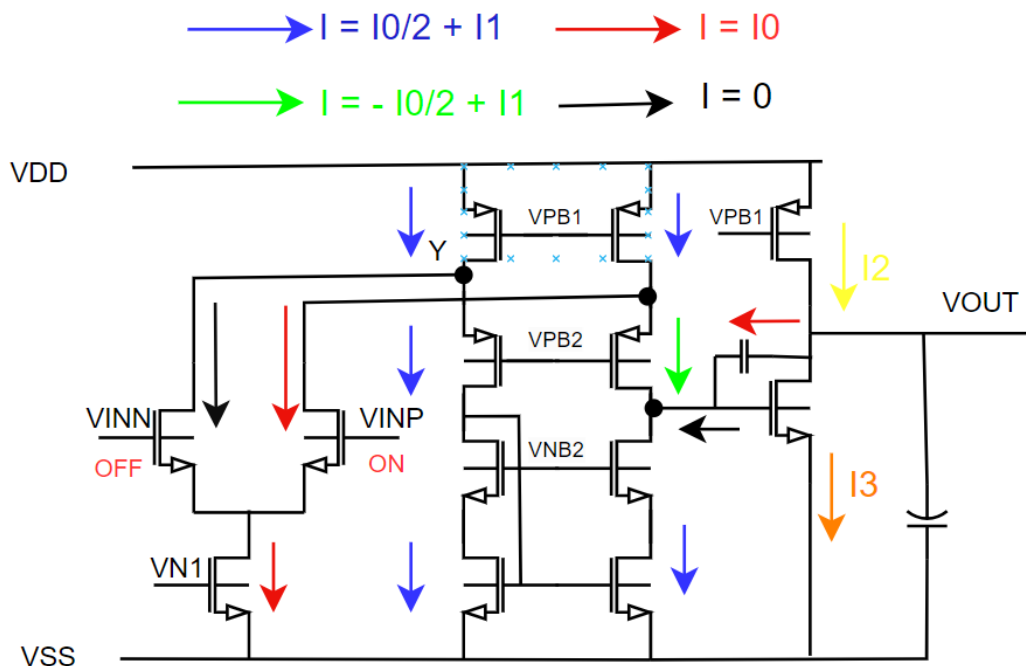


**Hình 52: Mô tả SlewRate**

Hiện tượng Slew Rate xảy ra khi dòng điện nạp hoặc xả qua một tụ điện bị giới hạn bão hòa. Theo định luật cơ bản của tụ điện, mối quan hệ giữa dòng điện giới hạn và tốc độ thay đổi điện áp được xác định bởi công thức:

$$I_{lim} = C \frac{dv}{dt}$$

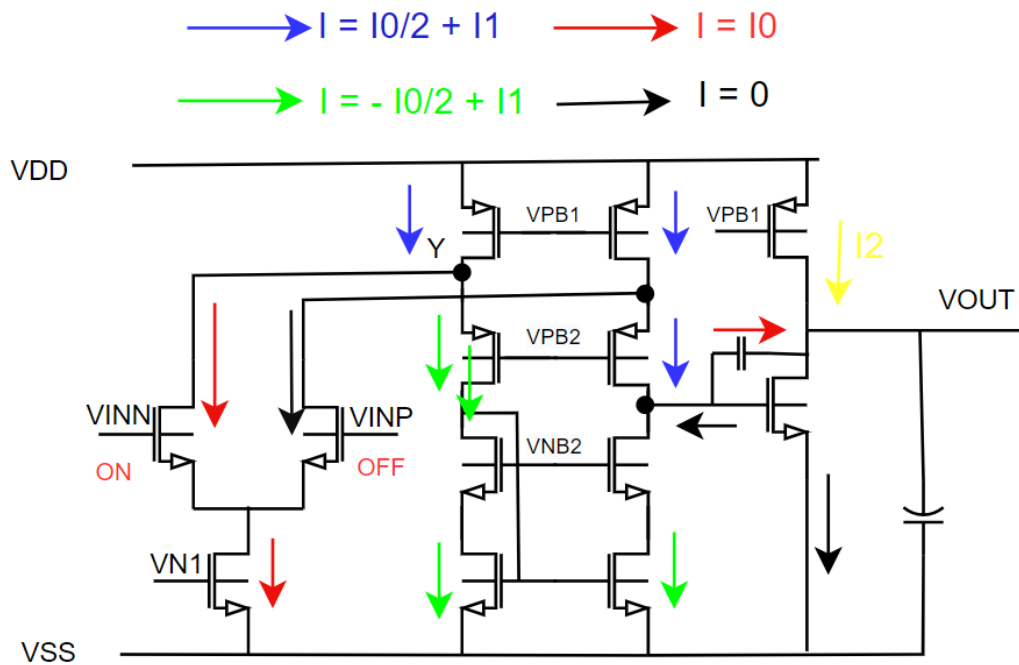
#### 3.7.2. Tính toán



**Hình 53: Tính toán SlewRate (+) đối với mạch**

**Slew Rate sườn dương (Positive Slew Rate – SR+):** Khi điện áp ngõ vào chênh lệch lớn, toàn bộ dòng điện đuôi  $I_0$  đi qua transistor INP. Tụ bù  $C_c$  được nạp và tụ tải  $CL$  được nạp bởi dòng từ transistor nguồn PMOS. Tốc độ đáp ứng bị giới hạn bởi giá trị nhỏ nhất giữa khả năng nạp của tụ bù và tụ tải

$$SR+ = \min \left[ \frac{I_0}{C_c}, \frac{I_2 - I_0 - I_3}{C_L} \right] = \frac{I_0}{C_c} \text{ vì } I_2 \gg I_0$$



**Hình 54: Tính toán SlewRate (-) đối với mạch**

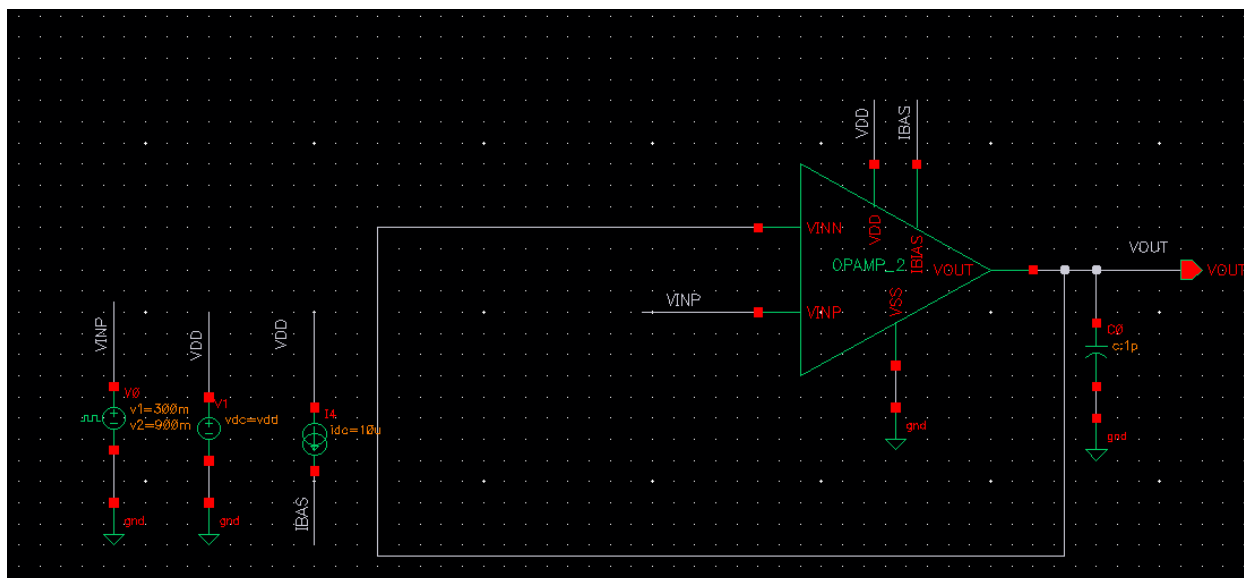
$$SR- = \min \left[ \frac{I_0}{C_c}, \frac{-I_2 - I_0}{C_L} \right]$$

Nếu  $I_2$  lớn hơn  $I_0$  rất nhiều thì có thể xem như  $SR- = \frac{I_0}{C_c}$

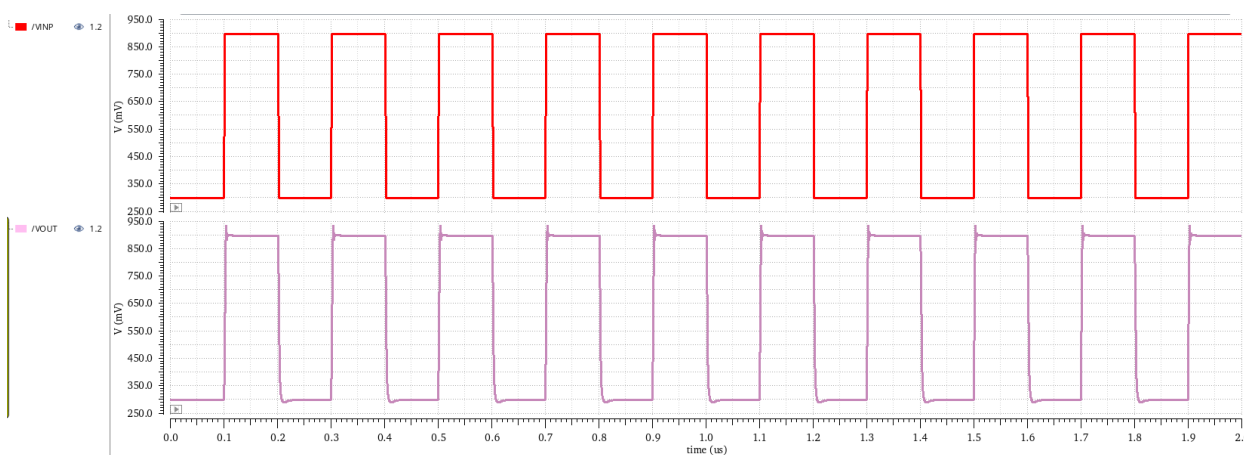
Ở đây tôi có  $I_0 = 100\mu$ ,  $C_c = 250f$

$$SR = 400V/\mu s$$

### 3.7.3. Mô phỏng

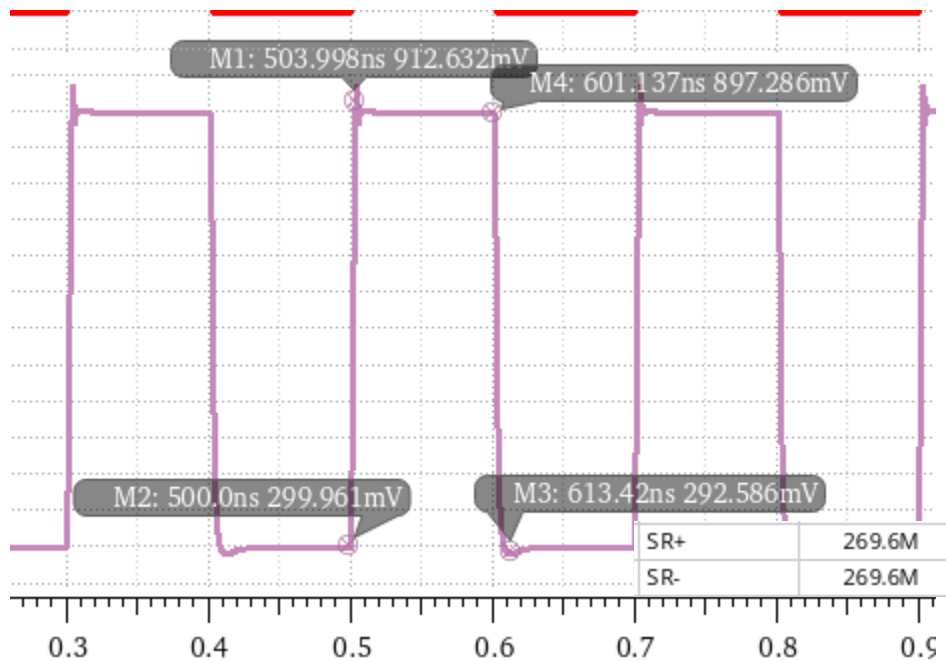


Hình 55: TestBench đo SlewRate



Hình 56: Kết quả đo SlewRate





**Hình 57: Kết quả sóng đo slewrate**

#### **Nhận xét:**

**Đánh giá về độ đối xứng của mạch** sự cân bằng giữa quá trình nạp và xả điện áp hiện tại rất tốt. Độ dốc của sườn lên và sườn xuống tương đối đồng đều. Điều này phản ánh rằng nguồn dòng cấp và khả năng hút dòng của tầng ngõ ra được thiết kế với độ lớn dòng điện tương đương nhau.

**Đánh giá về độ lớn và tốc độ đáp ứng** Với mức Slew Rate xấp xỉ  $270 \text{ V}/\mu$ , mạch thuộc nhóm Op-Amp có tốc độ cao. Cho thấy dòng điện đuôi ISS được dồn rất hiệu quả để nạp cho tụ bù và tụ tải.

**Mối quan hệ đánh đổi với độ ổn định** Tuy nhiên, khi đối chiếu số liệu này với dạng sóng quá độ, việc đạt được Slew Rate lớn đã khiến mạch phản ứng quá "gắt", dẫn đến hiện tượng vọt lố lên tới 912mV và bị rung trước khi xác lập. Điều này khẳng định rằng dù mạch rất khỏe về dòng điện nhưng lại đang thiếu biên dự trữ phaedễ hãm phanh kịp thời tại điểm đích.

Kết quả mô phỏng có chút thấp hơn so với lí thuyết nguyên nhân do sự copy dòng chưa thật sự chính xác do sự sai lệch  $V_{ds}$  giữa các MOS

# CHƯƠNG V: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

## 5.1. Kết luận

Đồ án đã hoàn thành việc thiết kế, tính toán và mô phỏng mạch khuếch đại thuật toán (Op-Amp) với cấu trúc Folded Cascode hai tầng sử dụng công nghệ CMOS. Quá trình thực hiện đề tài không chỉ dừng lại ở việc tạo ra một sơ đồ nguyên lý hoạt động được, mà còn là quá trình kiểm chứng sự tương quan chặt chẽ giữa các mô hình toán học lý thuyết và kết quả mô phỏng thực tế. Thông qua các bài đo kiểm tra đặc tính tĩnh DC, đặc tính tần số AC và đáp ứng quá độ Transient, thiết kế đã khẳng định được tính khả thi và đáp ứng tốt các yêu cầu cơ bản của một bộ khuếch đại hiệu năng cao.

### 5.1.1. Ưu điểm

Điểm mạnh cốt lõi và quan trọng nhất của đồ án này chính là việc áp dụng thành công và triệt để các cơ sở lý thuyết tính toán vào quy trình thiết kế mạch. Thay vì lựa chọn các thông số linh kiện một cách ngẫu nhiên hay dựa trên kinh nghiệm thuần túy, các kích thước transistor W/L và dòng điện phân cực đều được xác định dựa trên các phương trình toán học về gm, băng thông.

Kết quả mô phỏng sau cùng là minh chứng rõ ràng nhất cho sự chính xác của quá trình tính toán này. Độ lợi differential đạt được trên 70dB, PhaseMargin lớn hơn 60 độ, UGBW đạt được hơn 300MHz. Những số liệu này không chỉ cho thấy mạch hoạt động tốt mà còn khẳng định rằng điểm làm việc tĩnh DC Operating Point đã được thiết lập tối ưu dựa trên nền tảng lý thuyết vững chắc, đảm bảo dòng điện nạp và xả của tầng ngõ ra hoàn toàn tương thích với các dự toán ban đầu.

### 5.1.2. Nhược điểm

Bên cạnh những kết quả tích cực đã đạt được, đồ án vẫn còn tồn tại những hạn chế đáng kể xuất phát từ những thiếu sót của bản thân trong quá trình thực hiện cũng như quỹ thời gian có hạn. Cụ thể, đề tài hiện tại mới chỉ dừng lại ở mức độ thiết kế và mô phỏng trên sơ đồ nguyên lý, phần thiết kế vật lý Layout) vẫn chưa được hoàn thiện. Đây là một thiếu sót lớn vì các yếu tố ký sinh trong Layout ảnh hưởng rất nhiều đến hiệu suất thực tế của mạch.

Hơn nữa, quá trình kiểm chứng các thông số kỹ thuật vẫn chưa đầy đủ; các bài đo quan trọng xác định dải động của mạch như biên độ dao động ngõ ra Output Swing, dải điện áp cách chung ngõ vào ICMR và dải điện áp cách chung ngõ ra OCMR vẫn chưa được thực hiện. Việc thiếu vắng các số liệu này khiến cho việc đánh giá độ tuyến tính và khả năng hoạt động thực tế của Op-Amp chưa thực sự toàn diện và chặt chẽ

## **5.2. Hướng phát triển**

Để khắc phục những thiếu sót nêu trên và hoàn thiện đồ án hướng tới một sản phẩm vi mạch hoàn chỉnh, các hướng phát triển tiếp theo cần tập trung vào việc giải quyết các vấn đề còn dang dở:

Đầu tiên và cấp thiết nhất là hoàn thiện quy trình đo đạc và kiểm chứng toàn diện. Cần thiết lập các testbench cụ thể để đo đạc chính xác các thông số Output Swing, ICMR và OCMR. Việc có được các số liệu này sẽ giúp xác định rõ dải hoạt động tuyến tính của mạch, từ đó có cơ sở để tinh chỉnh lại kích thước các transistor tầng ngõ vào và ngõ ra nhằm tối ưu hóa dải động cho Op-Amp.

Tiếp theo, cần tập trung để thực hiện thiết kế vật lý Layout cho mạch nguyên lý đã thiết kế. Đây là bước đi bắt buộc để đưa thiết kế từ lý thuyết ra thực tế. Sau khi hoàn thành Layout, cần tiến hành chạy các quy trình kiểm tra quy tắc thiết kế DRC, đối chiếu sơ đồ LVS và đặc biệt là trích xuất các thành phần ký sinh Parasitic Extraction. Việc mô phỏng lại mạch với các tham số ký sinh Post-layout simulation sẽ giúp đánh giá chính xác độ sụt giảm hiệu năng so với Schematic, từ đó có những điều chỉnh cuối cùng để đảm bảo mạch hoạt động ổn định và tin cậy nhất.

### 5.3. So sánh kết quả với các công trình công bố

Tham khảo	Kết quả của đề tài	[1]
Tiến trình	65nm	180nm
DC gain	76.03dB	107.615dB
Unity gain frequency	362.5MHz	146.05MHz
Phase margin	65.4	62.65
Slew rate	269.6 V/ $\mu$ s	241.81V/ $\mu$ s
Power	1.539mW	1.979226 mW
CMRR	81.177	121.57

## TÀI LIỆU THAM KHẢO

- [1] V. Soman and S. S. Mande, "Design of a Two-Stage Folded Cascode Amplifier Using SCL 180 nm CMOS Technology," in *International Conference on Communication, Computing and Electronics Systems* (Lecture Notes in Electrical Engineering, vol. 637), V. Bindhu et al., Eds. Singapore: Springer Nature Singapore, 2020, pp. 423.
- [2] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2nd ed. New York, NY, USA: McGraw-Hill Education, 2016.
- [3] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 3rd ed. New York, NY, USA: Oxford University Press, 2011.
- [4] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 4th ed. Hoboken, NJ, USA: Wiley-IEEE Press, 2019.
- [5] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5th ed. New York, NY, USA: Wiley, 2009.