

Lab 7: Electronic Clock II (Multi-functions)

106061218 李丞恩

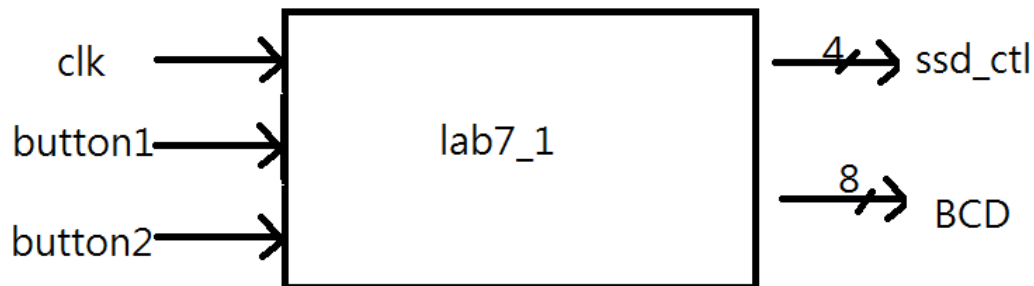
1. Implement a stopwatch function with the FPGA board.

Design Specification

(1) input/output

input clk,
input button1, // for lab and reset
input button2, // for start stop
output [3:0] ssd_ctl,
output [7:0] BCD

(2) Block Diagram



Design Implementation

每個 module 的功用如下：

Freq_div：普通的除頻器。藉由給予不同的上限值來產出不同頻率的 clock。在這個 lab 中，產生 Counter 用的 1Hz 的 clock 和 debounce 要用的 100MHz 的 clock。

Debounce：老師給的範例程式，負責把按下去的雜訊處理乾淨。

One_pulse：老師給的範例程式，負責產生脈衝丟給 FSM

FSM：只有兩種 state：倒數與暫停。轉換的依據是經由按壓按鈕的訊號經以上兩個 module 處理後所產生的脈衝。

Decide：同時具有 FSM 與一個 Counter，負責產生 lap 或 reset 的訊號。

Min_counter & sec_counter：計時器。作用的原理與 lab6 一模一樣，把 sec_counter 的進位值當成 min_counter 的 clock。

Ssd：負責把剩餘秒數顯示在七段顯示器上。

2. Implement a timer (can support as long as 23:59).

Design Specification

(1) input/output

input clk,

input dip, //切換模式

input button1, // for lap and reset

input button2, // for start stop

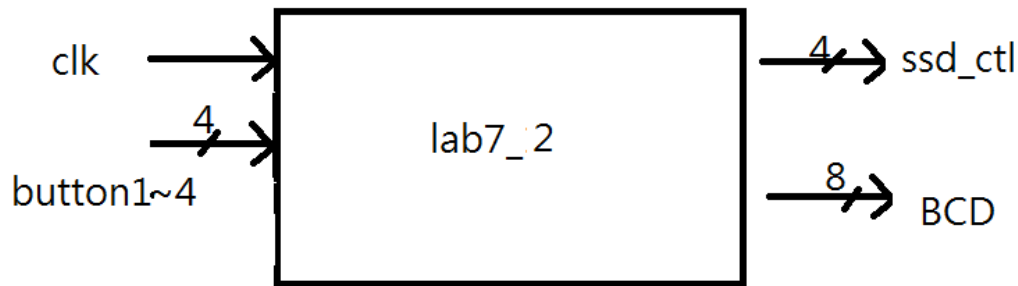
input button3, //調分數

input button4, //調秒數

output [3:0] ssd_ctl,

output [7:0] BCD

(2) Block Diagram



Design Implementation

每個 module 的功用如下：

Freq_div：普通的除頻器。藉由給予不同的上限值來產出不同頻率的 clock。在這個 lab 中，產生 Counter 用的 1Hz 的 clock 和 debounce 要用的 100MHz 的 clock。

Debounce：老師給的範例程式，負責把按下去的雜訊處理乾淨。

One_pulse：老師給的範例程式，負責產生脈衝丟給 FSM

FSM：只有兩種 state：倒數與暫停。轉換的依據是經由按壓按鈕的訊號經以上兩個 module 處理後所產生的脈衝。

Decide：同時具有 FSM 與一個 Counter，負責產生 lap 或 reset 的訊號。

Set：輸入 button3 和 4 的 One pulse，以調整分數與秒數。

Min_counter & sec_counter：計時器。作用的原理與 lab6 很像，把 sec_counter 的借位值當成 min_counter 的 clock，以此來倒數。

Ssd：負責把剩餘秒數顯示在七段顯示器上。Lap 會作用在這裡，在按下 button 時將七段顯示器鎖住。詳細狀況是讓 4 個位數都用 DFF 來儲存，並由 lap 訊號決定要不要讓訊號通過 DFF 並送到七段顯示器上。

Discussion

寫完 Final Project 再來寫這個 Lab，感覺非常簡單又容易，非常難想像這個 lab 曾讓我苦惱了兩個月。

Conclusion

我兩個月來一直寫錯又改不出來的原因在於，有 button 時，rst 最好統一設成 posedge。