**Lab 6: Electronic Clock I (Time Display)**

**106061218 李丞恩**

**1. Time display function supporting 24-hour (00-23).**

**Design Specification**

(1) Input: clk (Global clock).

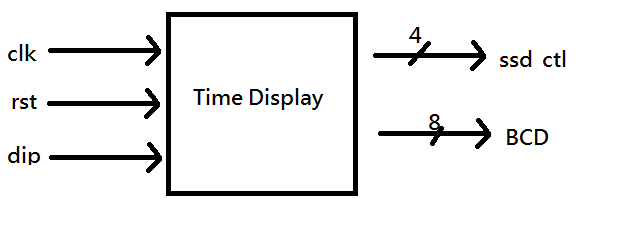
rst (Switch)

dip (dip switch for mode-changing)

(2) Output: [3:0] ssd\_ctl (decide to light on which digit of 7 segment displayer)

[7:0] BCD (7-segment displayer)

(3) Block diagram:



**Design Implementation**

容我娓娓道來個個module的功能。

Freq\_div: 產生約10Hz的clock。這個clock會使得顯示”分”的數字每0.1秒就+1。

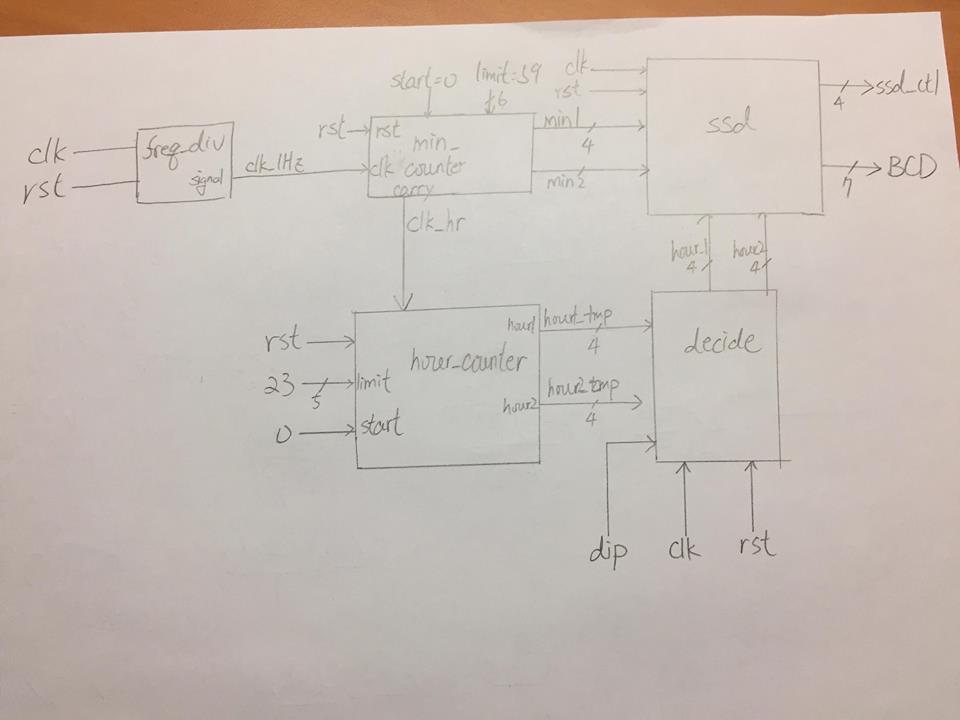
Min\_counter:「分」的產生器。輸出的值有「分」的個位數與十位數，以及由判斷是否要進位而產生的一個1bit的信號作為「小時」的counter的clock。

Hour\_counter: 「小時」的產生器。輸出的值有「小時」的個位數與十位數。

Decide: 輸入dip並以算數的方式輸出以十二小時制顯示還是24小時制。

Ssd: 七段顯示器顯示控制。

把Min\_counter產生的進位值經處理後當成hour\_counter的clock，這個概念使的整個東西做起來就如同三個除頻器串接一樣。下一題也會用到類似的觀念。由於我所有code都有在檔案內打註解，為了節省篇幅就不把code放上來了。



**2. Date functions in clock (no leap year)**

**Design Specification**

(1) Input: clk (Global clock).

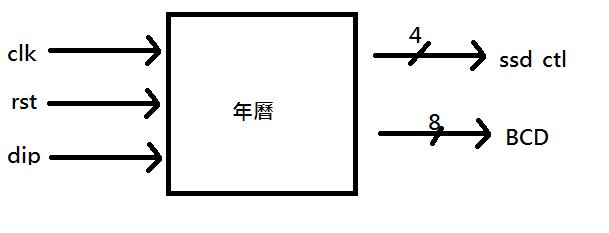
rst (Switch)

dip (dip switch for mode-changing: year or month-day.)

(2) Output: [3:0] ssd\_ctl (decide to light on which digit of 7 segment displayer)

[7:0] BCD (7-segment displayer)

(3) Block diagram:



**Design Implementation**

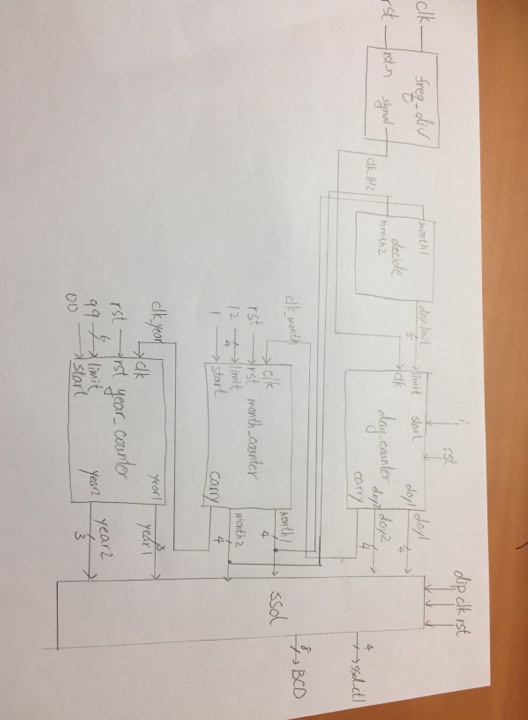
****

Freq\_div: 產生約10Hz的clock。這個clock會使得顯示”日”的數字每0.1秒就+1。

Decide:一個多工器，藉由當前的月份決定day\_counter的上數的上限。

day\_counter:一個counter，作為「日」的兩個位數的產生器。輸出的值有「日」的個位數與十位數，以及由判斷是否要進位而產生的一個1bit的信號作為「月」的counter的clock。

month\_counter: 一個counter，作為「月」的兩個位數的產生器。輸出的值有「月」的個位數與十位數，以及由判斷是否要進位而產生的一個1bit的信號作為「月」的counter的clock。

 year\_counter: 一個counter，作為「年」的產生器。輸出的值有「年」的個位數與十位數。

Ssd: 七段顯示器顯示控制。

**Discussion**

我的Code內都附有註解。兩題我都使用了一樣的觀念，也就是把整個電子鐘當成很多個除頻器串接起來。假設最一開始的除頻器把100MHz化成相當於一分鐘的頻率，再藉由是否屬到上限判斷要不要進位，就可以制造出一個更低的頻率的信號，使之在這次要進位時為1，下次要進位時為0，即為相當於一小時的頻率。同理就可以製造出一天，一個月，一年的Clock。

**Conclusion**

　　我的Lab5還是寫不出來，因為One pulse還是沒有再作用，Lab7完蛋了QQ

****

▲阿蒂拉同學的怨念

**References**

1. 冰雪聰明、玉雪可愛的我的腦袋

2.《Verilog硬體描述語言數位電路》，鄭信源，儒林圖書公司(2016)。

3. 另外感謝熱心助人、善良大方、古道熱腸、義無反顧的吳季陽同學，堪為我泱泱電機系同學之楷模。