**Lab 7: Electronic Clock II (Multi-functions)**

**106061218 李丞恩**

**1. Implement a stopwatch function with the FPGA board.**

**Design Specification**

(1) input/output

input clk,

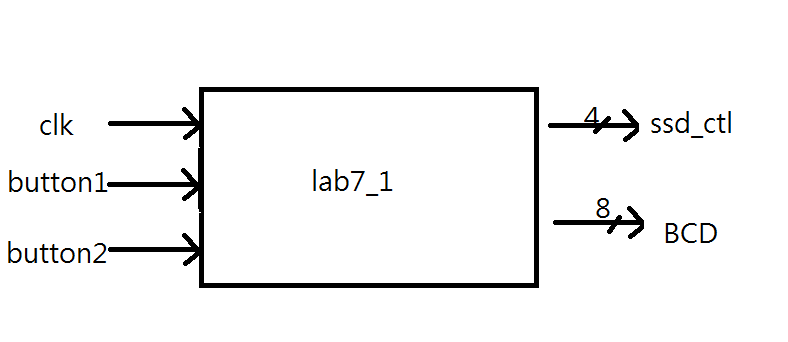
input button1, // for lab and reset

input button2, // for start stop

output [3:0] ssd\_ctl,

output [7:0] BCD

(2) Block Diagram



**Design Implementation**

每個module的功用如下：

Freq\_div：普通的除頻器。藉由給予不同的上限值來產出不同頻率的clock。在這個lab中，產生Counter用的1Hz的clock和debounce要用的100MHz的clock。

Debounce：老師給的範例程式，負責把按下去的雜訊處理乾淨。

One\_pulse：老師給的範例程式，負責產生脈衝丟給FSM

FSM：只有兩種state：倒數與暫停。轉換的依據是經由按壓按鈕的訊號經以上兩個module處理後所產生的脈衝。

Decide：同時具有FSM與一個Counter，負責產生lap或reset的訊號。

Min\_counter & sec\_counter：計時器。作用的原理與lab6一模一樣，把sec\_counter的進位值當成min\_counter的clock。

Ssd：負責把剩餘秒數顯示在七段顯示器上。

**2. Implement a timer (can support as long as 23:59).**

**Design Specification**

(1) input/output

input clk,

input dip, //切換模式

input button1, // for lab and reset

input button2, // for start stop

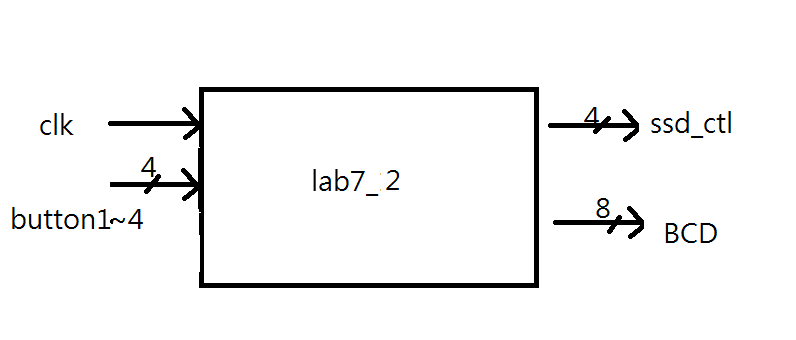
input button3, //調分數

input button4, //調秒數

output [3:0] ssd\_ctl,

output [7:0] BCD

(2) Block Diagram

****

**Design Implementation**

每個module的功用如下：

Freq\_div：普通的除頻器。藉由給予不同的上限值來產出不同頻率的clock。在這個lab中，產生Counter用的1Hz的clock和debounce要用的100MHz的clock。

Debounce：老師給的範例程式，負責把按下去的雜訊處理乾淨。

One\_pulse：老師給的範例程式，負責產生脈衝丟給FSM

FSM：只有兩種state：倒數與暫停。轉換的依據是經由按壓按鈕的訊號經以上兩個module處理後所產生的脈衝。

Decide：同時具有FSM與一個Counter，負責產生lap或reset的訊號。

Set：輸入button3和4的One pulse，以調整分數與秒數。

Min\_counter & sec\_counter：計時器。作用的原理與lab6很像，把sec\_counter的借位值當成min\_counter的clock，以此來倒數。

Ssd：負責把剩餘秒數顯示在七段顯示器上。Lap會作用在這裡，在按下button時將七段顯示器鎖住。詳細狀況是讓4個位數都用DFF來儲存，並由lap訊號決定要不要讓訊號通過DFF並送到七段顯示器上。

**Discussion**

寫完Final Project再來寫這個Lab，感覺非常簡單又容易，非常難想像這個lab曾讓我苦惱了兩個月。

**Conclusion**

我兩個月來一直寫錯又改不出來的原因在於，有button時，rst最好統一設成posedge。