מעגלים משולבים ומבוא ל- VLSI : עבודה 1

מגישים:

בנימין אומנסקי - 322688946

בר אשר - 206170185

מספר קבוצה: 27

תאריך הגשה – 21/04/2025

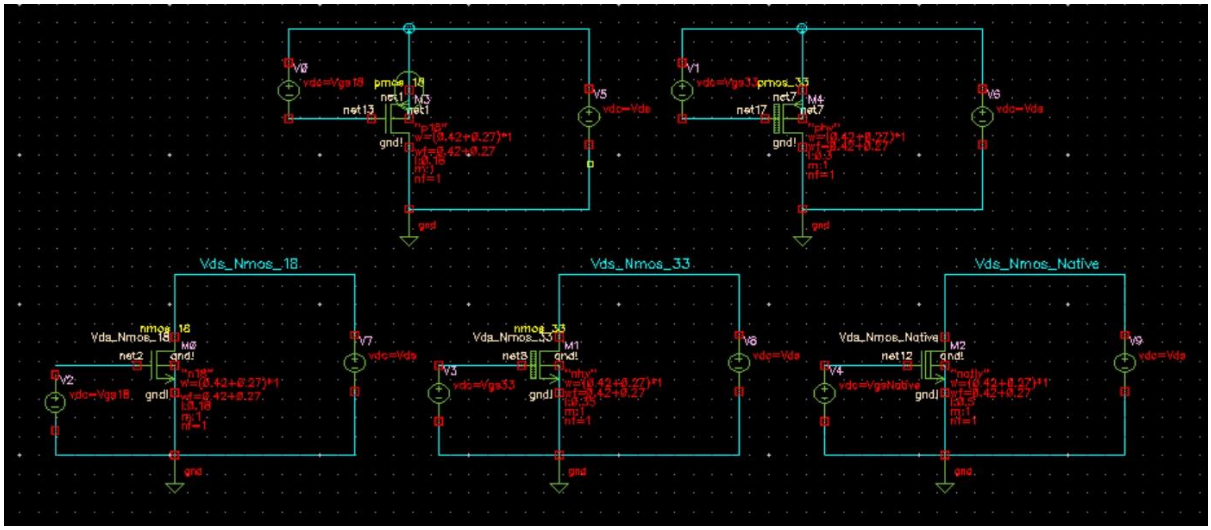
חלק א'- הכרת ההתקנים

שאלה 1

תחילה יצרנו סכמה הכוללת את כל הטרנזיסטורים הבאים:

nmos_33, nmos_18, nmos_native, pmos_33, pmos_18

נחבר מקורות מתח VDCנפרדים בין הדקי GS ו- DS של הטרנזיסטורים (ב-PMOS נחבר אותם הפוך) ונחבר את B ל- GND עבור NMOS ול- VDD עבור PMOS:



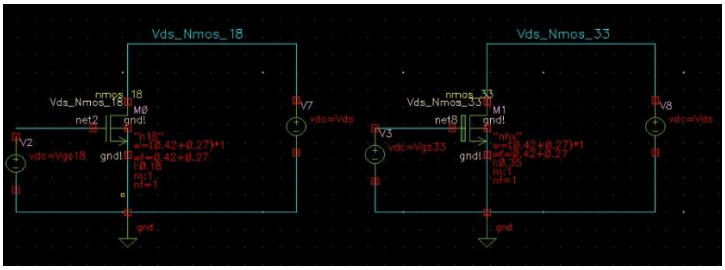
סימולציות DC Sweep:

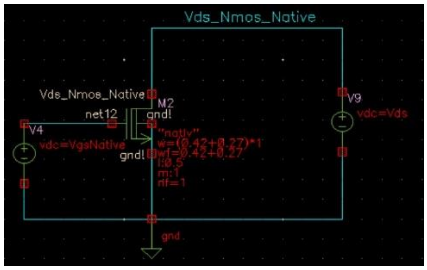
נריץ סימולציית DC Sweep על V_{DS} בין 0 ל- VDD עם $|V_{GS}| = V_{DD}$:

עבור nmos_18, nmos_native, pmos_18 נחבר $|V_{GS}| = V_{DD} = 1.8$

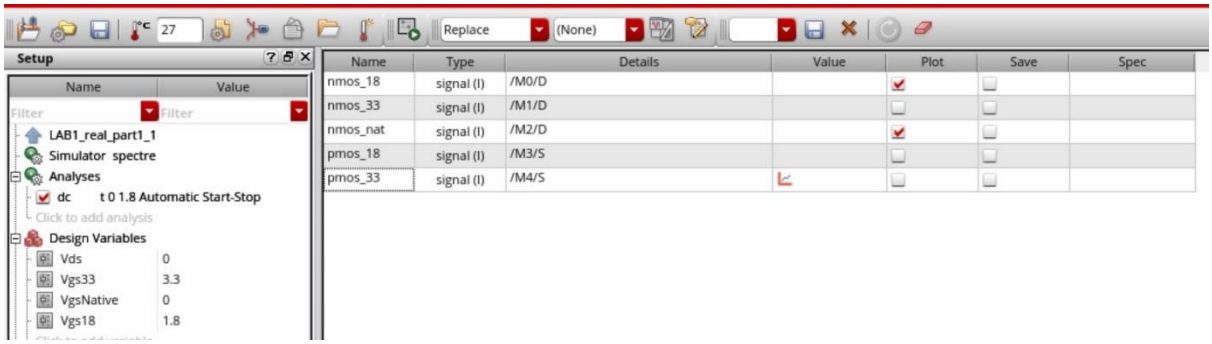
ועבור nmos_33, pmos_33 נחבר $|V_{GS}| = V_{DD} = 3.3$.

מעגלי nmos:



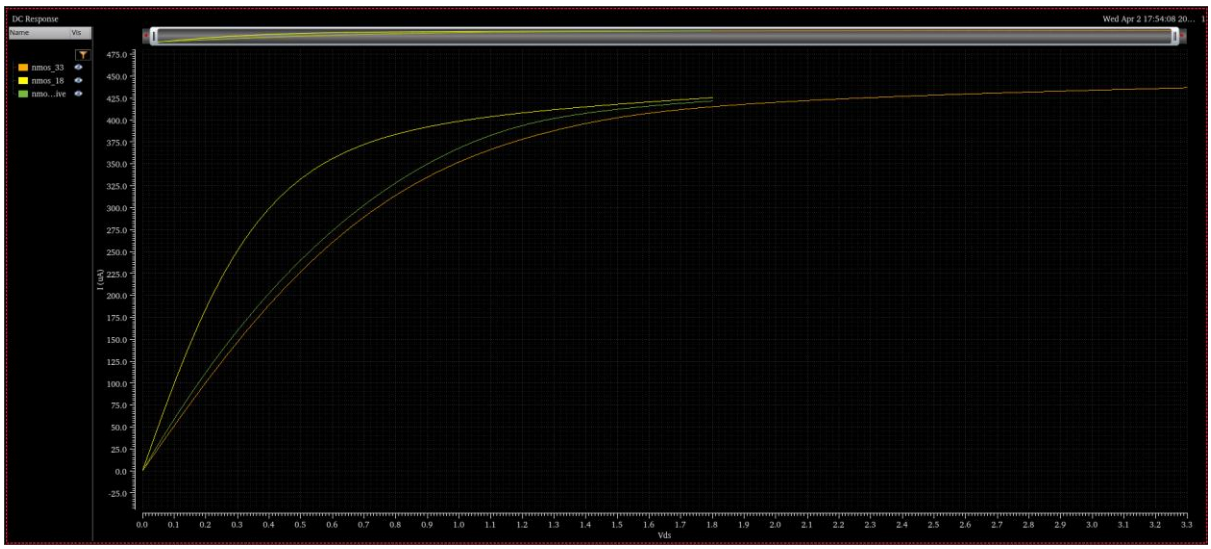


הגדרנו משתנים ל V_{DS} וגם לV_{GS} בהתאמה לכל טרנזיסטור שהמתח שהוא דורש שונה כפי שניתן לראות בתמונה:



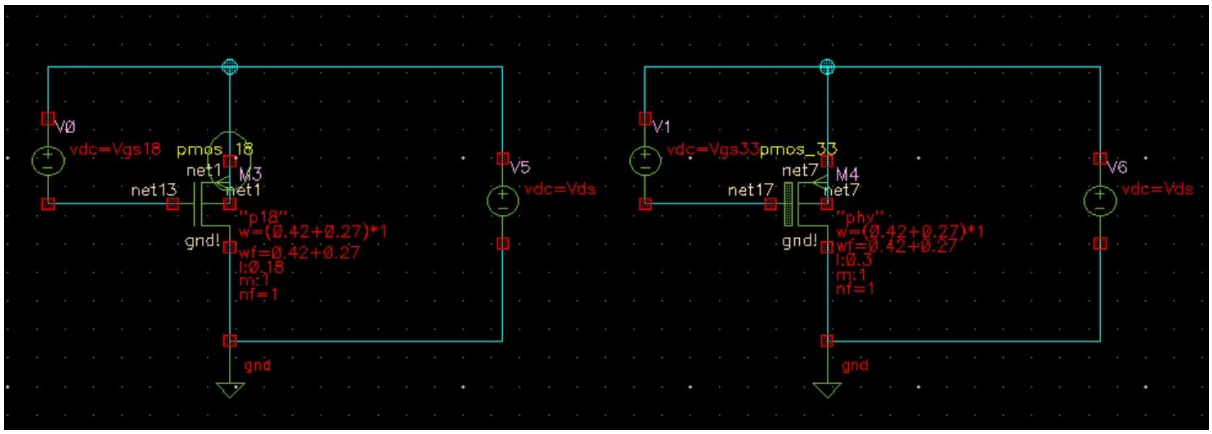
ביצענו סימולציית DC Sweep על V_{DS} בין 0 ל- VDD (1.8 ו- 3.3 בהתאמה) עם $|V_{GS}| = V_{DD}$ והשתמשנו בAppend בכדי להציג את הגרפים ביחד

תוצאות הסימולציה:



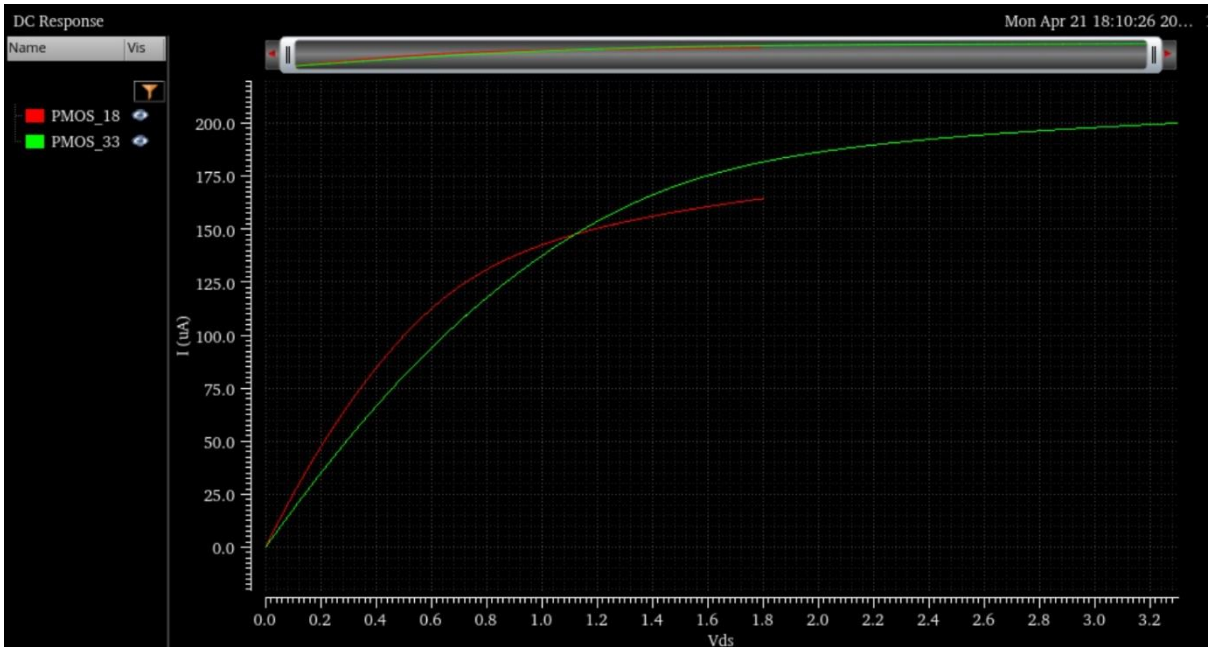
ניתן לראות כי הגרפים שקיבלנו תואמים את המודל הריבועי שנלמד בקורס "פיזיקה של התקני מוליכים למחצה" ולפיו ככל שהמתח V_{DS} גדל כך הזרם גדל בצורה ליניארית בקירוב. זאת עד הגעה למתח הרוויה $V_{GS} - V_T$, שלאחריו הטרנזיסטור נכנס למצב רוויה והזרם נשאר קבוע.

מעגלי pmos:



באותה הדרך ביצענו סימולציה עבור הPMOS: DC Sweep על V_{DS} בין 0 ל- VDD (1.8 ו- 3.3 בהתאמה) עם $|V_{GS}| = V_{DD}$:

תוצאות הסימולציה:



גם כאן, ניתן לראות כי הגרפים שקיבלנו תואמים את המודל הריבועי שנלמד בקורס "פיזיקה של התקני מוליכים למחצה" ולפיו ככל שהמתח V_{DS} גדל כך הזרם גדל בצורה ליניארית בקירוב. זאת עד הגעה למתח הרוויה $V_{SG} - |V_T|$, שלאחריו הטרנזיסטור נכנס למצב רוויה והזרם נשאר קבוע.

בנוסף, ניתן לראות כי זרמי ה- DC ב- nmos גדולים פי 2 מזרמי ה-DC ב- pmos .

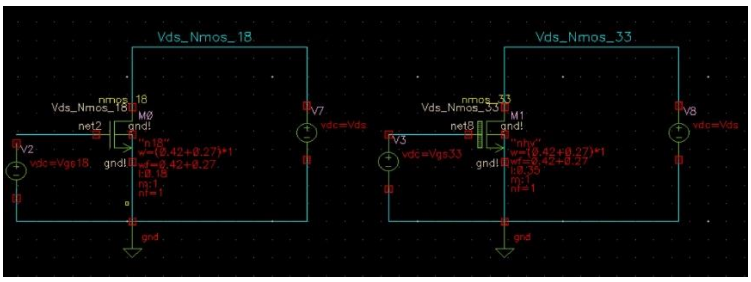
זה קורה כי מוביליות האלקטרונים גדולה יותר ממוביליות החורים. זה תואם גם את מה שלמדנו בקורס "מבוא למעגלים ספרתיים" שם כדי לאזן בין ה-pmos ל -nmos היינו צריכים $\beta \approx 2$.

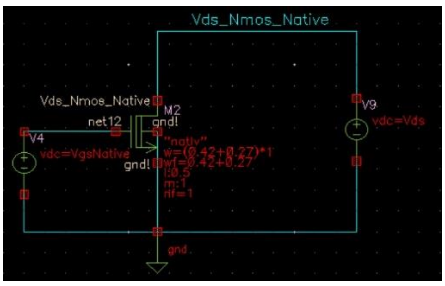
כעת נריץ סימולציית DC Sweep על V_{GS} בין 0 ל- VDD עם $|V_{DS}| = V_{DD}$:

עבור nmos_18, nmos_native, pmos_18 נחבר $|V_{DS}| = V_{DD} = 1.8$

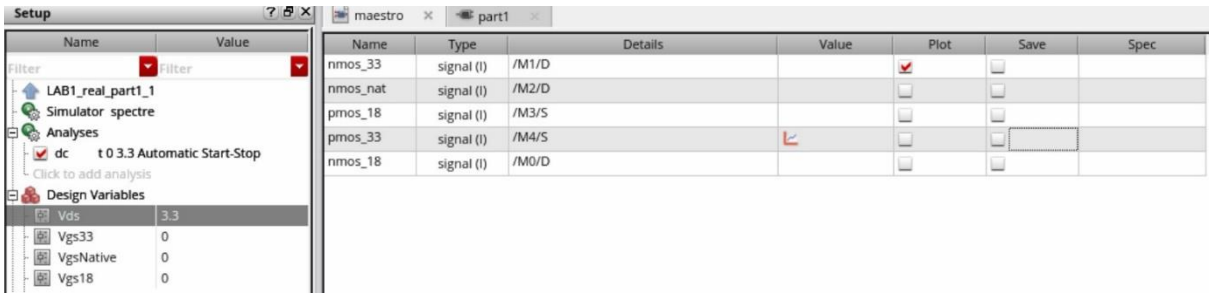
ועבור nmos_33, pmos_33 נחבר $|V_{DS}| = V_{DD} = 3.3$.

מעגלי nmos:

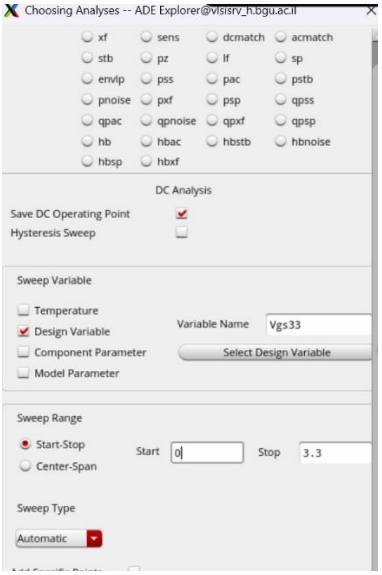




V_{DS} קבוע על 1.8V ו-3.3V בהתאמה לטרנזיסטור (שינינו אותו לכל סימולציה והשתמשנו ב Append כדי להציג את הגרפים יחד).

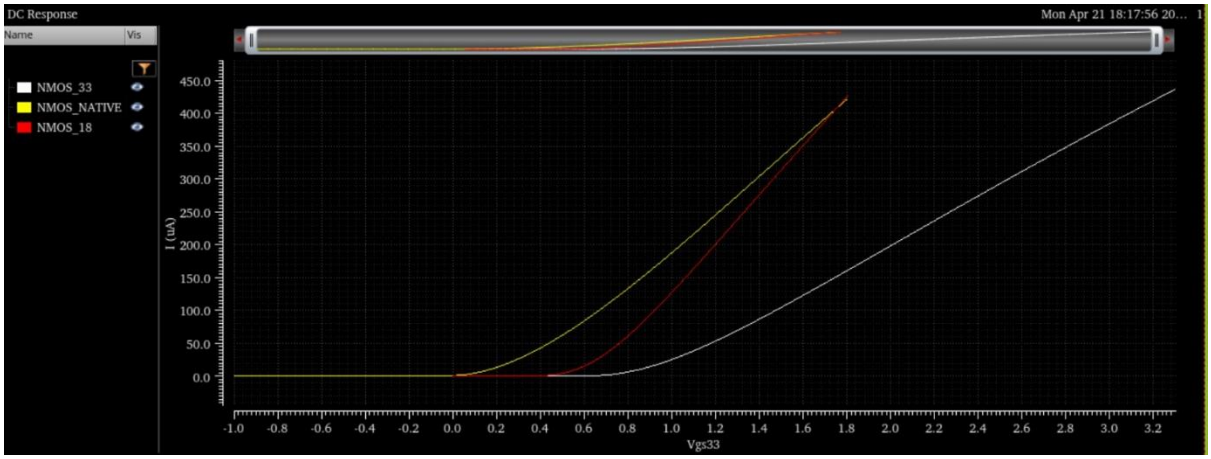


כאן עשינו את ה*DC SWEEP* על V_{GS} כשלצורך נוחות הגדרנו לכל אחד משתנה בנפרד:



תוצאות הסימולציה:

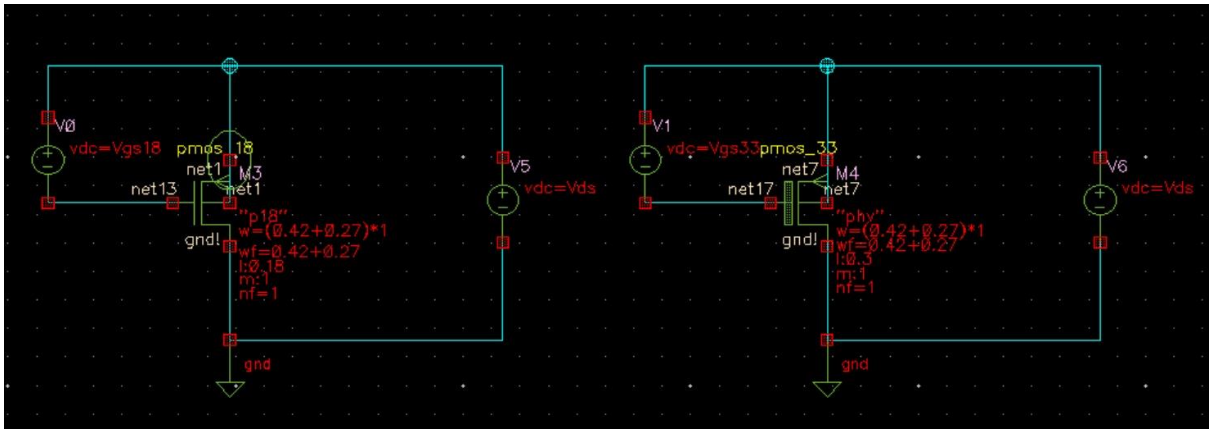
- *נציין כי עבור ה-* nmos_native *היינו צריכים להציג סריקה בטווח ערכי מתח גדול יותר, המתחיל ממתח של* $-1\mathrm{V}$ *זאת משום שמתח הסף של טרנזיסטור זה הוא שלילי ולכן יש לקחת זאת בחשבון בשרטוט הגרפים.*



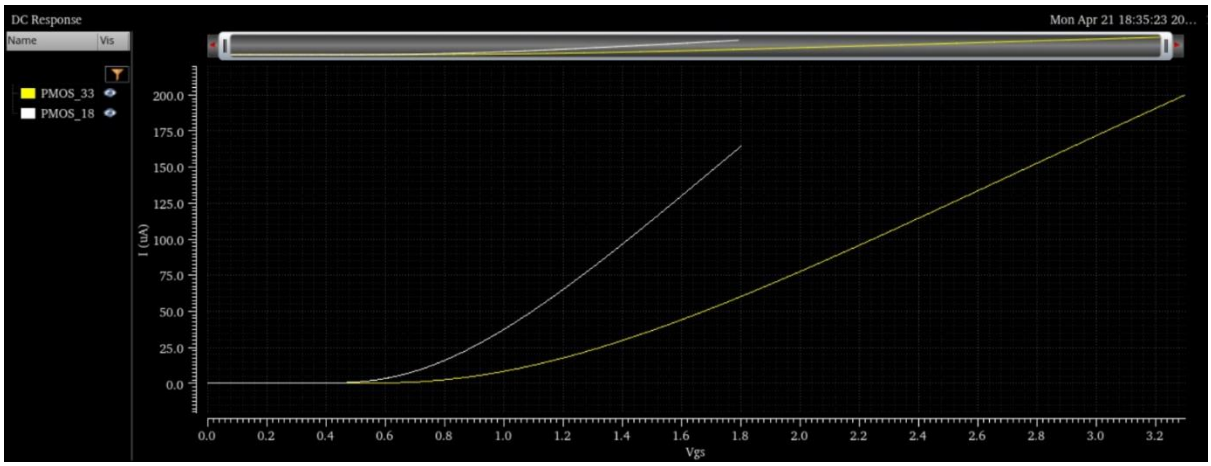
נשים לב כי הגרפים שקיבלנו תואמים את התיאוריה שלמדנו בקורסים קודמים. נוכל להבחין כי עבור ערכי $V_{GS} < V_T$ הטרנזיסטורים בקיטעון והזרם הזורם בהם הוא אפסי. עבור ערכי $V_{GS} > V_T$ ניתן לראות שיש עלייה ליניארית בקירוב בזרם. את זה ניתן לראות מהנוסחה שקיבלנו במודל הריבועי ל- I_{DS}:

$$I_{DS} = K * \frac{W}{L}\left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{S}\right]$$

מעגלי pmos:



תוצאות הסימולציה:



גם כאן, הגרפים שקיבלנו תואמים את התיאוריה שלמדנו בקורסים קודמים. נוכל להבחין כי עבור ערכי $V_{SG} < V_T$ הטרנזיסטורים בקיטעון והזרם הזורם בהם הוא אפסי. עבור ערכי $V_{SG} > V_T$ ניתן לראות שיש עלייה ליניארית בקירוב בזרם. את זה ניתן לראות מהנוסחה שקיבלנו במודל הריבועי ל- I_{DS}:

$$I_{SD} = K * \frac{W}{L}\left[(V_{SG} - V_T)V_{SD} - \frac{V_{SD}^2}{S}\right]$$

חישוב מתח ה- V_T:

שיטת החישוב:

נזכיר כי מתח הסף הוא פרמטר משתנה והוא מושפע מהמון פרמטרים בטרנזיסטור.
לכן, בחרנו לחשב 2 ערכים של מתח הסף כמו שלמדנו בהרצאה: $V_{T,Lin}, V_{T,Sat}$.

עבור כל טרנזיסטור נסתכל על גרף (V_{GS}, I_{DS}) ב- 2 מצבים:

עבור $V_{DS} = 50mV$ נקבל את $V_{T,Lin}$.

עבור $V_{DS} = V_{DD}$ נקבל את $V_{T,Sat}$.

לכל גרף שמתקבל נמצא בעזרת המרקרים על הגרף את המתח V_{GS} עבורו הזרם בתעלה מגיע לערך $I_{SD} = 0.1\frac{W}{L}\mu A$ ונקבל את מתחי הסף שרצינו.

טבלה ל- $V_{T,Sat}$:

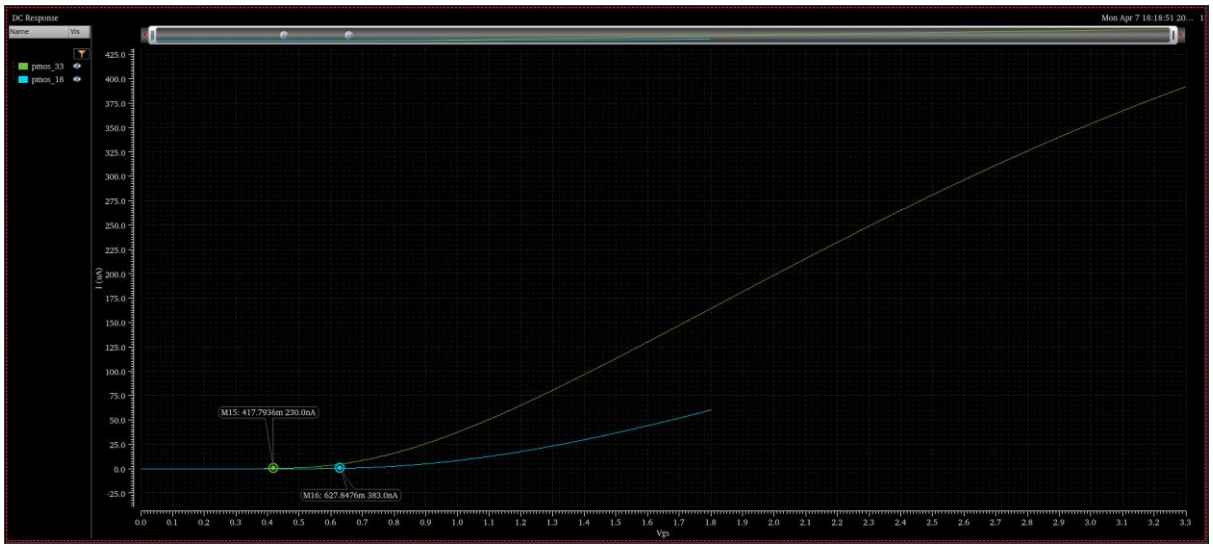
$V_{T,Sat}[mV]$	$I_{DS}[nA]$	**טרנזיסטור**
375.59	*383*	nmos_18
-79.609	*138*	nmos_native
579.159	*197*	nmos_33
-627.847	*383*	pmos_18
-417.793	*230*	pmos_33

טבלה ל- $V_{T,Lin}$:

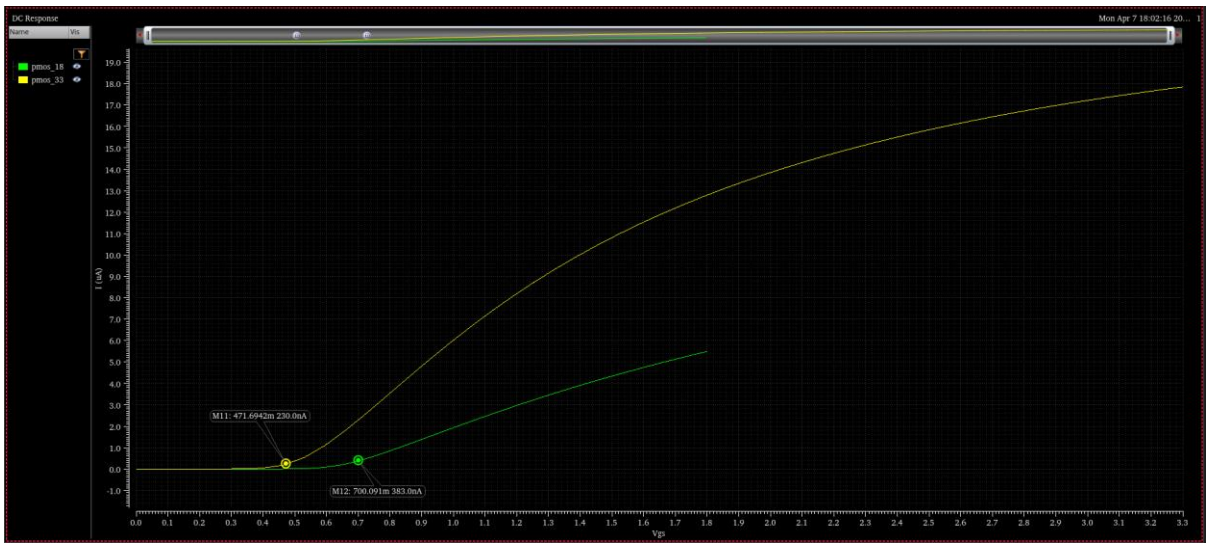
$V_{T,Lin}[mV]$	$I_{DS}[nA]$	**טרנזיסטור**
456.218	*383*	nmos_18
-10.963	*138*	nmos_native
659.585	*197*	nmos_33
-700.091	*383*	pmos_18
-471.69	*230*	pmos_33

תמונות להמחשה כיצד לקחנו את המתח בשימוש במרקר:

$V_{DS} = V_{DD}$:



$V_{DS} = 50mV$:



שאלה 2

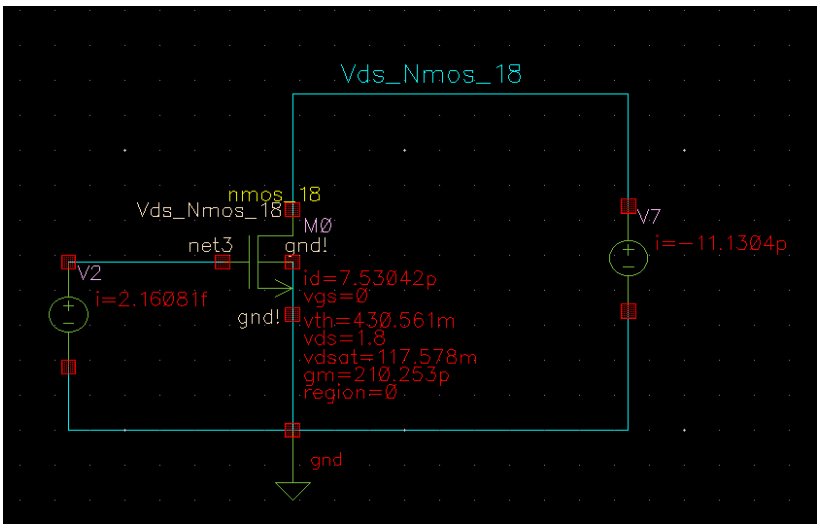
מדידת זרמי הזליגה:

על מנת למצוא זרמי זליגה כאשר $V_{DS} = V_{DD}$ נרצה $V_{GS} < V_T$ כדי שהטרנזיסטורים יהיו בקיטעון.

- התמונות הן עבור I_{off}

<u>nmos_18:</u>

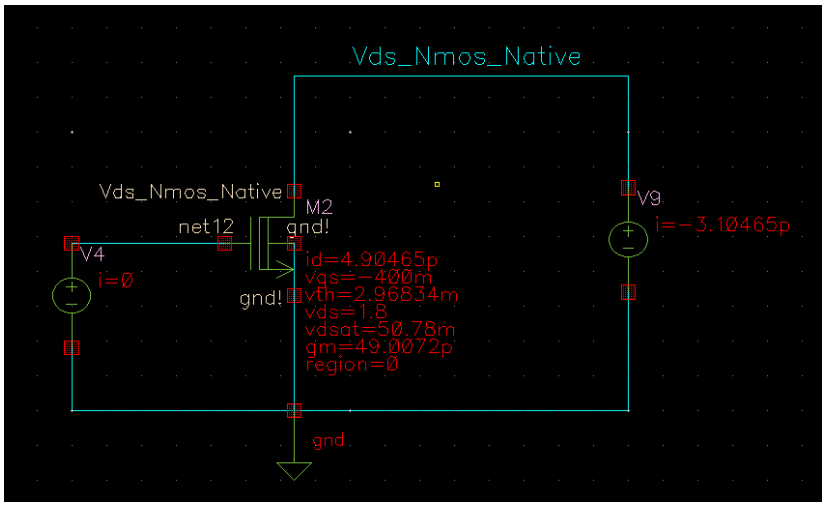
נקבע $V_{GS} = 0V$ לקבלת I_{off} ו- $V_{GS} = V_{DD}$ לקבלת I_{on}:



$$\frac{I_{on}}{I_{off}} = \frac{425.562\mu A}{7.53pA} = 56.515 * 10^6$$

:nmos_native

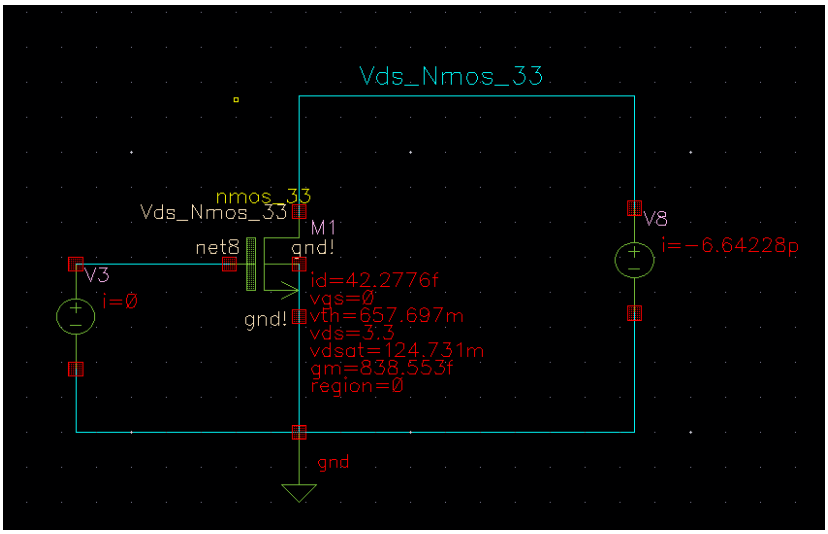
נקבע $V_{GS} = -0.4V$ לקבלת I_{off} ו- $V_{GS} = V_{DD}$ לקבלת I_{on}:



$$\frac{I_{on}}{I_{off}} = \frac{421.821\mu A}{4.904pA} = 86.015 * 10^6$$

:nmos_33

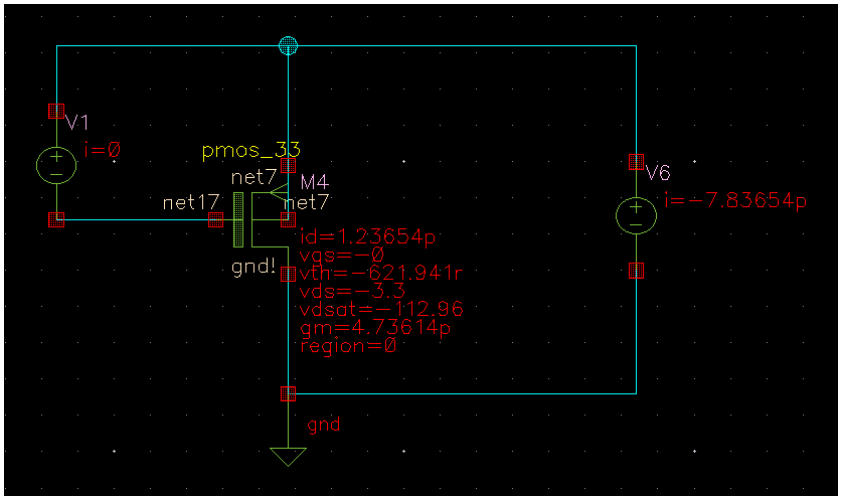
נקבע $V_{GS} = 0V$ לקבלת I_{off} ו- $V_{GS} = V_{DD}$ לקבלת I_{on}:



$$\frac{I_{on}}{I_{off}} = \frac{436.873\mu A}{42.277fA} = 103 * 10^8$$

:pmos_33

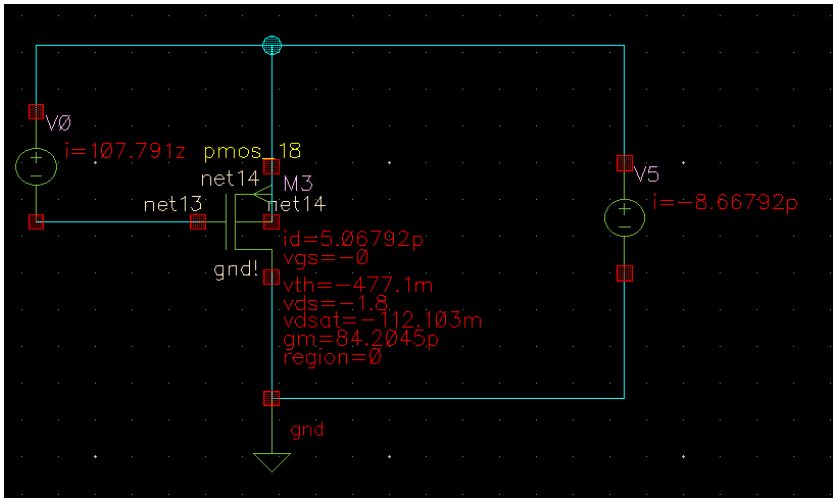
נקבע $V_{GS} = 0V$ לקבלת I_{off} ו- $V_{SG} = V_{DD}$ לקבלת I_{on}:



$$\frac{I_{on}}{I_{off}} = \frac{200.087\mu A}{1.236pA} = 161.882 * 10^6$$

:pmos_18

נקבע $V_{GS} = 0V$ לקבלת I_{off} ו- $V_{SG} = V_{DD}$ לקבלת I_{on}:



$$\frac{I_{on}}{I_{off}} = \frac{164.82\mu A}{5.068pA} = 32.52 * 10^6$$

ניתן לראות כי זרמי הזליגה הם בסדר גודל של $10^{12} \sim 10^{15}$

נמצא פרמטר Slope Subthreshold של הטרנזיסטורים:

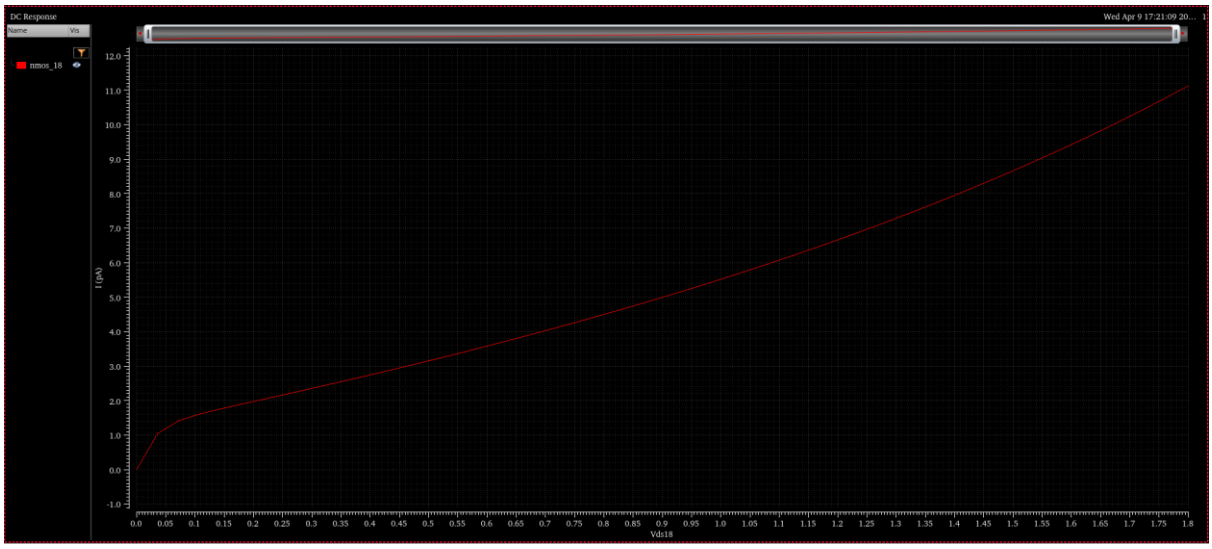
$$S = \frac{V_{th}}{\log\left(\frac{I_{on}}{I_{off}}\right)}$$

Slope Subthreshold	סוג טרנזיסטור
$\frac{V_{th}}{\log(56.515 * 10^6)} = \frac{456.218 * 10^{-3}}{7.752} = 0.058$	:nmos_18
$\frac{V_{th}}{\log(86.015 * 10^6)} = \frac{-10.963 * 10^{-3}}{7.934} = -0.0013$	:nmos_native
$\frac{V_{th}}{\log(103 * 10^8)} = \frac{659.585 * 10^{-3}}{10.012} = -0.08$	:nmos_33
$\frac{V_{th}}{\log(161.882 * 10^6)} = \frac{-700.091 * 10^{-3}}{8.209} = -0.085$	:pmos_33
$\frac{V_{th}}{\log(32.52 * 10^6)} = \frac{-471.69 * 10^{-3}}{7.512} = -0.062$	:pmos_18

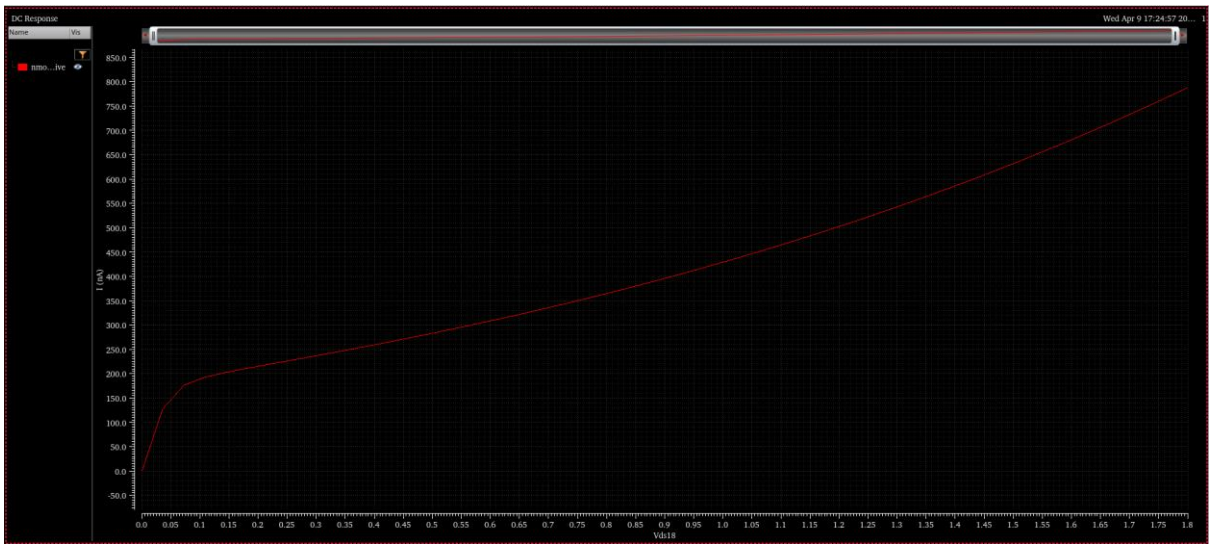
נבצע סימולציית $DC\ Sweep$ עם $V_{GS} = 0$ ונריץ את V_{DS} :

תופעת DIBL היא תופעה שמתרחשת עבור טרנזיסטורים בעלי תעלה קצרה, בה ככל שאנו מגדילים את מתח V_{DS}, מתח הסף קטן. כלומר, נצפה שהזרם בתעלה יגדל כי מתח הסף קטן ולטרנזיסטור יותר "קל" לדחוף זרם.

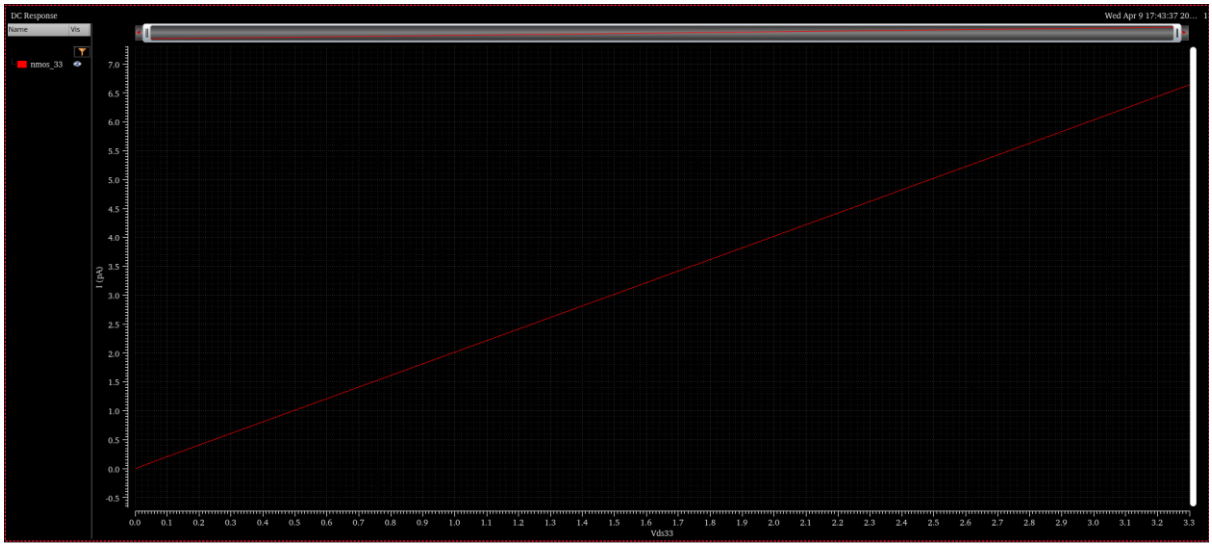
<u>:nmos_18</u>



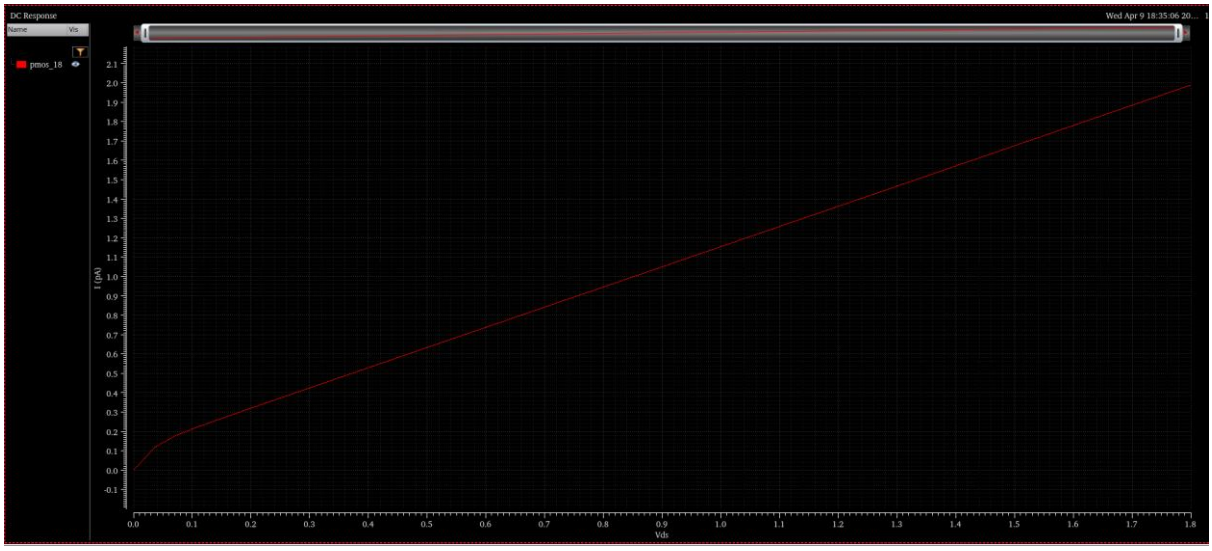
:nmos_native



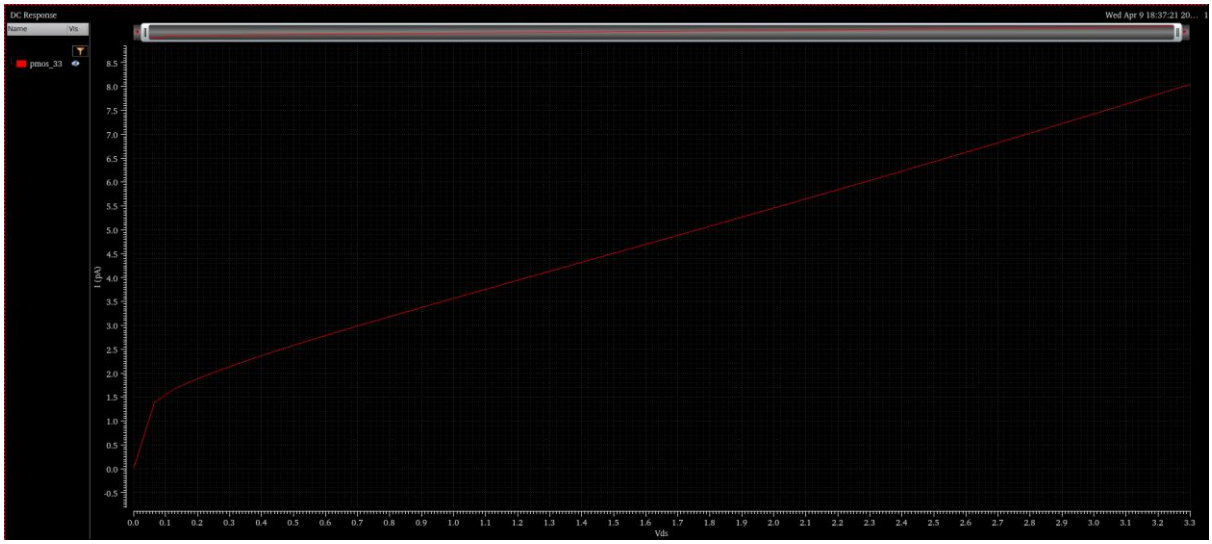
:nmos_33



:pmos_18



:pmos_33



אכן ניתן לראות כי התוצאות שקיבלנו תואמות את התיאוריה ואת הציפיות שלנו.

הנוסחא לזרם זליגה במתחים מתחת ל- V_T שקיבלנו בקורס פיזיקה של התקני מל"מ:

$$I_{sub} = I_0 e^{\frac{V_{GS}-V_T}{\eta\phi_t}} \left(1 - e^{\frac{-V_{DS}}{\phi_t}}\right) e^{\frac{\gamma V_{DS}}{\eta\phi_t}}$$

ניתן לראות כי באמת כאשר V_{DS} עולה הזרם זליגה קטן בהנחה כי V_{GS} קבוע.

חלק ב' – בניית מהפך

שאלה 1

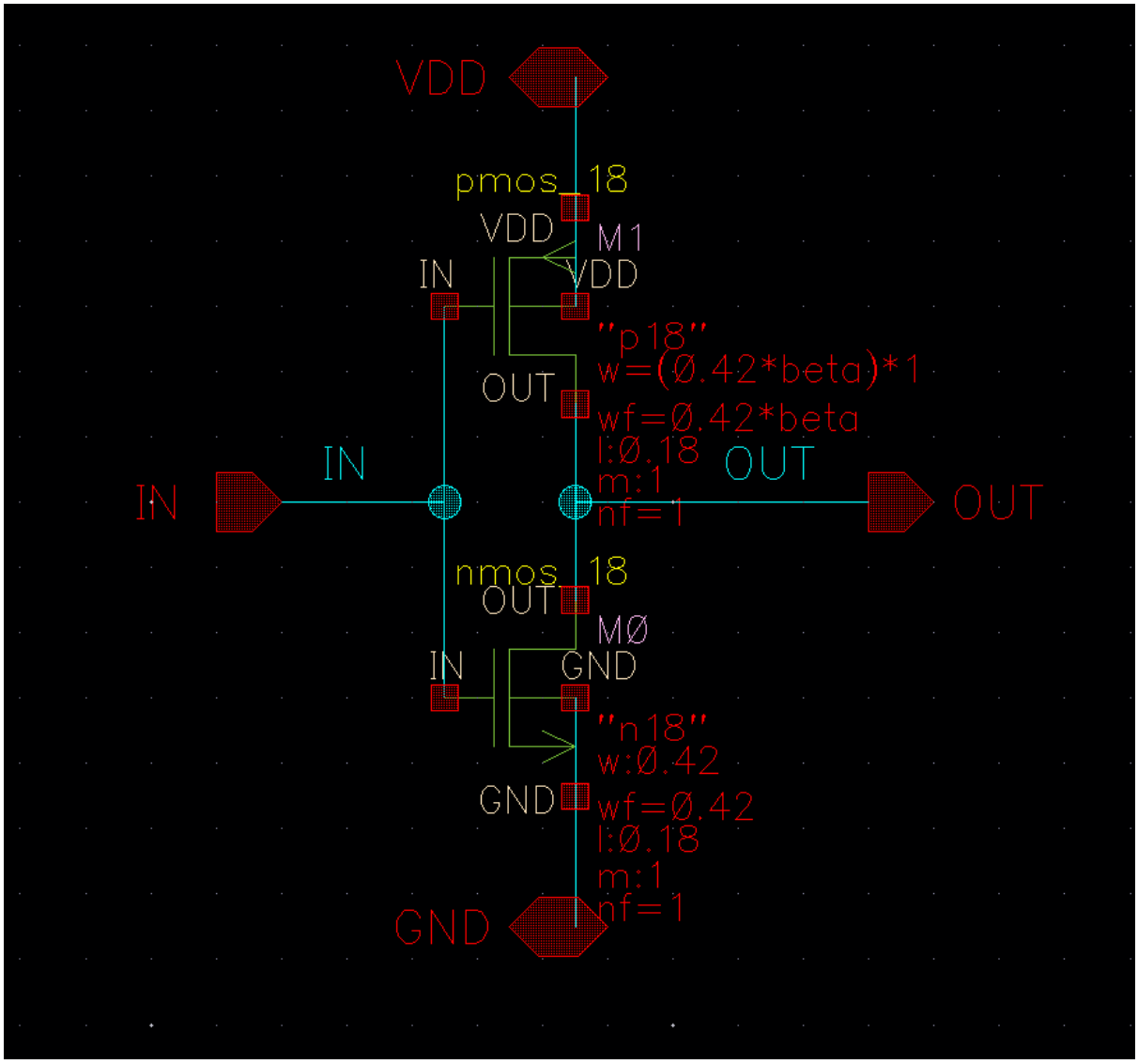
<u>סעיף 1.1</u>

תיכננו סכמה של מהפך עם שימוש בטרנזיסטורים nmos_18 ו- pmos_18 עם ערכי הרוחב הבאים:

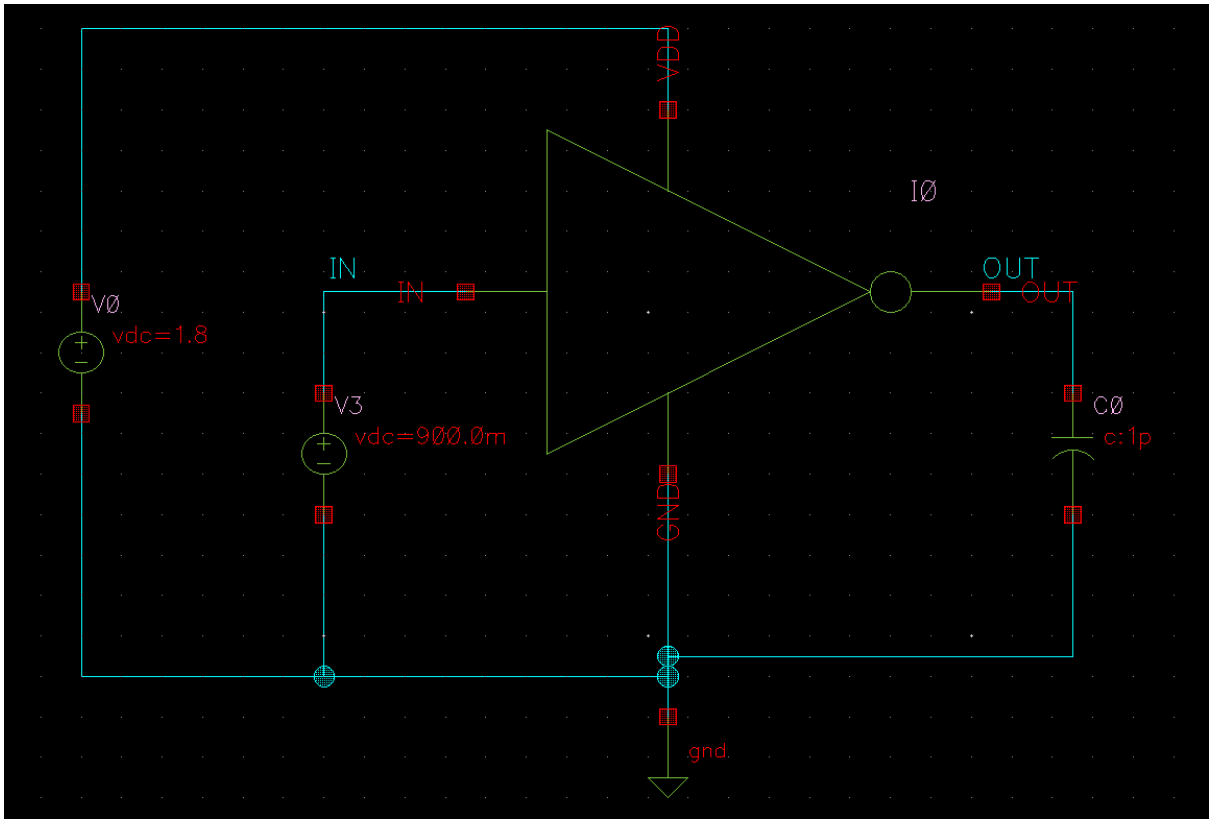
$$W_P = 0.42\beta$$

$$W_n = 0.42$$

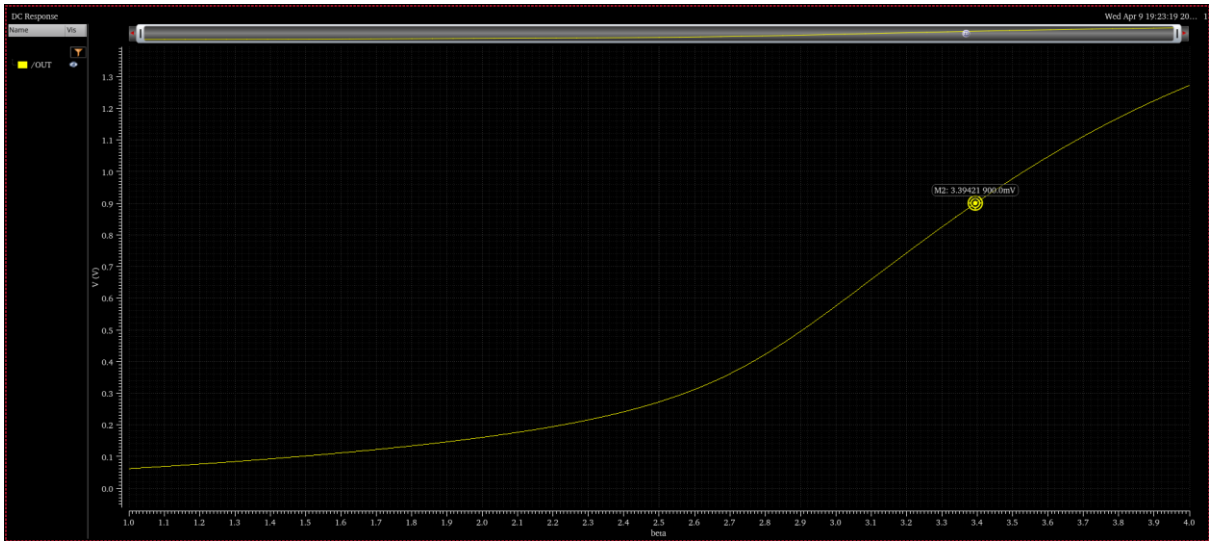
הסכמה של המהפך בתמונה:



הסכמה של המעגל:



כדי לגלות את β נקבע את $V_{in} = 0.9$ ונערוך סימולציית DC Sweep על β לאחר מכן נשלוף את β עבורה $V_{out} = 0.9$:

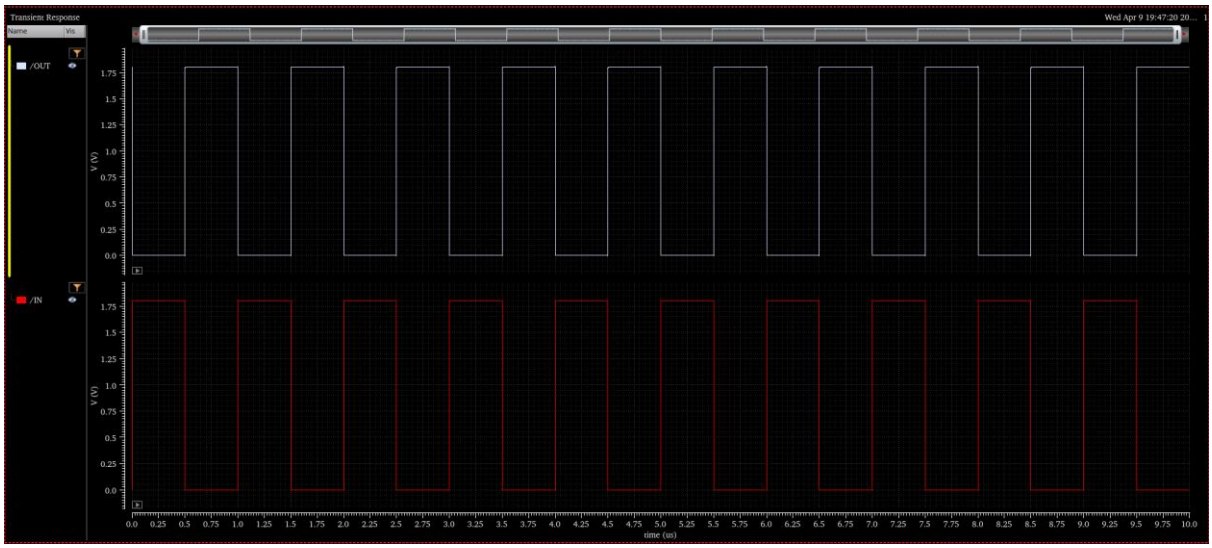


מהגרף $\beta = 3.394$

סעיף 1.2

נראה סימולציה בזמן שמראה את גל הכניסה מול גל המוצא בתדר של $1MHz$ וקיבול מוצא של $100fF$.

הסימולציה במשך $10\mu sec$ שיצאה:



סעיף 1.3

כעת נמדוד $t_{P_{LH}}$, $t_{P_{HL}}$ ואת את t_{pd} הכולל של המהפך:

ממעגלים ספרתיים:

- $t_{P_{LH}}$ זה הזמן מהגעת הכניסה לערך של $\frac{V_{DD}}{2}$ במעבר מגבוה לנמוך ועד להגעת המוצא לערך $\frac{V_{DD}}{2}$
- $t_{P_{HL}}$ זה הזמן מהגעת הכניסה לערך של $\frac{V_{DD}}{2}$ במעבר מנמוך לגבוה ועד להגעת המוצא לערך $\frac{V_{DD}}{2}$
- $t_{pd} = \frac{t_{P_{HL}}+t_{P_{LH}}}{2}$

נשתמש בפונקציית cross ונמצא את הזמנים:

t_{fall} זמן בו הכניסה הגיעה ל- $0.9V$ בירידה.

t_{rise} זמן בו המוצא הגיע ל- $0.9V$ בעלייה.

$$t_{P_{LH}} = t_{rise} - t_{fall}$$

$$t_{P_{HL}} = t_{fall} - t_{rise}$$

לאחר הרצת הסימולציות נקבל:

TpHL	expr	(cross(VT("/OUT") 0.9 1 "falling" nil nil nil) - cross(VT("/IN") 0.9 1 "rising" nil nil nil))	380p	✓	
TpLH	expr	(cross(VT("/OUT") 0.9 1 "rising" nil nil nil) - cross(VT("/IN") 0.9 1 "falling" nil nil nil))	309.3p	✓	
Tpd	expr	((TpHL + TpLH) / 2)	344.7p	✓	

ולכן

$$t_{pd} = 344.7ps$$

סעיף 1.4

נחשב כמה זה גידול של 10%:

$$344.7 * 1.1 = 379.17ps$$

נבצע *sweep* על ערך הקבל בין $100fF$ ל- $110fF$ בקפיצות של 0.5 עד לקבלת ה- t_{pd} הנדרש:

cap 100f:0.5f:110f

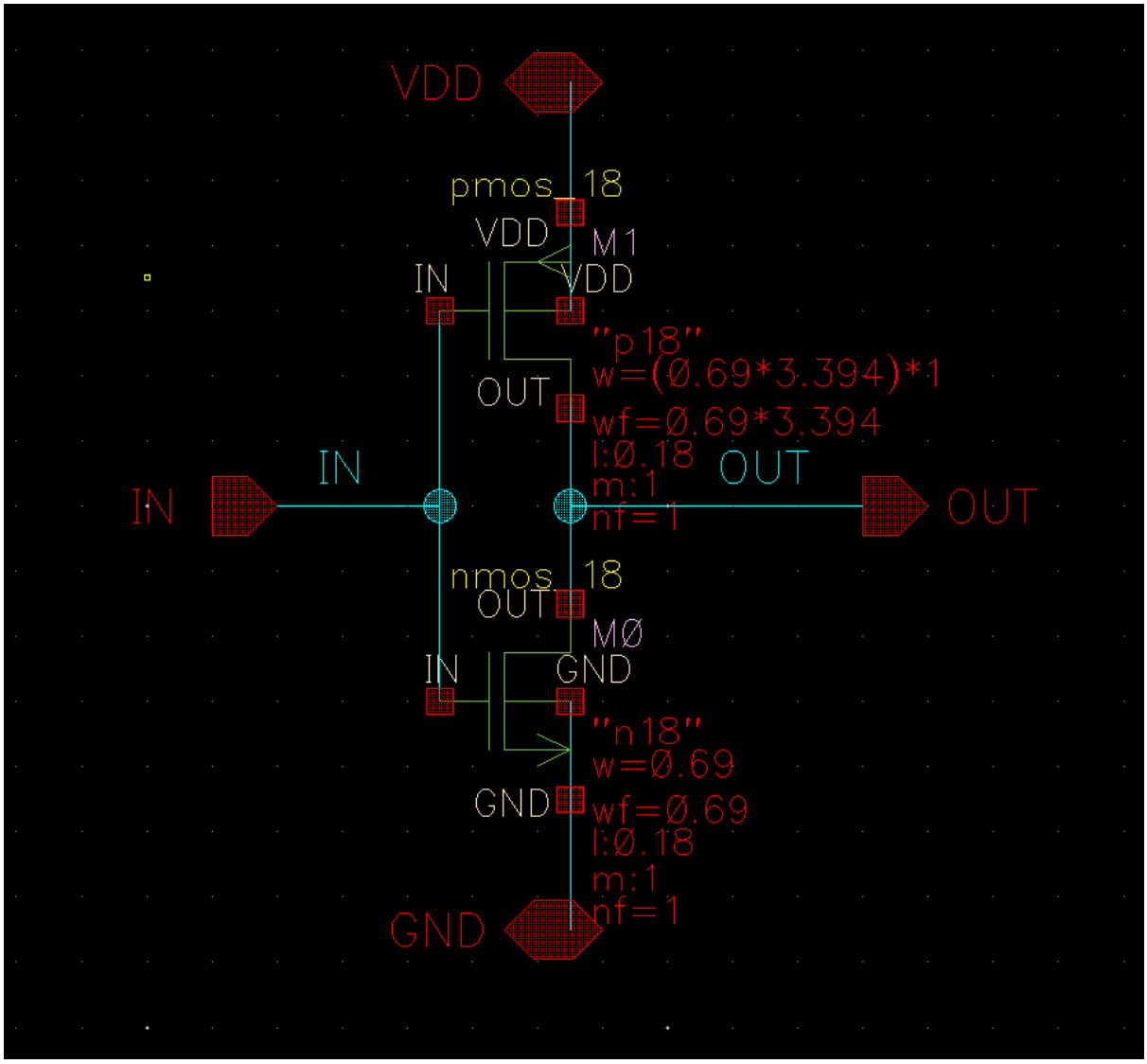
Parameters: cap=110f						
11	lab1_TB_inverte...	TpHL	414.6p			
11	lab1_TB_inverte...	TpLH	337.3p			
11	lab1_TB_inverte...	Tpd	376p			
11	lab1_TB_inverte...	/OUT				
11	lab1_TB_inverte...	/IN				
Parameters: cap=110.5f						
12	lab1_TB_inverte...	TpHL	416.4p			
12	lab1_TB_inverte...	TpLH	338.7p			
12	lab1_TB_inverte...	Tpd	377.5p			
12	lab1_TB_inverte...	/OUT				
12	lab1_TB_inverte...	/IN				
Parameters: cap=111f						
13	lab1_TB_inverte...	TpHL	418.1p			
13	lab1_TB_inverte...	TpLH	340.1p			
13	lab1_TB_inverte...	Tpd	379.1p			
13	lab1_TB_inverte...	/OUT				
13	lab1_TB_inverte...	/IN				
Parameters: cap=111.5f						
14	lab1_TB_inverte...	TpHL	419.8p			
14	lab1_TB_inverte...	TpLH	341.4p			
14	lab1_TB_inverte...	Tpd	380.6p			
14	lab1_TB_inverte...	/OUT				
14	lab1_TB_inverte...	/IN				
Parameters: cap=112f						
15	lab1_TB_inverte...	TpHL	421.5p			
15	lab1_TB_inverte...	TpLH	342.8p			
15	lab1_TB_inverte...	Tpd	382.2p			
15	lab1_TB_inverte...	/OUT				
15	lab1_TB_inverte...	/IN				

כלומר ערך הקיבול:

$$C = 111fF$$

סעיף 1.5

נשנה את ערכי רוחב התעלה של ה- *nmos* ל- $w = 0.42 + 0.27 = 0.69$ וה- *pmos* כך שיהיו $w = (0.42 + 0.27)\beta = 0.69\beta$ ונקבע את $\beta = 3.394$ כמו שקיבלנו מקודם.



ההשהיה שיצאה לנו:

	signal	/OUT			
	signal	/IN			
TpHL	expr	(cross(VT("/OUT") 0.9 1 "falling" nil nil nil) - cross(VT("/IN") 0.9 1 "rising" nil nil nil))	274.2p	✓	
TpLH	expr	(cross(VT("/OUT") 0.9 1 "rising" nil nil nil) - cross(VT("/IN") 0.9 1 "falling" nil nil nil))	213.9p	✓	
Tpd	expr	((TpHL + TpLH) / 2)	244.1p	✓	

כלומר

$$t_{pd} = 244.1ps$$

- נשים לב שזמן ההשהיה שלנו קטן מזמן ההשהיה הקודם.

ממעגליים סיפרתיים, זמן ההשהיה של המהפך הוא:

$$t_{pd} = t_{p_0}\left(1 + \frac{f}{\gamma}\right)$$

כאשר

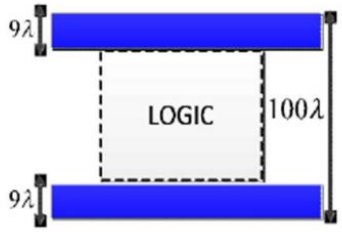
$$f = \frac{C_{ext}}{C_{g,GATE}}$$

הגדלנו את רוחבי התעלות ולכן הגדלנו את קיבולי השער של הטרנזיסטורים במהפך.
ולכן הגדלנו את $C_{g,GATE}$ ומכאן ש- f קטן. ולכן t_{pd} קטן.

ולכן התוצאה תואמת את התאוריה.

שאלה 2

נבנה *LAYOUT* למהפך משאלה קודמת בצורה הבאה:



דגשים:

- עמידה ב-DRC, LVS ודרישות מהתכנון.
- שיתוף דיפוזיות ו-Well ככל הניתן על מנת לקבל Layout מינימלי.
- קווי אספקה ב-Metal 1 בעלי עובי של 9λ, כאשר $\lambda = 0.09\mu m$.
- גובה כול התא יהיה בדיוק 100λ, כולל קווי האספקה.
- יש להשתמש רק ב-M1.
- יישור קווי Metal ושאיפה לסימטריות ככל הניתן.

סעיף 2.1

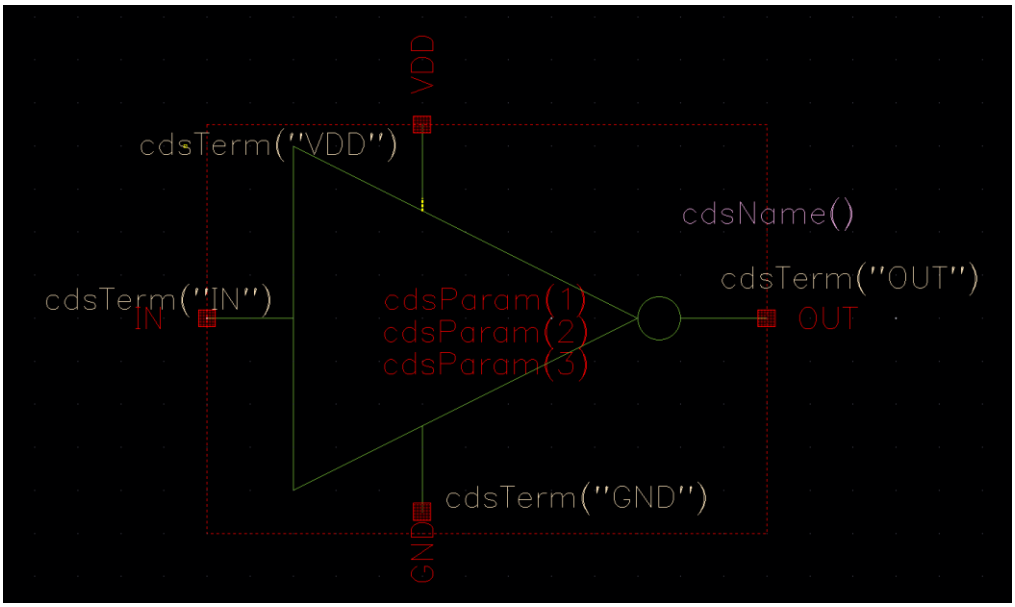
- התא צריך להתאים לגובה קבוע של 100λ, כך שיוכל להשתלב כראוי בין תאים אחרים בשורת לוגיקה. גובה אחיד מאפשר סידור שורות צפוף ויעיל.
- קווי האספקה V_{DD}, GND ממוקמים תמיד בגובה של 9λ מהשוליים העליונים והתחתונים של התא. עמידה במרחק זה תבטיח חיבור נכון למסילות כאשר יש פריסה של הרבה תאים ביחד.
- התא בנוי בצורה סימטרית, ומיקומו של ה- $LOGIC$ באמצע תורם לאיזון תרמי ואלקטרוני וגם מקל על ביצוע חיבורים לכניסות ויציאות בעת שלב הפריסה והניתוב.
- שימוש ב- λ כיחידת תכנון מבטיח כי ה- *LAYOUT* יהיה מינימלי ויעמוד בדרישות ה- *DRC* במקרה שלנו:

גובה התא: $100\lambda = 9\mu m$

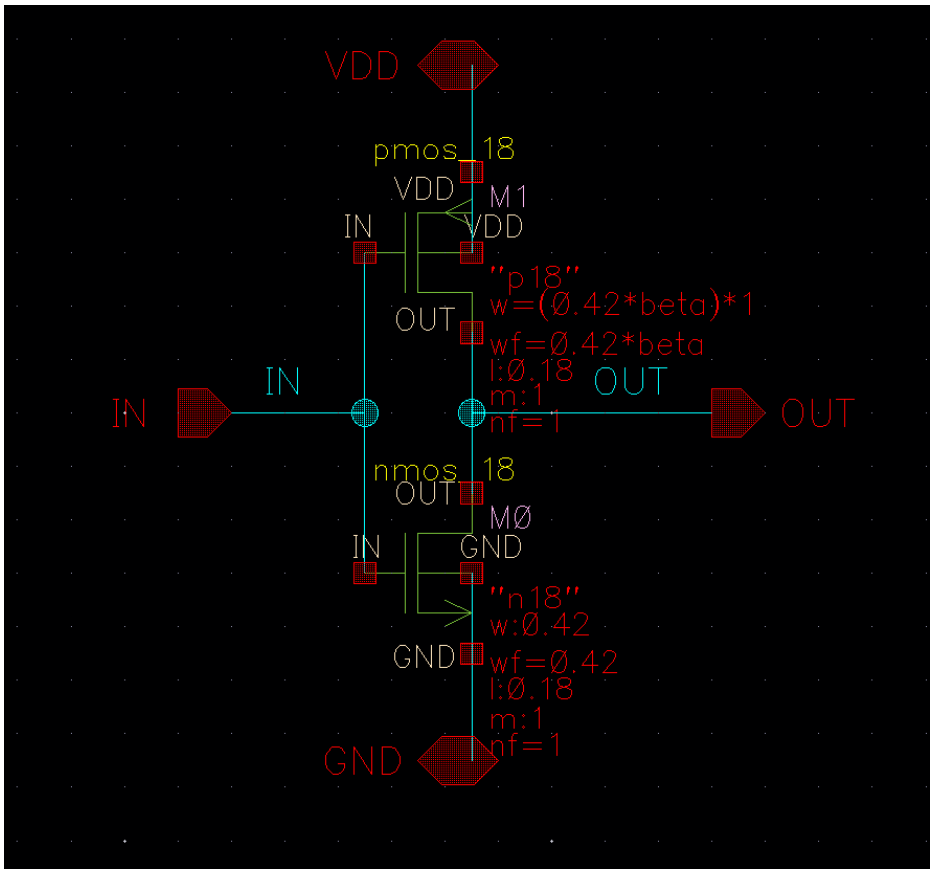
מיקום המסילות: $9\lambda = 0.81\mu m$

סעיף 2.2

הסימבול שיצרנו:



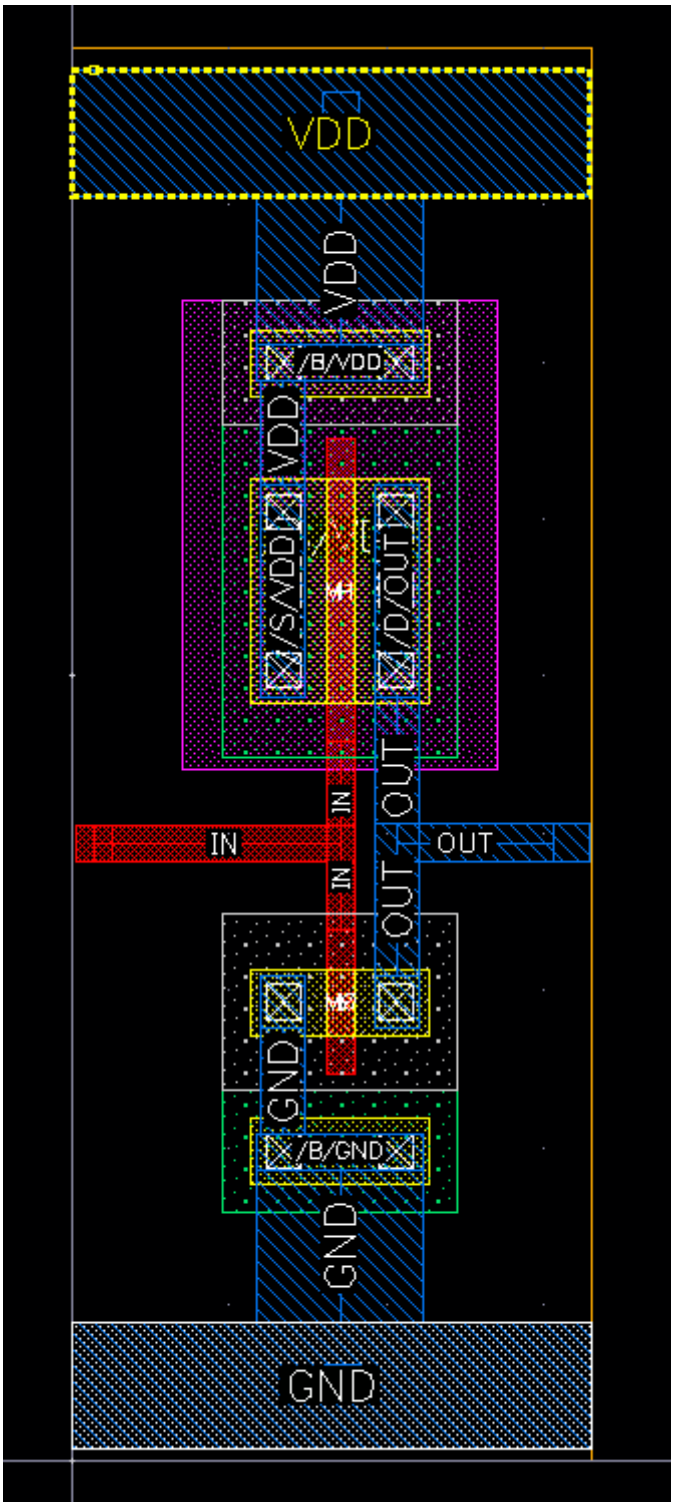
עבור המהפך משאלה קודמת:



סעיף 2.3

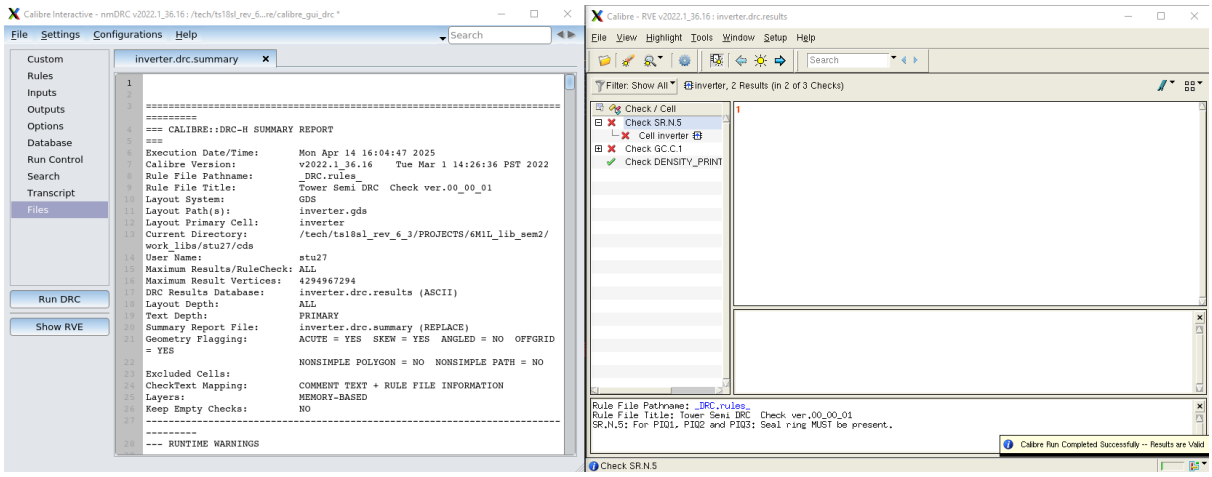
בתכנון ה- *LAYOUT* עשינו את גובה ה- *PR BOUNDARY* כ- 100λ כלומר $9\mu m$

ה- *LAYOTE*:



סעיף 2.4

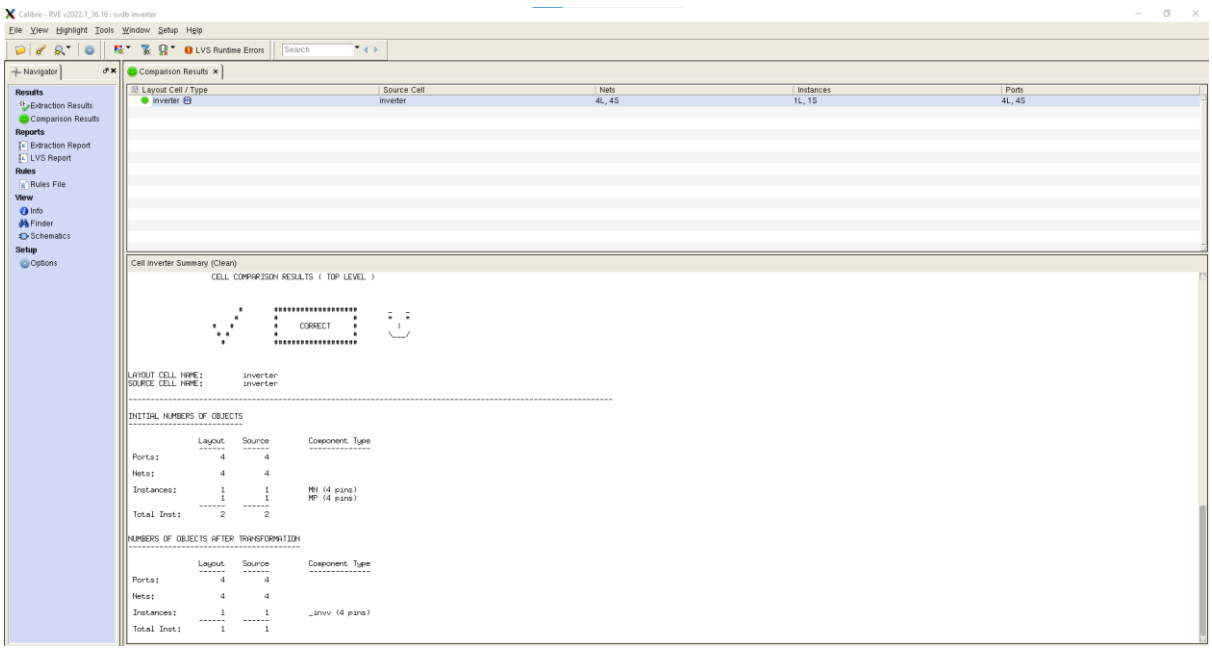
נבדוק אם יש בעיות *DRC*:



ניתן לראות כי אין בעיות *DRC* מלבד *coverage* ו- *seal ring*.

סעיף 2.5

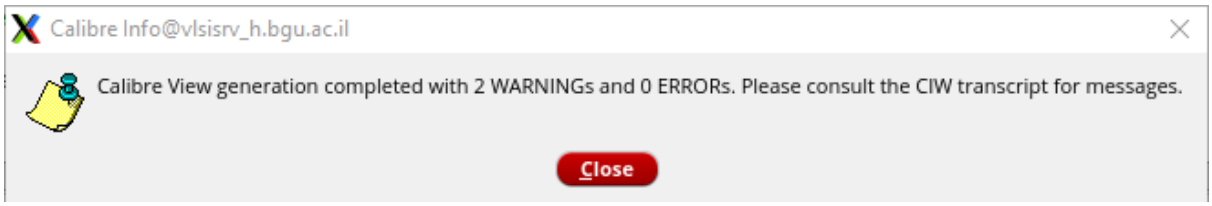
נבדוק *LVS*:

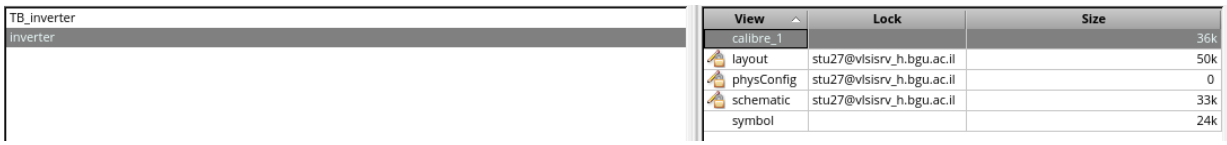


ניתן לראות כי בדיקת יצאה *LVS* תקינה.

סעיף 2.6

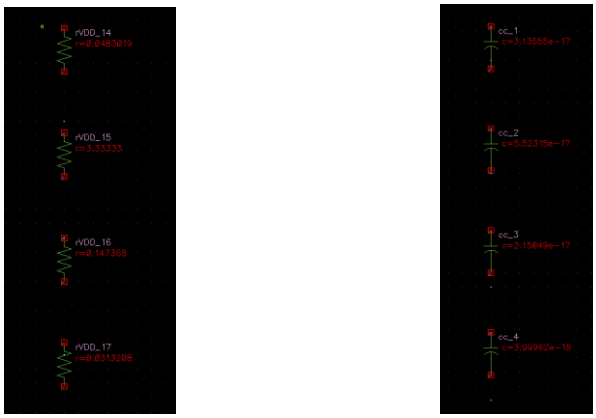
נבדוק *PEX*:



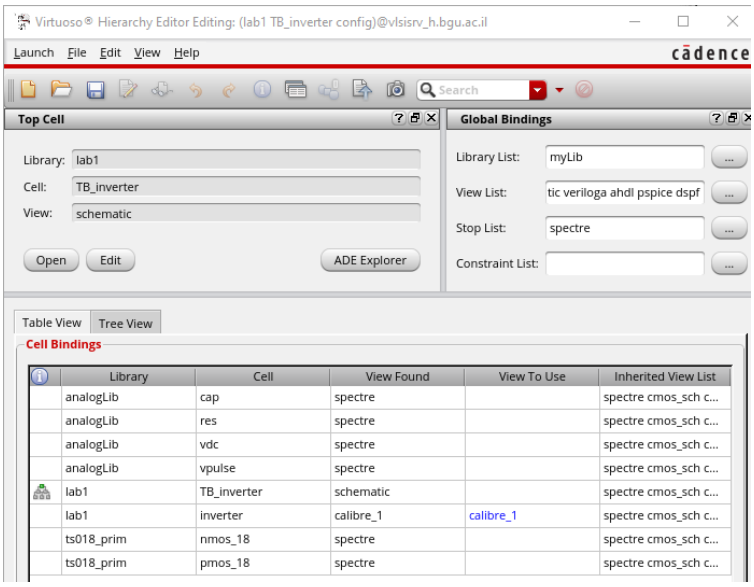


ניתן לראות כי בדיקת יצאה *PEX* תקינה.

נראה כמה מהפרזיטיקות שקיבלנו:



יצרנו קובץ *confing* בו דרשנו שהמהפך ישתמש ב- *calibre*.



והרצנו סימולציה שמשתמשת ב- *config* שבודקת זמן ה- t_{pd}:

	signal	/OUT			
	signal	/IN			
TpHL	expr	(cross(VT("/OUT") 0.9 1 "falling" nil nil nil) - cross(VT("/IN"...	422.8p	✓	
TpLH	expr	(cross(VT("/OUT") 0.9 1 "rising" nil nil nil) - cross(VT("/IN")...	343p	✓	
Tpd	expr	((TpHL + TpLH) / 2)	382.9p	✓	

ניתן לראות שהתוצאות אמנם שונות בגלל הפרזיטיקות שגורמות להשהיה גדולה יותר במעט (כתוצאה מתוספת קיבולים והתנגדות).

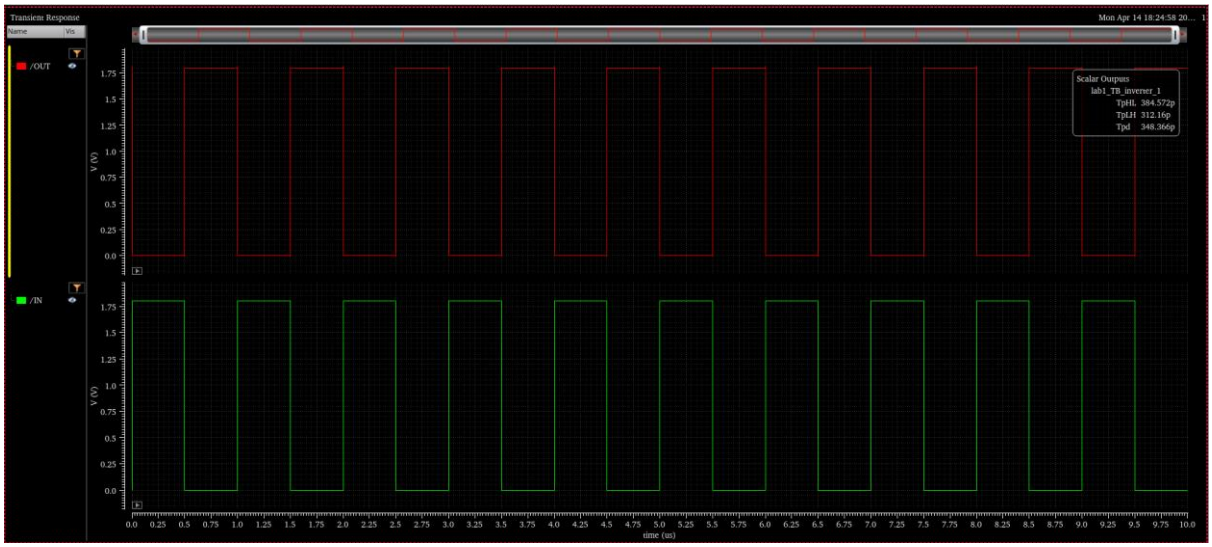
סעיף 2.7

נבצע את סעיפים 1.2-1.5 משאלה קודמת:

סעיף 1.2

נראה סימולציה בזמן שמראה את גל הכניסה מול גל המוצא בתדר של $1MHz$ וקיבול מוצא של $100fF$.

הסימולציה במשך $10\mu sec$ שיצאה:



סעיף 1.3

כעת נמדוד $t_{P_{LH}}$, $t_{P_{HL}}$ ואת את t_{pd} הכולל של המהפך:

נשתמש בפונקציית cross ונמצא את הזמנים:

t_{fall} זמן בו הכניסה הגיעה ל- $0.9V$ בירידה.

t_{rise} זמן בו המוצא הגיע ל- $0.9V$ בעלייה.

$$t_{P_{LH}} = t_{rise} - t_{fall}$$

$$t_{P_{HL}} = t_{fall} - t_{rise}$$

לאחר הרצת הסימולציות נקבל:

TpHL	expr	(cross(VT("/OUT") 0.9 1 "falling" nil nil nil) - cross(VT("/IN"...	384.6p	✓	
TpLH	expr	(cross(VT("/OUT") 0.9 1 "rising" nil nil nil) - cross(VT("/IN")...	312.2p	✓	
Tpd	expr	((TpHL + TpLH) / 2)	348.4p	✓	

ולכן

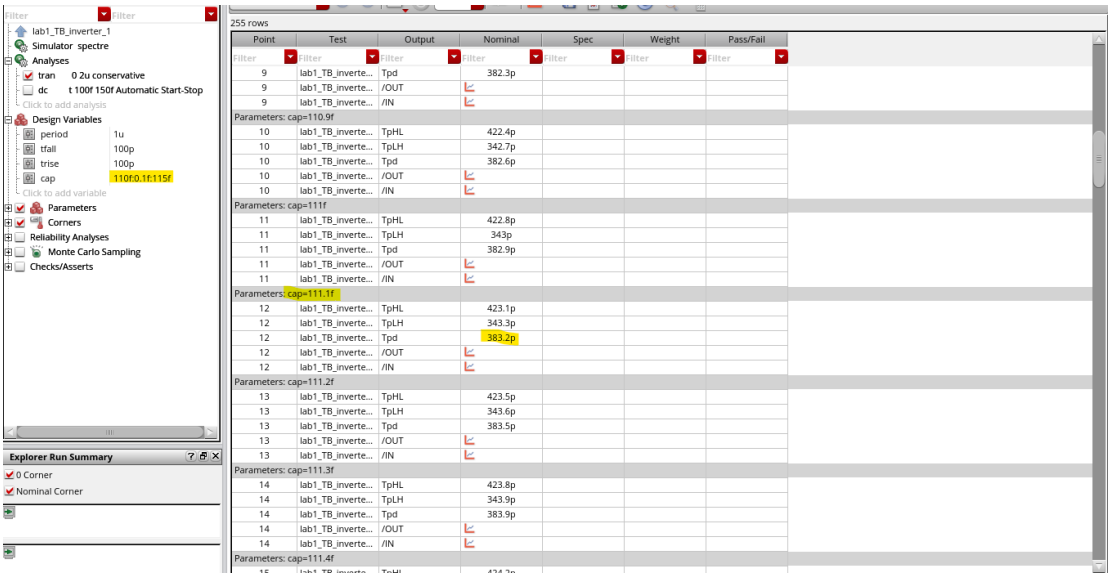
$$t_{pd} = 348.4ps$$

סעיף 1.4

נחשב כמה זה גידול של 10%:

$$348.4 * 1.1 = 383.2ps$$

נבצע *sweep* על ערך הקבל בין $100fF$ ל- $115fF$ בקפיצות של 0.1 עד לקבלת ה- t_{pd} הנדרש:



כלומר ערך הקיבול:

$$C = 111.1fF$$

נסכם את התוצאות בטבלה:

	לפני פרזיטיקות	אחרי פרזיטיקות
t_{pd}	$344.7ps$	$348.4ps$
$1.1t_{pd}$	$379.17ps$	$383.24ps$
ערך הקבל עבור $1.1t_{pd}$	$111fF$	$111.1fF$

סעיף 2.8

מהחישוב בסעיף הקודם ניתן לראות כי עבור $1.1t_{pd}$ הקבל גדל ב $10fF$. לכן נסיק כי אם נגדיל את הקבל ב- $10fF$ נקבל עליה משמעותית של 10% בזמן ההשהיה.

סעיף 2.9

קבל המוצא של התא לאחר ה- PEX גדול יותר מקבל המוצא של התא הסכמתי מכיוון שלאחר בדיקת ה- PEX נוספים במקביל לקבל המוצא קיבולי דיפוזיה וקיבולי overlap כפי שלמדנו. בתא הסכמתי קיבולים אלו לא נלקחים בחשבון.

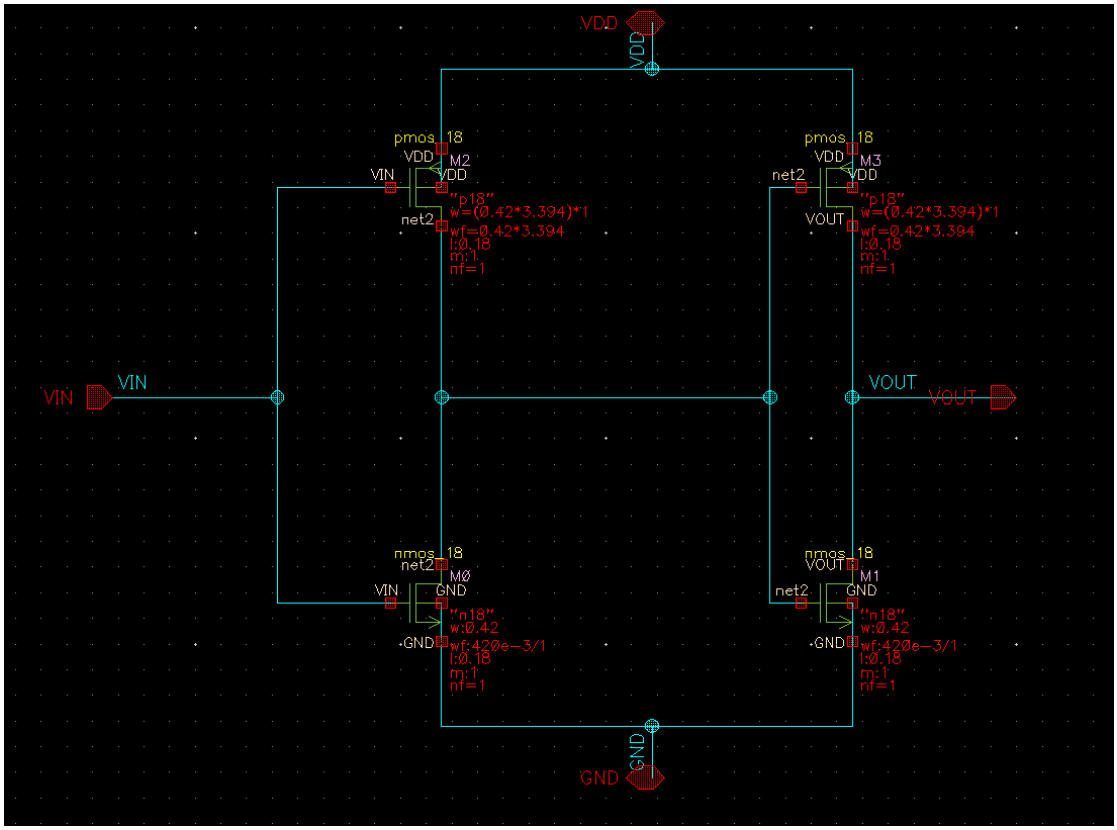
חלק ג'- בניית Buffer

שאלה 1

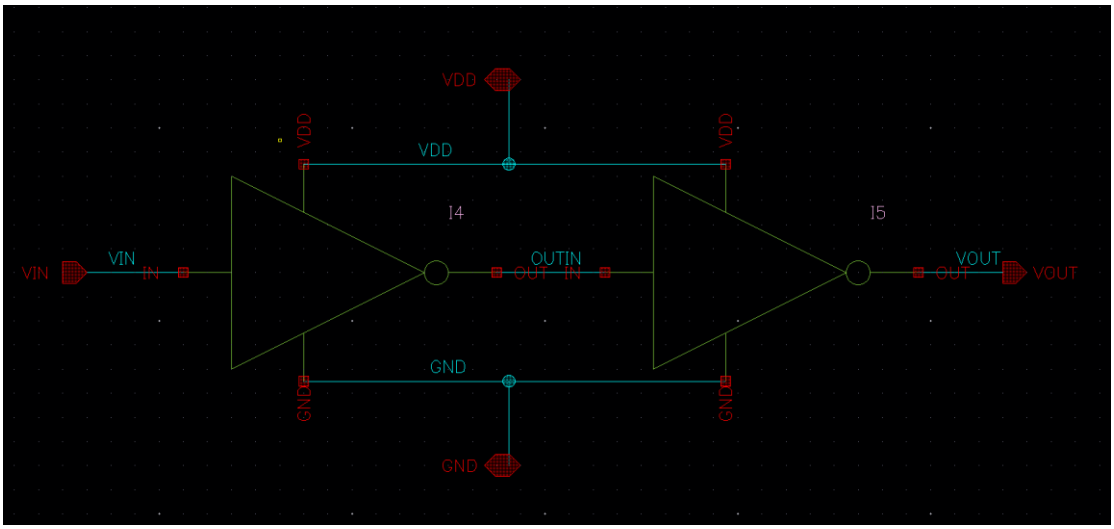
סעיף 1.1

נתכנן 2 סכמות של התא בשתי דרכים שונות:

מימוש על ידי טרנזיסטורים:



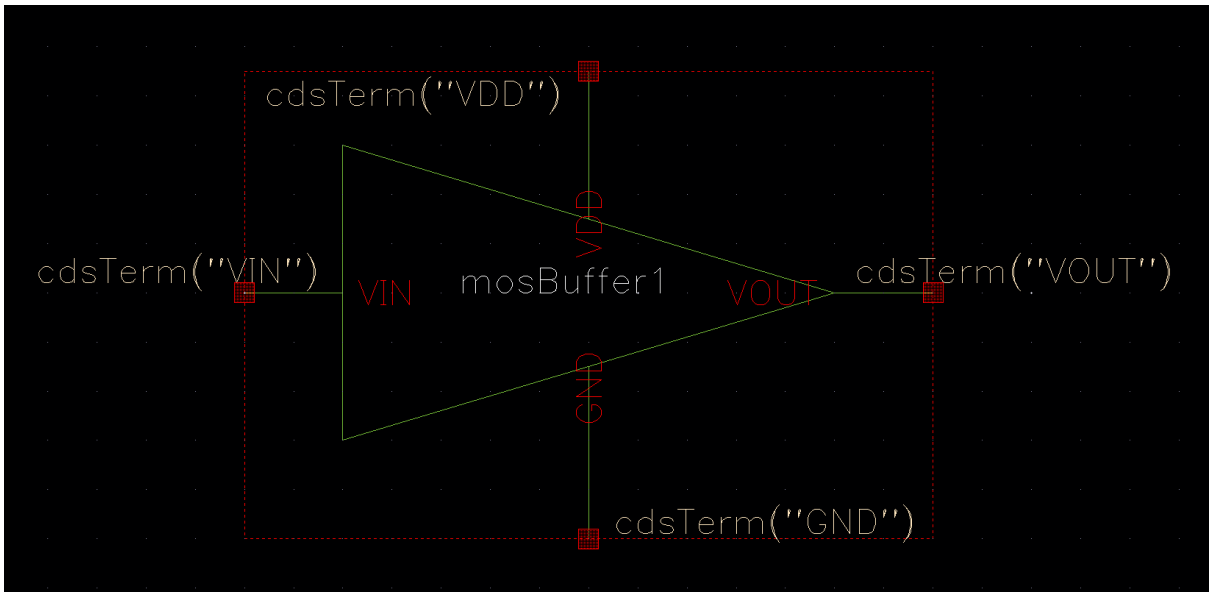
מימוש על ידי המהפך שיצרנו בשאלה הקודמת:



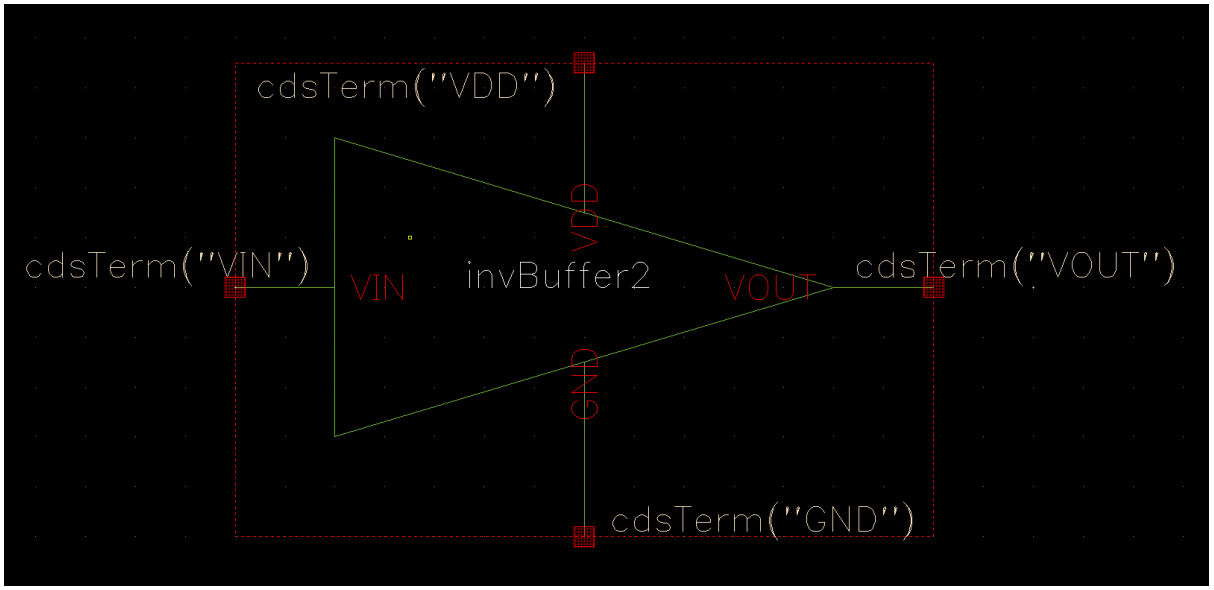
סעיף 1.2

ניצור סימבולים לסכמות:

סכמה 1:



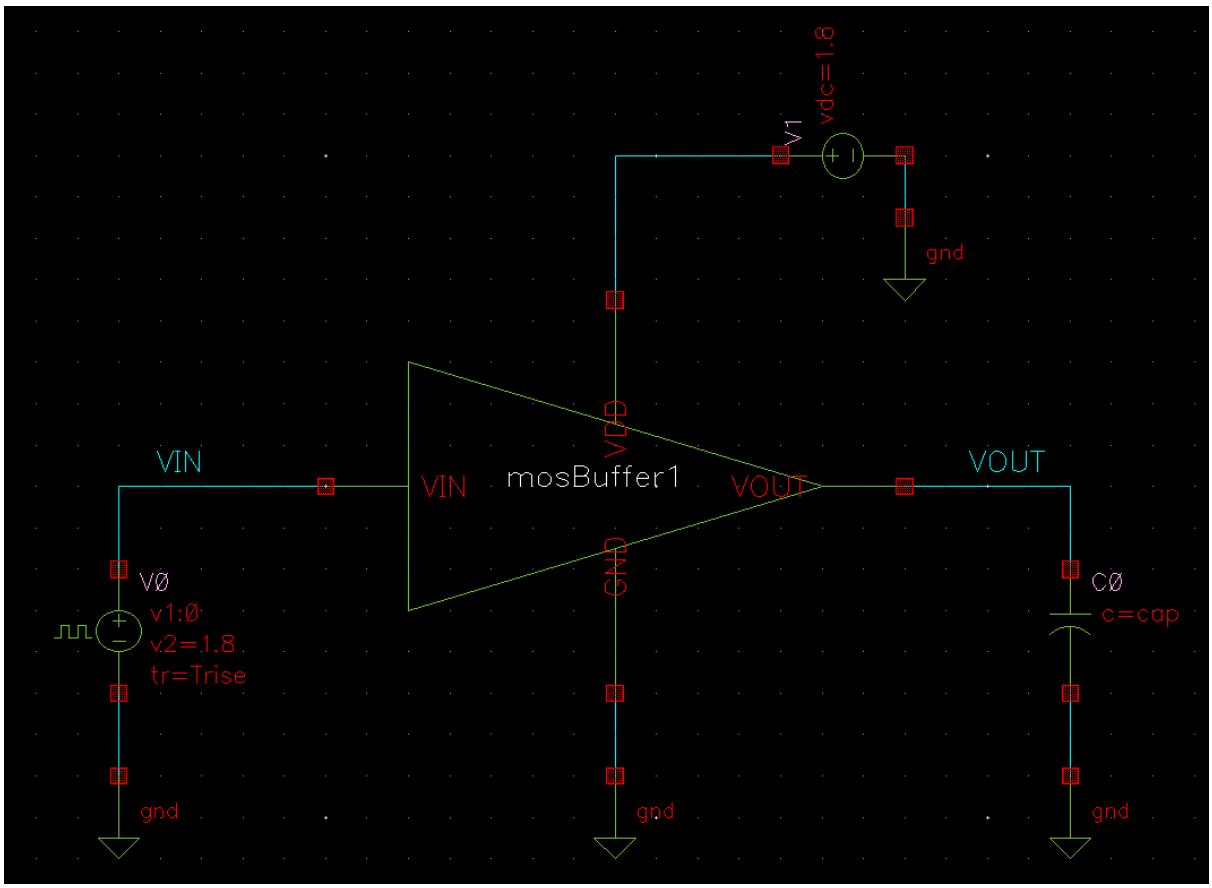
סכמה 2:



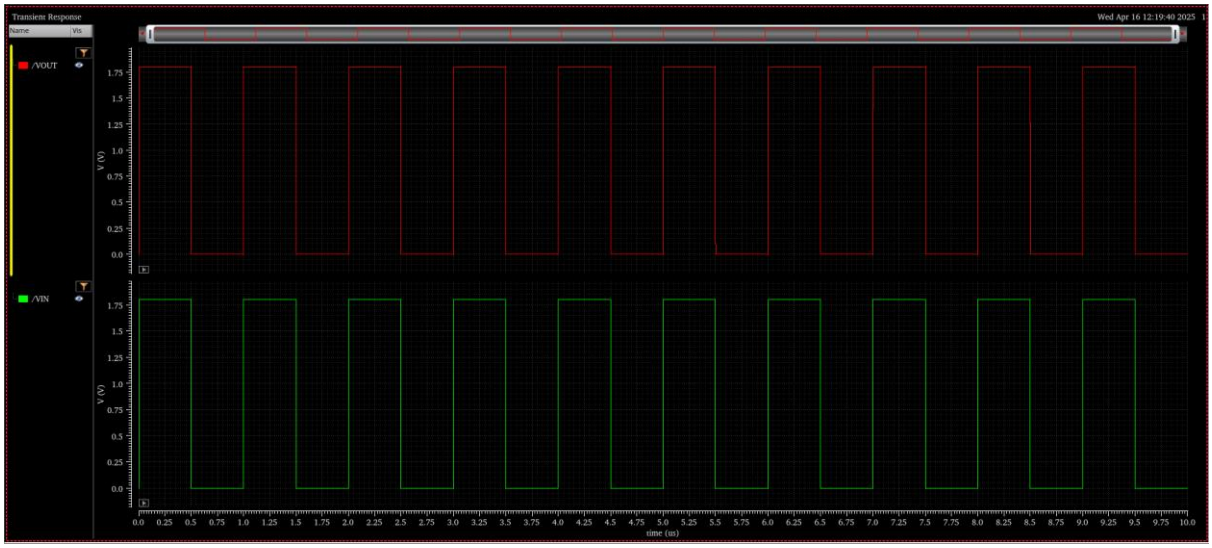
סעיף 1.3

לכל אחת מהסכמות בונים סימולציה של גל כניסה ריבועי בתדר $1MHz$ עם קבל מוצא $C = 100fF$.

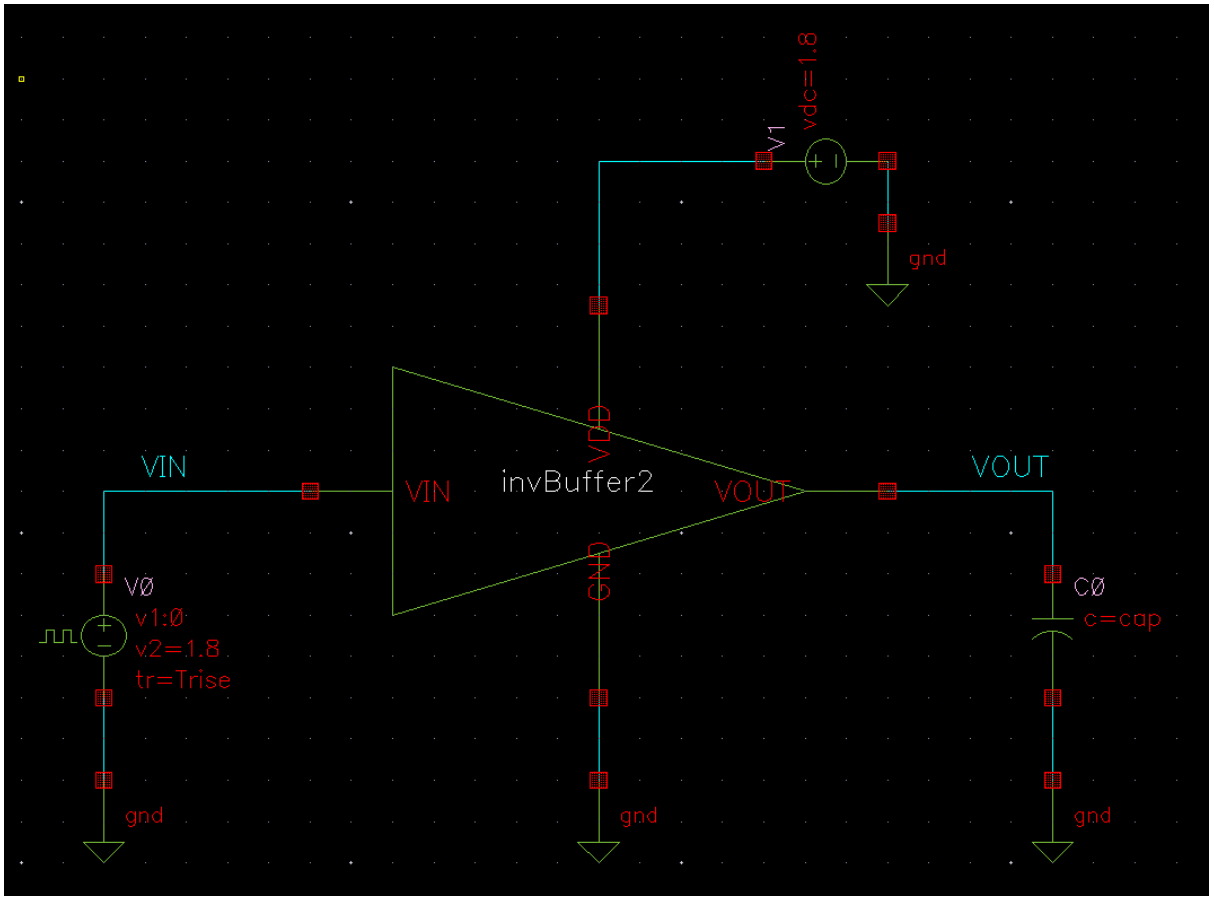
סכמה 1:



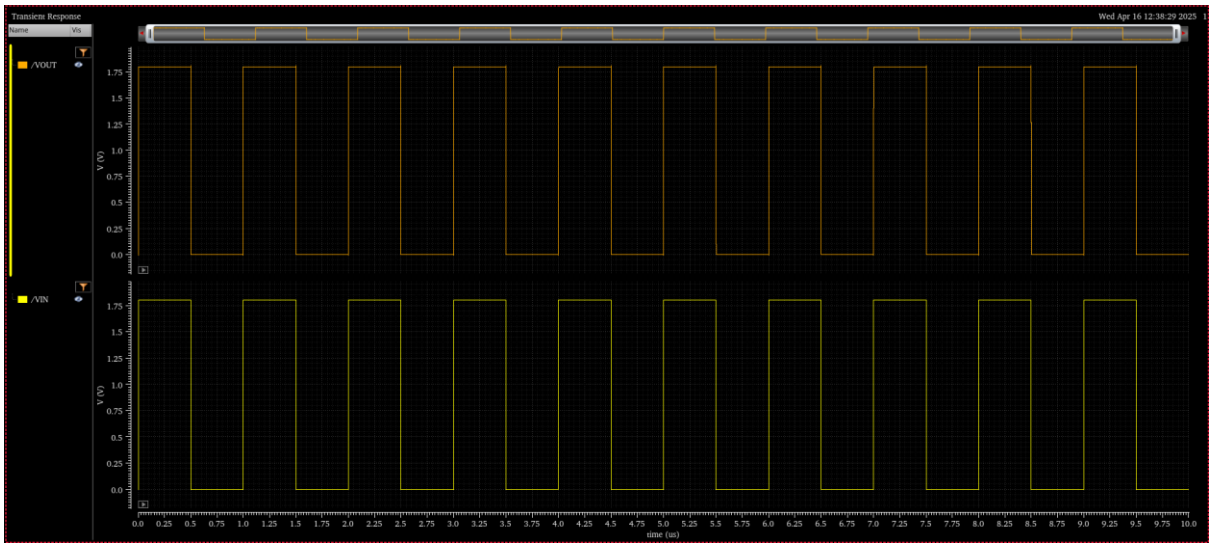
הסימולציה עבורה:



סכמה 2:



הסימולציה עבורה:



סעיף 1.4

נעריך את ה- t_{pd} של ה- Buffer, הוא מורכב משני מהפך ולכן נעריך כי זמן ההשהיה שלו תהיה פי 2 מזמן ההשהיה של מהפך יחיד כלומר:

$$t_{pd} = 344.7 * 2 = 689.4\ ps$$

סעיף 1.5

נמדוד במדויק זמן ההשהיה:

נחשב במחשבון בתכנה ונחשב מתי הכניסה והמוצא מגיעים ל- 90% מהערך של V_{DD} מלמעלה ומלמטה.

נשתמש בפונקציית cross ונמצא את הזמנים:

t_{fall_1} זמן בו הכניסה הגיעה ל- $0.18V$ בירידה.

t_{fall_2} זמן בו המוצא הגיע ל- $0.18V$ בירידה.

t_{rise_1} זמן בו הכניסה הגיעה ל- $1.62V$ בעלייה.

t_{rise_2} זמן בו המוצא הגיע ל- $1.62V$ בעלייה.

$$t_{p,rise} = t_{rise_1} - t_{rise_2}$$

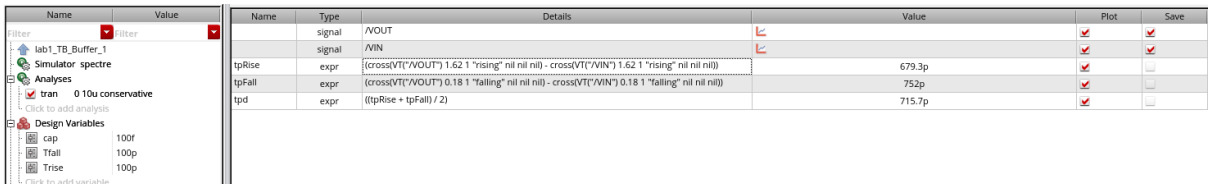
$$t_{p,fall} = t_{fall_1} - t_{fall_2}$$

ואז

$$t_{pd} = \frac{t_{p,rise} + t_{p,fall}}{2}$$

לאחר הרצת הסימולציות נקבל:

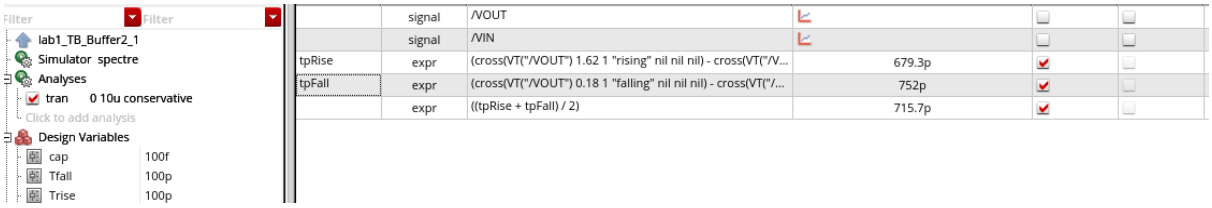
עבור סכמה 1:



ולכן

$$t_{pd} = 715.7ps$$

עבור סכמה 2:



ולכן

$$t_{pd} = 715.7ps$$

נבדוק שיצא לנו פי 2 מזמן ההשהיה של מהפך:

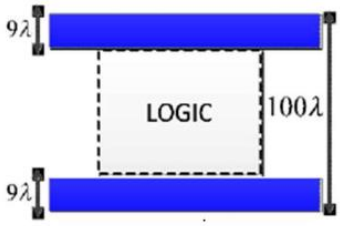
$$\frac{t_{pd,buffer}}{t_{pd,inv}} = \frac{715.7}{344.7} = 2.076 \approx 2$$

פי 2 כפי שצפינו.

שאלה 2

<u>סעיפים 2.1-2.4</u>

נתכנן *LAYOUT* עבור התאים עם הדגשים הבאים:

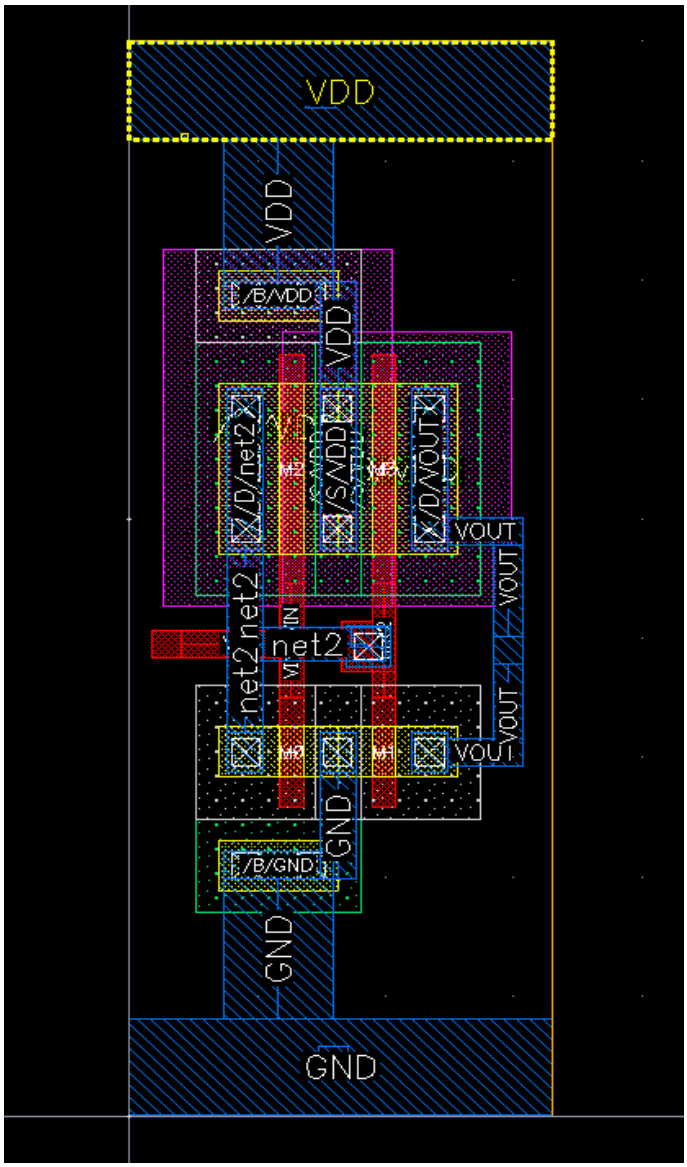


דגשים:

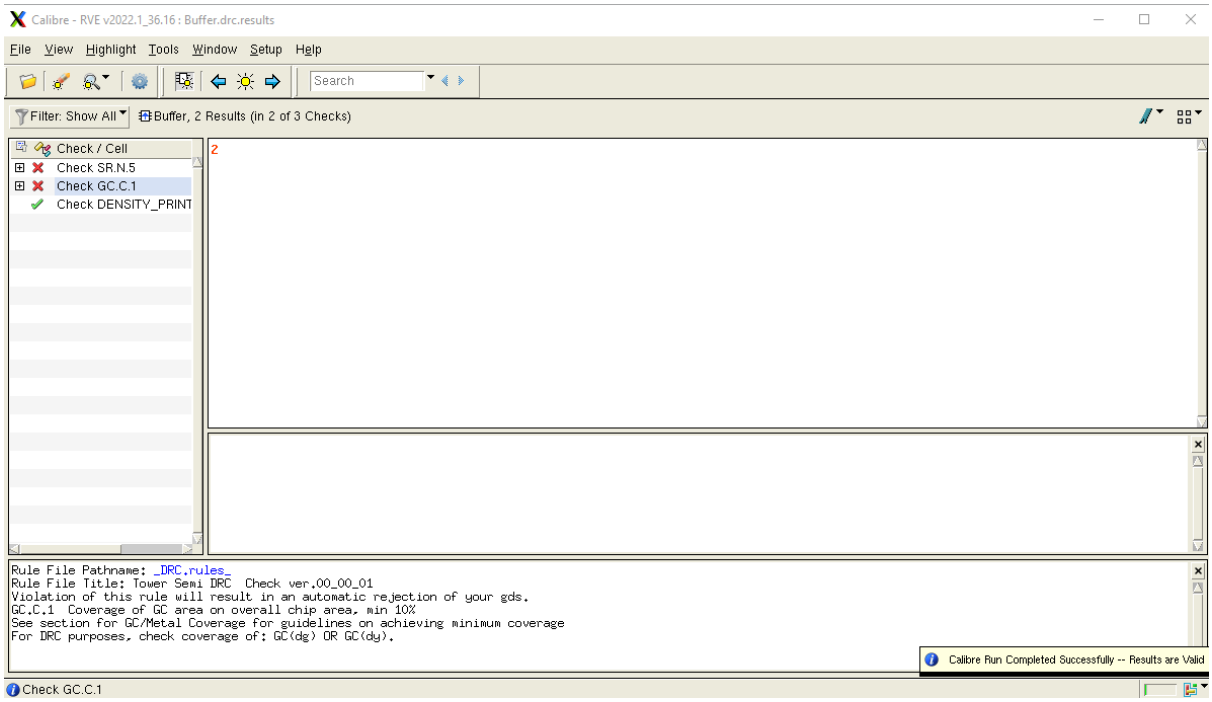
- עמידה ב-DRC, LVS ודרישות מהתכנון.
- שיתוף דיפוזיות ו-Well ככל הניתן על מנת לקבל Layout מינימלי.
- קווי אספקה ב-Metal 1 בעלי עובי של 9λ, כאשר $\lambda = 0.09\mu m$.
- גובה כול התא יהיה בדיוק 100λ, כולל קווי האספקה.
- יישור קווי Metal ושאיפה לסימטריות ככל הניתן.

נבנה LAYOUT לשני הסכמות ונריץ בדיקת עבורם:

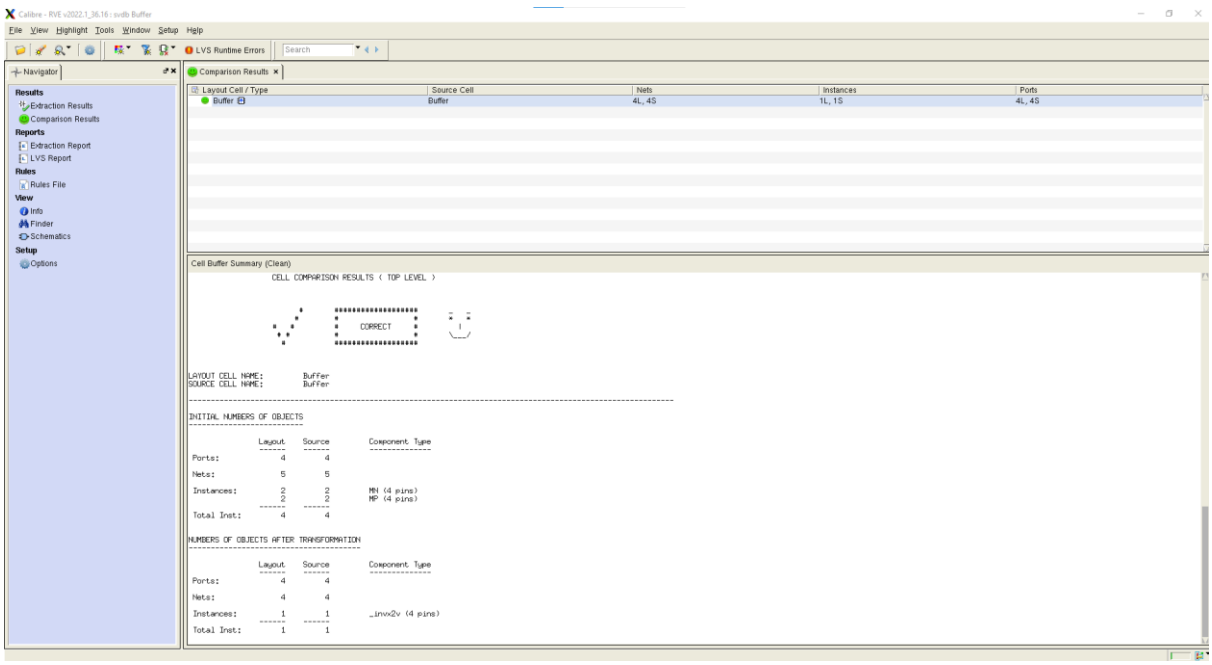
סכמה 1:



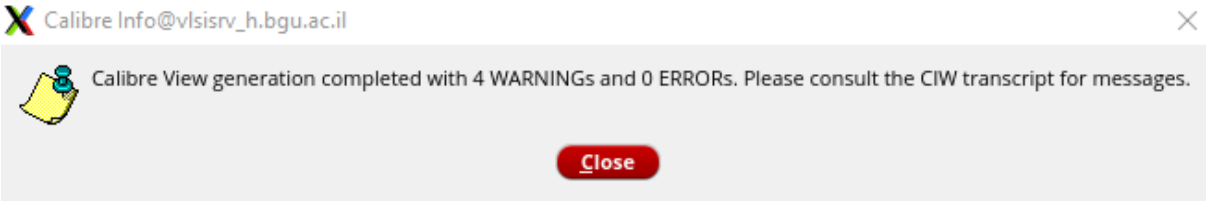
בדיקת DRC:

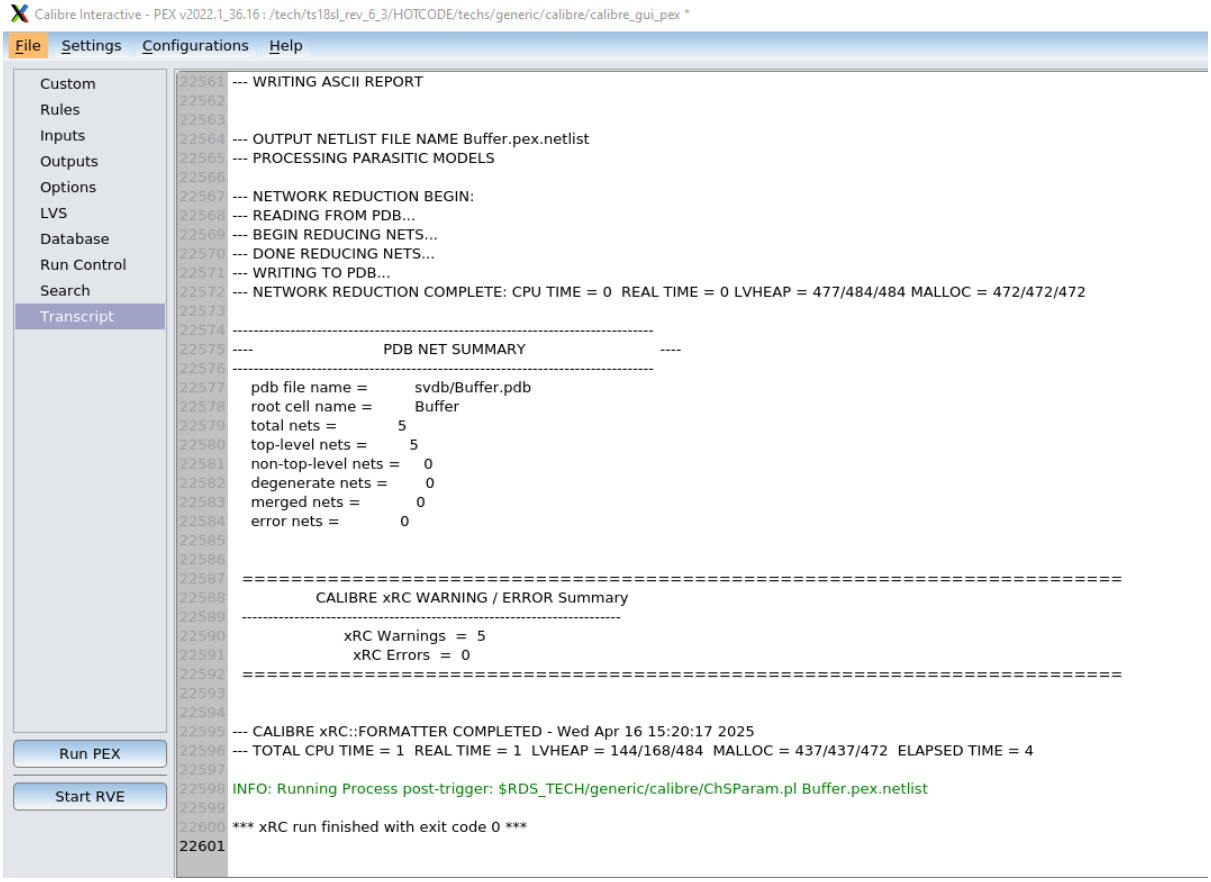


בדיקת LVS:

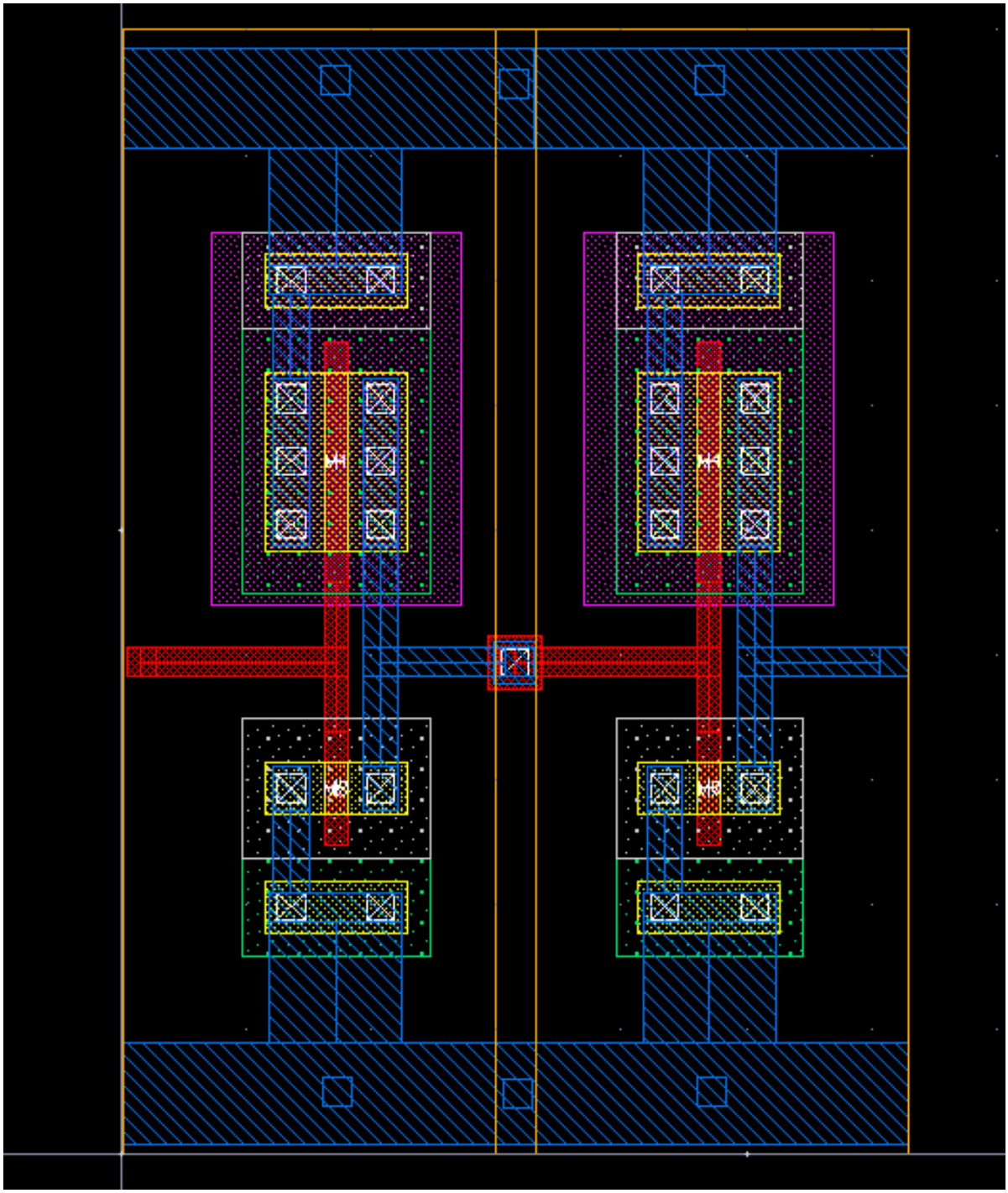


בדיקת PEX:

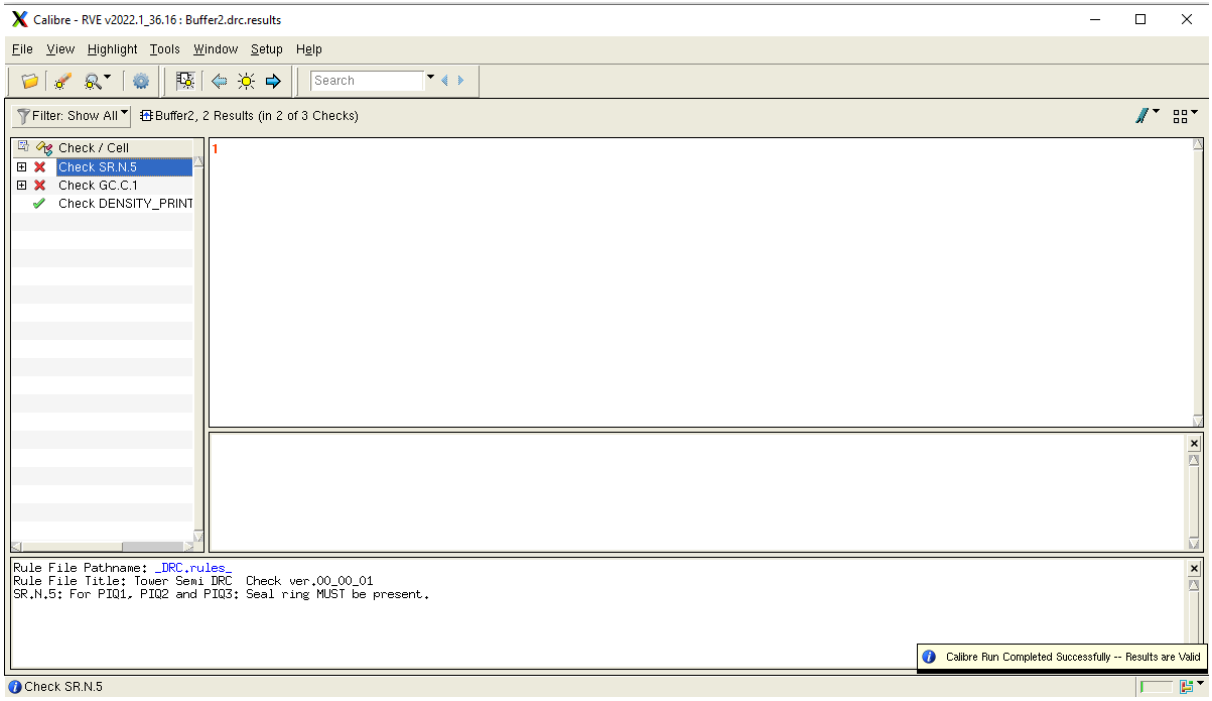

Calibre Info@vlsisrv_h.bgu.ac.il
Calibre View generation completed with 4 WARNINGs and 0 ERRORs. Please consult the CIW transcript for messages.
Close


Calibre Interactive - PEX v2022.1_36.16 : /tech/ts18sl_rev_6_3/HOTCODE/techs/generic/calibre/calibre_gui_pex *
File Settings Configurations Help
Custom
Rules
Inputs
Outputs
Options
LVS
Database
Run Control
Search
Transcript
Run PEX
Start RVE
22561 --- WRITING ASCII REPORT
22564 --- OUTPUT NETLIST FILE NAME Buffer.pex.netlist
22565 --- PROCESSING PARASITIC MODELS
22567 --- NETWORK REDUCTION BEGIN:
22568 --- READING FROM PDB...
22569 --- BEGIN REDUCING NETS...
22570 --- DONE REDUCING NETS...
22571 --- WRITING TO PDB...
22572 --- NETWORK REDUCTION COMPLETE: CPU TIME = 0 REAL TIME = 0 LVHEAP = 477/484/484 MALLOC = 472/472/472
22574 ----------
22575 ---- PDB NET SUMMARY ----
22576 ----------
22577 pdb file name = svdb/Buffer.pdb
22578 root cell name = Buffer
22579 total nets = 5
22580 top-level nets = 5
22581 non-top-level nets = 0
22582 degenerate nets = 0
22583 merged nets = 0
22584 error nets = 0
22587 ==========
22588 CALIBRE xRC WARNING / ERROR Summary
22589 ----------
22590 xRC Warnings = 5
22591 xRC Errors = 0
22592 ==========
22595 --- CALIBRE xRC::FORMATTER COMPLETED - Wed Apr 16 15:20:17 2025
22596 --- TOTAL CPU TIME = 1 REAL TIME = 1 LVHEAP = 144/168/484 MALLOC = 437/437/472 ELAPSED TIME = 4
22598 INFO: Running Process post-trigger: $RDS_TECH/generic/calibre/ChSParam.pl Buffer.pex.netlist
22600 *** xRC run finished with exit code 0 ***
22601

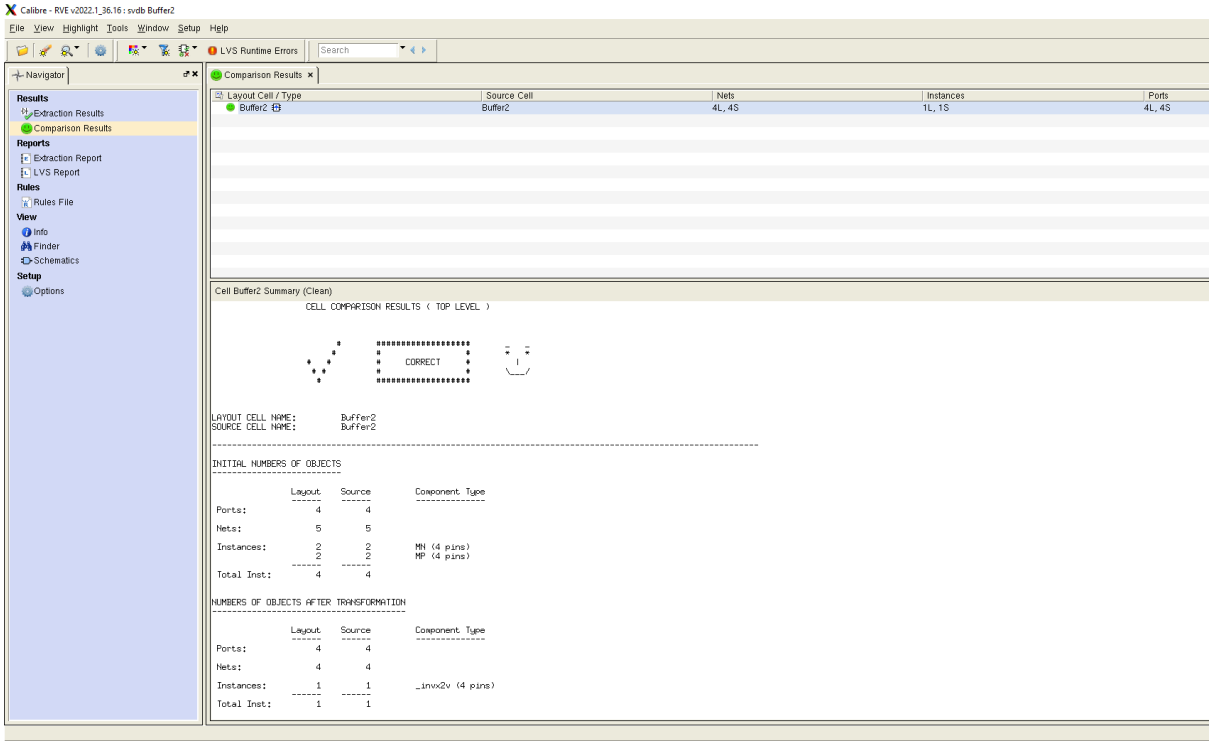
סכמה 2:



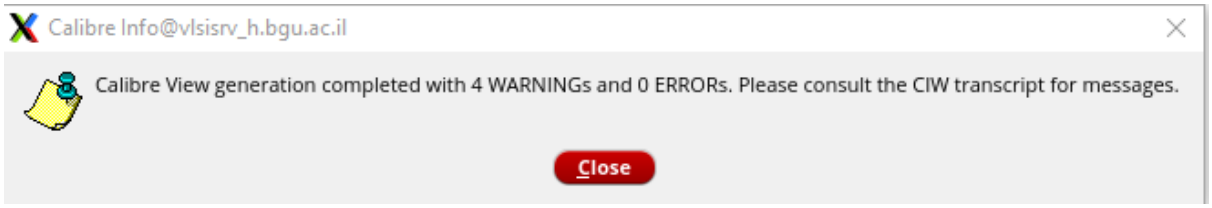
בדיקת DRC:

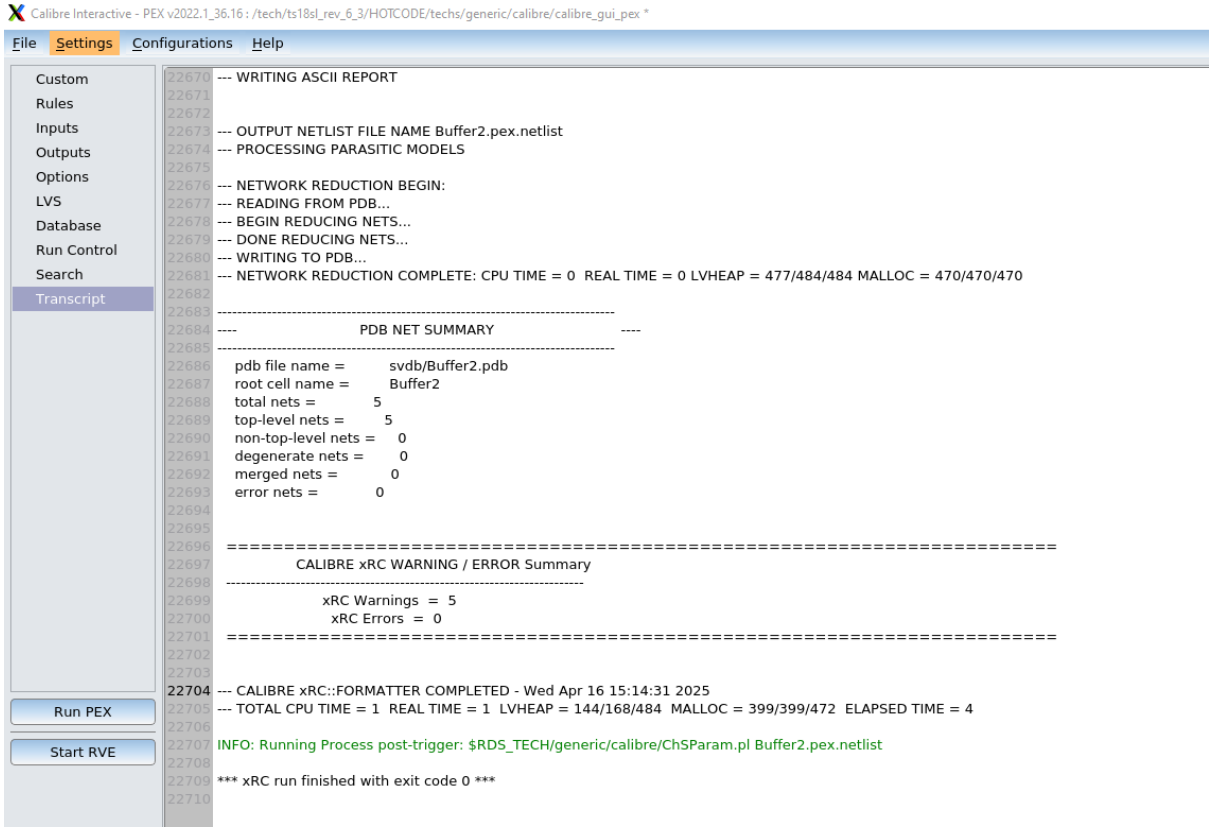


בדיקת LVS:



בדיקת PEX:





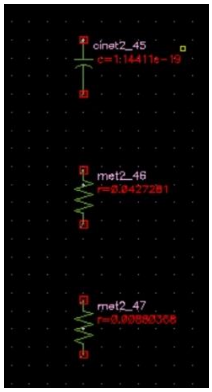
את הבדיקה שהתאים תקינים ביצענו בסעיף הבא וראינו שהכל עובד כהלכה.

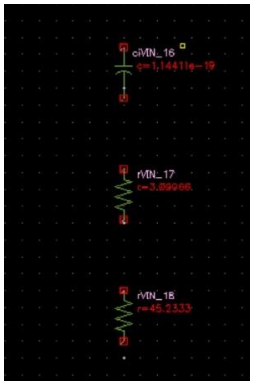
סעיף 2.5

נבצע את הסימולציות משאלה 1 והפעם נתחשב בפרזיטיקות:

תחילה נציג כמה מהפרזיטיקות שקיבלנו:

עבור סכמה 1:

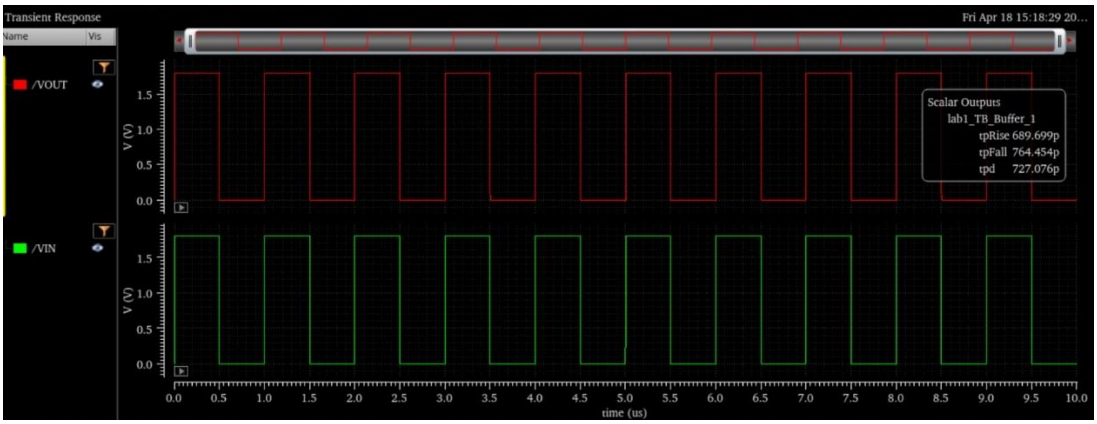




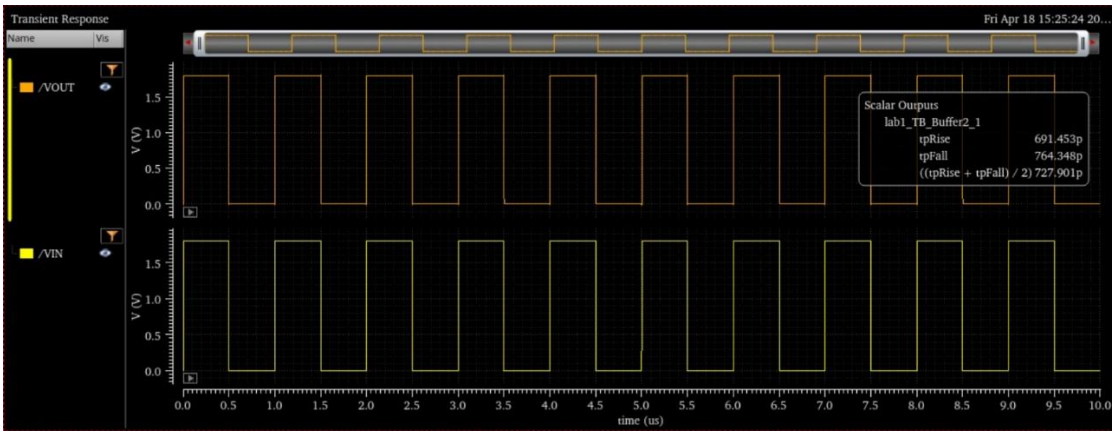
עבור סכמה 2:

לאחר מכן לכל אחת מהסכמות בונים סימולציה של גל כניסה ריבועי בתדר $1MHz$ עם קבל מוצא $C = 100fF$.

עבור סכמה 1:



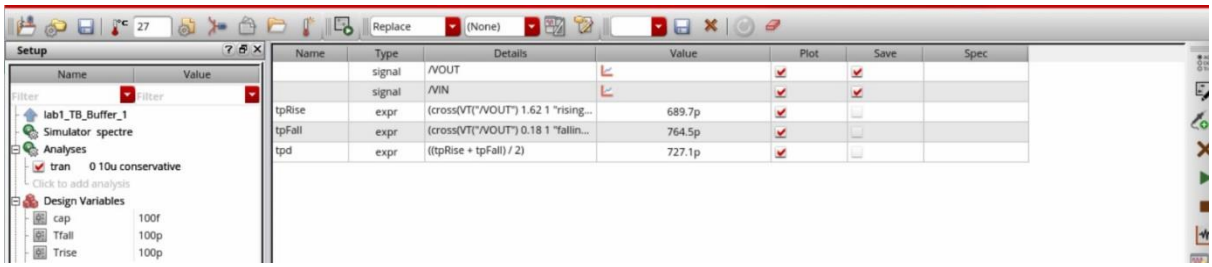
עבור סכמה 2:



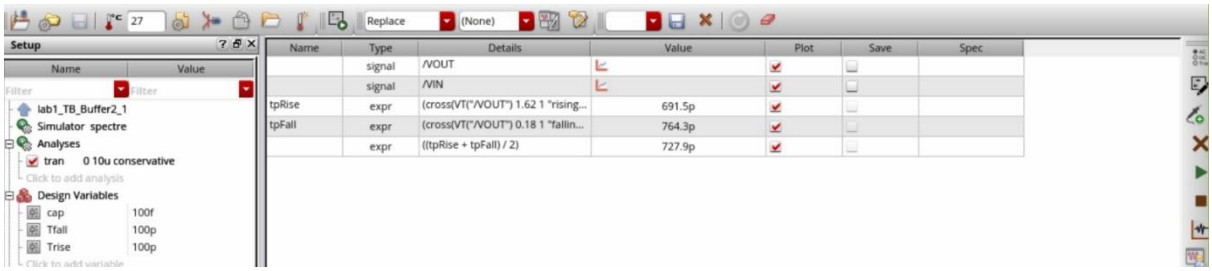
כעת, נשתמש שוב במחשבון למציאת ה- t_{pd} עבור הסכמות:

לאחר הרצת הסימולציות נקבל:

עבור סכמה 1:



עבור סכמה 2:



נערוך טבלה המשווה בין התאים לפני ואחרי הפרזיטיקות:

	בלי פרזיטיקות t_{pd}	עם פרזיטיקות t_{pd}
תא 1	$715.7ps$	$727.1ps$
תא 2	$715.7ps$	$727.9ps$

נשים לב כי זמן ההשהיה עם פרזיטיקות גדול מזמן ההשהיה בלי פרזיטיקות וזה תואם את התאוריה כי נוספו קיבולי דיפוזיה לקבלים בין המהפכים ובמוצא ונוספו התנגדויות.

נשים לב כי יש הבדל בין הבאפרים כשמתייחסים לפרזיטיקה, וזאת מכיוון שאנו בבאפר השני אנו עובדים עם *SDC* מה שגורם לפרזיטיקה גבוהה יותר מאשר בראשון שהוא *FCD* מה שגורם להשהייה גדולה יותר.

<u>סעיף 2.6 +2.7</u>

נסביר את המינוחים לשיטות השונות של מימוש ה*Layout* ונסביר את ה *Trade offs* ביניהם:

יצרנו באפרים בשני שיטות שונות:

- באפר הממומש באמצעות טרנזיסטורים – *Full custom design*
- באפר הממומש באמצעות מהפכים – *Standard digital cell*

כאשר עושים *FCD* אז מייצרים הכל מההתחלה בצורה ידנית ללא אבסטרקציה מה שמקשה על העבודה כשיוצרים בלוקים עצומים. בשיטה זו אנו מקטינים את ההשהייה ומשפרים את הביצועים.

כאשר עושים *SDC* משתמשים בתאים סטנדרטיים כמו למשל מהפכים במקרה שלנו ויוצרים להם שרטוט מותאם אישי. בשיטה זו לא ניתן להשתמש בתאים שלא קיימים.

ההבדלים בין השיטות הינם:

	Standard digital cell	*Custom full desgin*
ממדים	רוחב גדול יותר, מחיר נמוך יותר, שימוש קטן יותר בסיליקון	רוחב גדול יותר, מחיר גבוה יותר, שימוש רב יותר בסיליקון
פרזיטיקות	פחות פרזיטיקות	יותר פרזיטיקות
מימוש	מסובך יותר עבור תאים גדולים כי אין סקילביליות אך שימושי עבור תאים קטנים ומספר קטן של טרנזיסטורים	קל יותר בתכנון של תאים גדולים עם מספר רב של טרנזיסטרים כי יש סקילביליות
דיפוזיות	ניתן לשתף דיפוזיות	לא ניתן לשתף דיפוזיות מכיוון שהתאים מוגדרים מראש