



摘要

随着现代总线接口频率越来越高，必须谨慎设计印刷电路板（PCB）的布局，以确保解决方案的可靠性。

内容

1 引言	2
1.1 范围	2
1.2 关键信号	2
2 通用高速信号布线	3
2.1 PCB 纤维编织缓解	3
2.2 高速信号布线长度	5
2.3 高速信号布线长度匹配	6
2.4 高速信号参考平面	6
3 高速差分信号布线	9
3.1 差分信号间距	9
3.2 高速差分信号规则	9
3.3 差分对的对称性	10
3.4 差分信号对之间的串扰	10
3.5 连接器和插座	10
3.6 过孔不连续性缓解	11
3.7 背钻残桩	11
3.8 增大过孔反焊盘的直径	12
3.9 使过孔计数相等	12
3.10 表面贴装器件焊盘不连续性缓解	12
3.11 信号线弯曲	13
3.12 建议的 PCB 堆叠	14
3.13 ESD/EMI 注意事项	14
3.14 ESD/EMI 布局规则	15
4 参考文献	15
A 器件布局参数	16
修订历史记录	20

插图清单

图 2-1. PCB 图像的旋转	4
图 2-2. 布线角度旋转	4
图 2-3. 锯齿形布线	5
图 2-4. PCB 玻璃纤维样式示例	5
图 2-5. 长度匹配	6
图 2-6. 错误的平面空洞布线	6
图 2-7. 正确的平面空洞布线	7
图 2-8. 错误的平面分割点信号布线	7
图 2-9. 拼接电容器的放置	8
图 2-10. 重叠平面	8
图 2-11. 拼接过孔	8
图 3-1. USB3/SATA/PCIe/HDMI/SGMII/CSI 差分信号间距 (mil)	9
图 3-2. USB2 差分信号间距 (mil)	9
图 3-3. 差分对对称	10

图 3-4. USB 穿孔插座连接.....	10
图 3-5. 过孔长度 (长残桩)	11
图 3-6. 过孔长度 (短残桩)	11
图 3-7. 反焊盘直径.....	12
图 3-8. 交流耦合放置.....	12
图 3-9. 表面贴装器件的参考平面空洞.....	13
图 3-10. 信号线弯曲规则.....	13
图 3-11. 直通布线.....	14

表格清单

表 1-1. 关键信号.....	2
表 3-1. PCB 堆叠示例.....	14
表 A-1. AM335x/AM437x/AMIC1xx.....	16
表 A-2. AM57xx/DRA7xx.....	16
表 A-3. KeyStone II - K2K、K2H、K2L 和 K2E 器件.....	17
表 A-4. KeyStone II - K2G (66AK2G0x/66AK2G1x) 器件.....	17
表 A-5. AM65xx/DRA80xM.....	18
表 A-6. AM64x.....	18
表 A-7. AM62x (初始数据)	19
表 A-8. AM62Ax (初始数据)	20

商标

Texas Instruments™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

1.1 范围

本应用报告可帮助系统设计人员在设计平台时实施最佳实践并了解 PCB 布局选项。本文档面向熟悉 PCB 制造、布局和设计的读者。

1.2 关键信号

容纳和隔离高速信号是设计系统时需要考虑的一个主要问题。由于高速信号最有可能和其他信号相互影响，因此必须在 PCB 设计过程中尽早（最好是首先）布置，以确保可以遵循规定的布线规则。

表 1-1 列出了在布置包含 Texas Instruments™ 片上系统 (SoC) 的 PCB 时最需要注意的高速接口信号。

表 1-1. 关键信号

信号名	说明
DP	通用串行总线 (USB) 2.0 差分数据对，正
DM	通用串行总线 (USB) 2.0 差分数据对，负
SSTXP	超高速通用串行总线 (SSUSB) 差分数据对，TX，正
SSTXN	超高速通用串行总线 (SSUSB) 差分数据对，TX，负
SSRXP	超高速通用串行总线 (SSUSB) 差分数据对，RX，正
SSRXN	超高速通用串行总线 (SSUSB) 差分数据对，RX，负
SATA_RXP	串行 ATA (SATA) 差分数据对，RX，正
SATA_RXN	串行 ATA (SATA) 差分数据对，RX，负
SATA_TXP	串行 ATA (SATA) 差分数据对，TX，正
SATA_TXN	串行 ATA (SATA) 差分数据对，TX，负
PCIe_RXP	PCI-Express (PCIe) 差分数据对，RX，正
PCIe_RXN	PCI-Express (PCIe) 差分数据对，RX，负
PCIe_TXP	PCI-Express (PCIe) 差分数据对，TX，正
PCIe_TXN	PCI-Express (PCIe) 差分数据对，TX，负
HDMI_CLOCKx	高清多媒体接口 (HDMI) 差分时钟对，正或负

表 1-1. 关键信号 (continued)

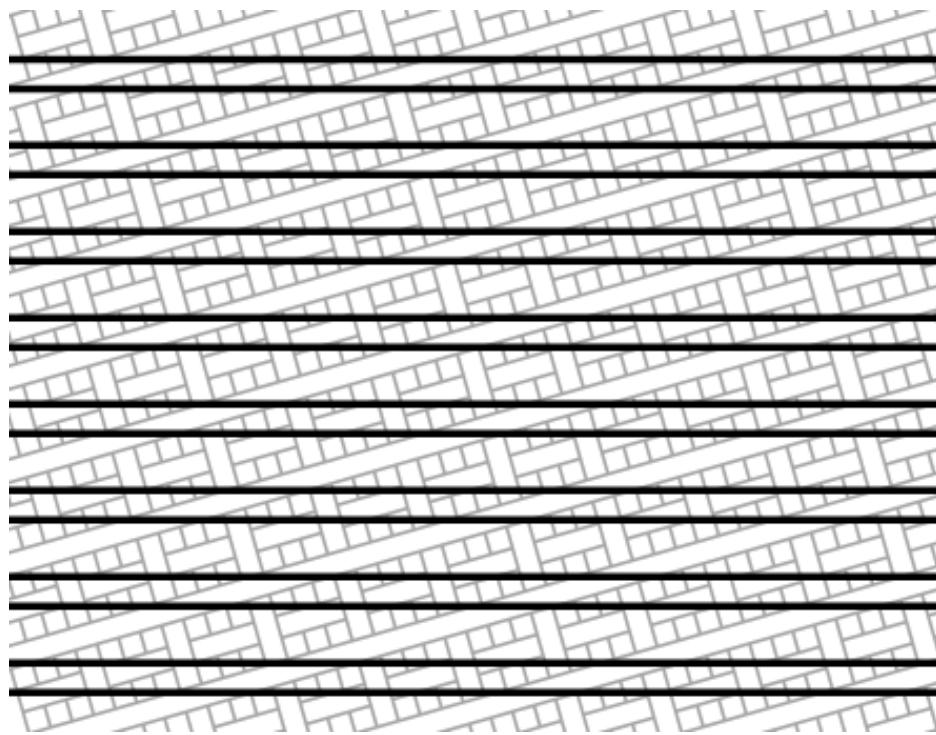
信号名	说明
HDMI_CLOCKy	高清多媒体接口 (HDMI) 差分时钟对，正或负
HDMI_DATA2x	高清多媒体接口 (HDMI) 差分数据对，正或负
HDMI_DATA2y	高清多媒体接口 (HDMI) 差分数据对，正或负
HDMI_DATA1x	高清多媒体接口 (HDMI) 差分数据对，正或负
HDMI_DATA1y	高清多媒体接口 (HDMI) 差分数据对，正或负
HDMI_DATA0x	高清多媒体接口 (HDMI) 差分数据对，正或负
HDMI_DATA0y	高清多媒体接口 (HDMI) 差分数据对，正或负
SGMII_TXP	串行千兆位媒体独立接口 (SGMII) 差分数据对，TX，正
SGMII_TXN	串行千兆位媒体独立接口 (SGMII) 差分数据对，TX，负
SGMII_RXP	串行千兆位媒体独立接口 (SGMII) 差分数据对，RX，正
SGMII_RXN	串行千兆位媒体独立接口 (SGMII) 差分数据对，RX，负
CSI_RXCLKN	CSI 差分接收时钟输入 (负)
CSI_RXCLKP	CSI 差分接收时钟输入 (正)
CSI_RXN0	CSI 差分接收输入 (负)
CSI_RXN1	CSI 差分接收输入 (负)
CSI_RXN2	CSI 差分接收输入 (负)
CSI_RXN3	CSI 差分接收输入 (负)
CSI_RXP0	CSI 差分接收输入 (正)
CSI_RXP1	CSI 差分接收输入 (正)
CSI_RXP2	CSI 差分接收输入 (正)
CSI_RXP3	CSI 差分接收输入 (正)

2 通用高速信号布线

2.1 PCB 纤维编织缓解

在常见的 PCB 材料上为差分信号布线时，由于构成 PCB 的玻璃纤维编织物 (ϵ_r 约为 6) 和环氧树脂 (ϵ_r 约为 3) 的静态介电常数不同，差分信号对的每条布线都会面临不同的介电常数和相应的信号速度。由于 ϵ_r 越低，信号的传输速度越快，因此，如果差分对中的一个信号与另一个信号相比通过的电路板部分具有更高的玻璃纤维或环氧树脂比例，就会产生差分对间延迟差。差分信号间的这种延迟差会显著影响呈现给接收器的差分眼图，造成明显的交流共模电压噪声，并导致 EMI 问题。这个问题的严重程度取决于总线速度、布线长度、布线几何形状、使用的玻璃纤维编织类型以及布线与 PCB 编织图案的对齐。纤维编织对齐问题因电路板而异。这种差异让问题难以诊断。

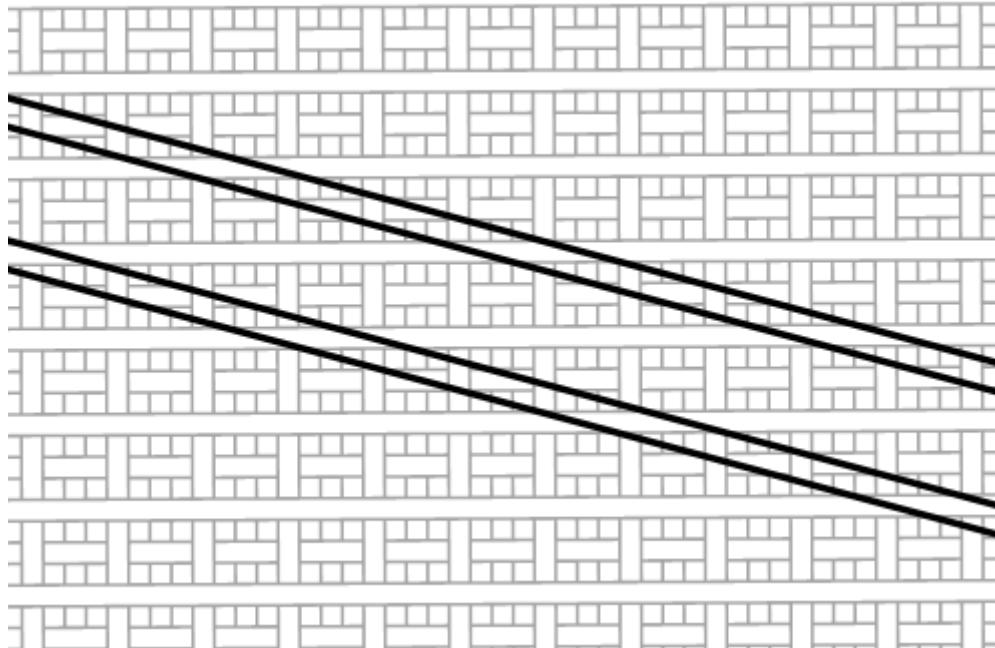
图 2-1、图 2-2 和图 2-3 显示了三种常见方法，可以尽量减少电路板设计中 PCB 纤维编织造成的影响。每种方法的目的都是确保差分对的两个信号能够在整个差分对布线长度上共享一个相对一致的 ϵ_r 。



整个信号图像平面相对于**底层 PCB 纤维编织**旋转了 10° 到 35°。

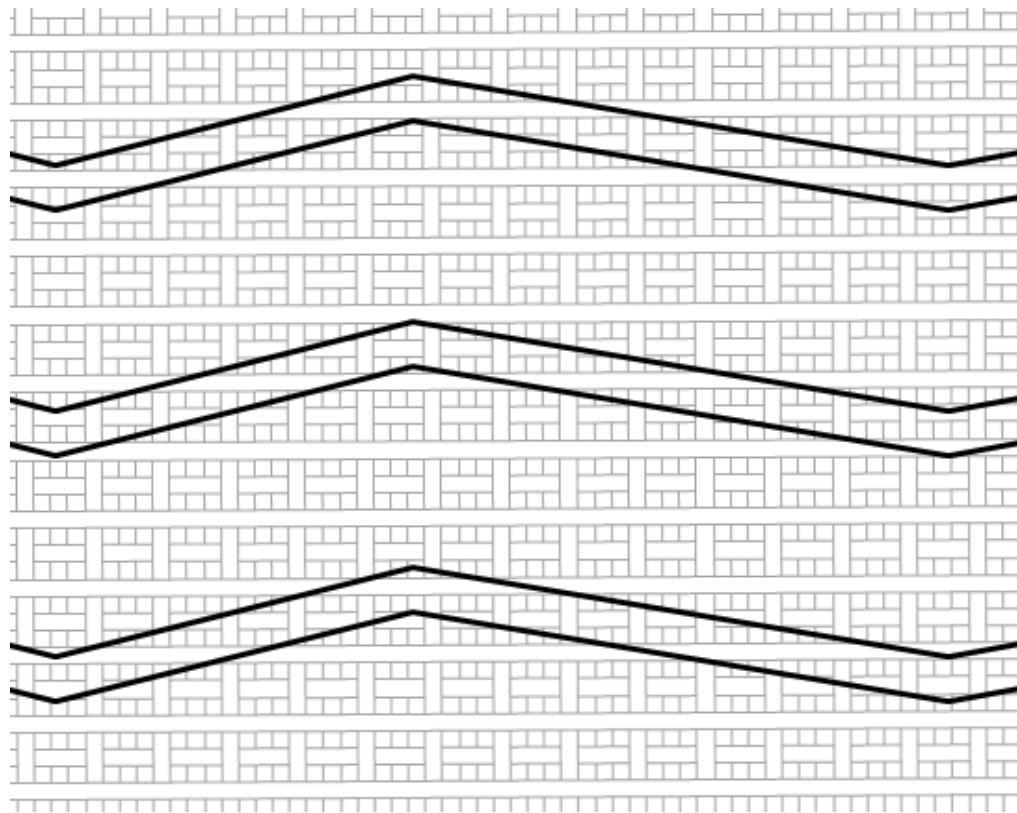
PCB 制造商可以在不更改 PCB 布局数据库的情况下实现这种旋转。

图 2-1. PCB 图像的旋转



只有高速差分信号以相对于底层 PCB 纤维编织 10° 到 35° 的角度布线。

图 2-2. 布线角度旋转



高速差分信号在 PCB 上以锯齿形布线。

图 2-3. 锯齿形布线

由于玻璃纤维与环氧树脂的比例是导致 ϵ_r 差异的主要因素，因此请选择编织更紧密、环氧树脂更少且在更长布线长度上具有更高 ϵ_r 均匀性的 PCB 样式。将设计方案投入生产之前，请指定最适应高速信号的 PCB 样式。有关常见 PCB 样式的示例，请参阅图 2-4。

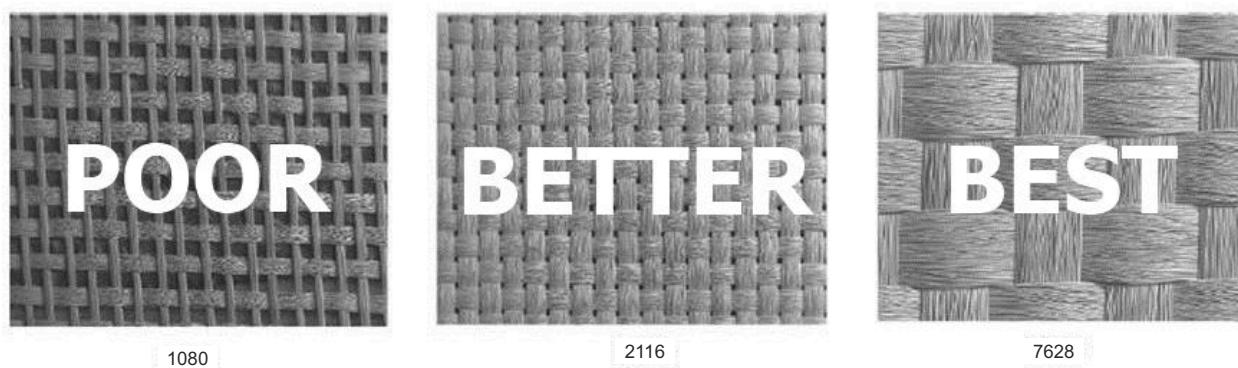


图 2-4. PCB 玻璃纤维样式示例

2.2 高速信号布线长度

与所有高速信号一样，信号对的总布线长度应保持最短。针对每个器件的布线长度要求，请参阅附录 A。

2.3 高速信号布线长度匹配

匹配每个接口相关差分对布线的蚀刻长度。差分对组的蚀刻长度不需要匹配（即发送对的长度不需要与接收对的长度相匹配）。匹配高速信号的差分对内长度时，添加蛇形布线以使长度尽可能匹配失配端。如需了解更多详情，请参阅图 2-5。

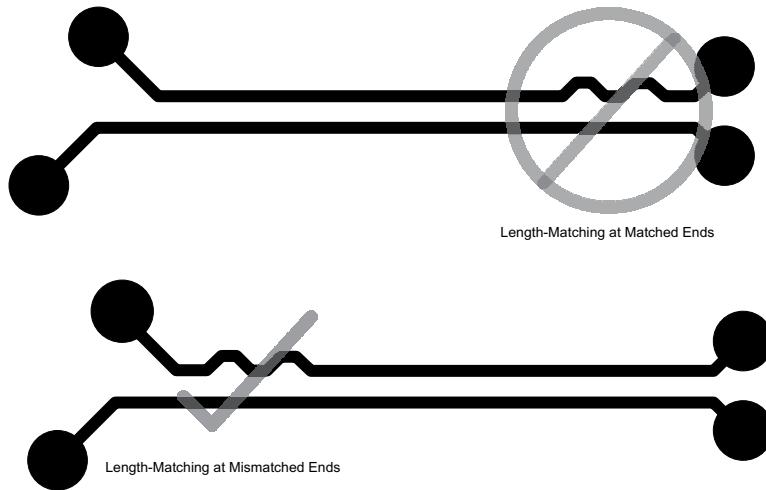


图 2-5. 长度匹配

2.4 高速信号参考平面

高速信号应当布置在实心接地参考平面上，除非绝对必要，否则不要穿过平面分割点或参考平面中的空洞。**TI 不建议高速信号参考电源平面。**

穿过平面分割点的布线或参考平面中的空洞强制返回的高频电流围绕分割点或空洞流动。这会导致出现以下情况：

- 不平衡的电流流动产生过多的辐射发射
- 由于串联电感增加，信号传播出现延迟
- 干扰相邻信号
- 信号完整性降低（即更多抖动和信号幅度降低）

有关正确和错误的平面空洞布线示例，请参阅图 2-6 和图 2-7。

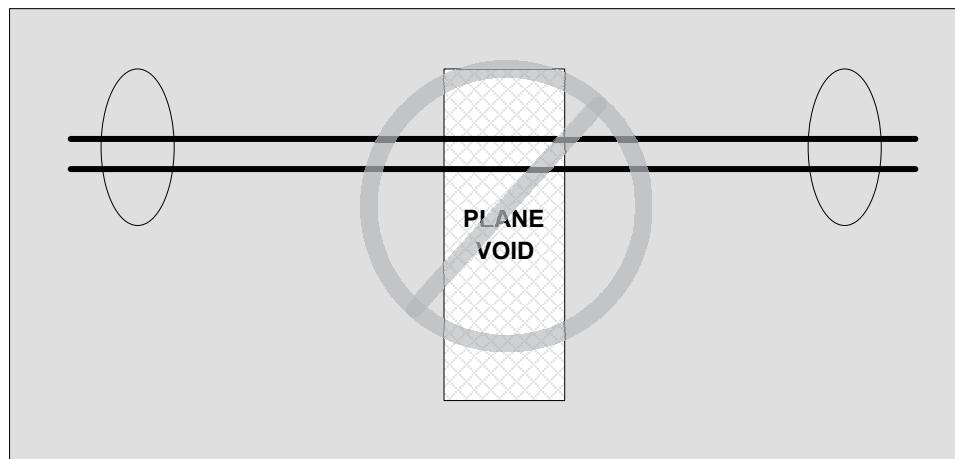


图 2-6. 错误的平面空洞布线

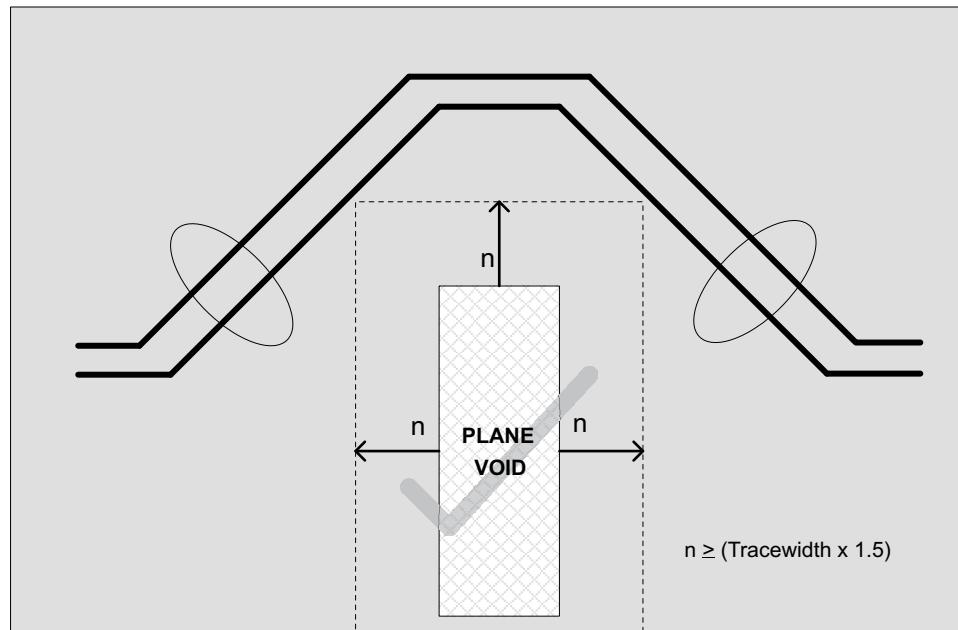


图 2-7. 正确的平面空洞布线

如果完全无法避免在平面分割点布线，则要穿过分割点放置拼接电容器，从而为高频电流提供一个返回路径。这些拼接电容器可最大限度地减少电流环路面积以及由于穿过分割点而产生的任何阻抗不连续性。这些电容器应当为 $1\mu\text{F}$ 或更低，并且要尽可能靠近平面交叉点放置。有关错误的平面分割点布线和正确的拼接电容器放置的示例，请参阅图 2-8 和图 2-9。

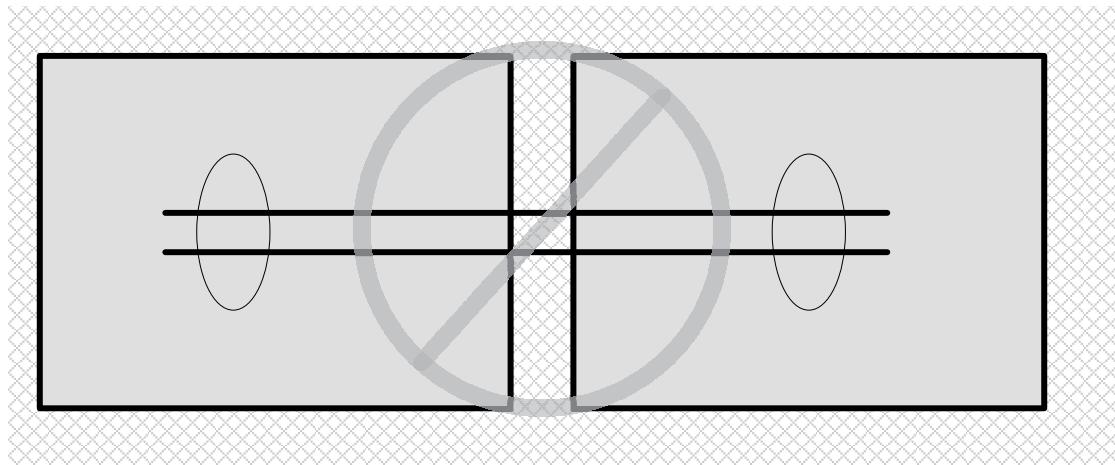


图 2-8. 错误的平面分割点信号布线

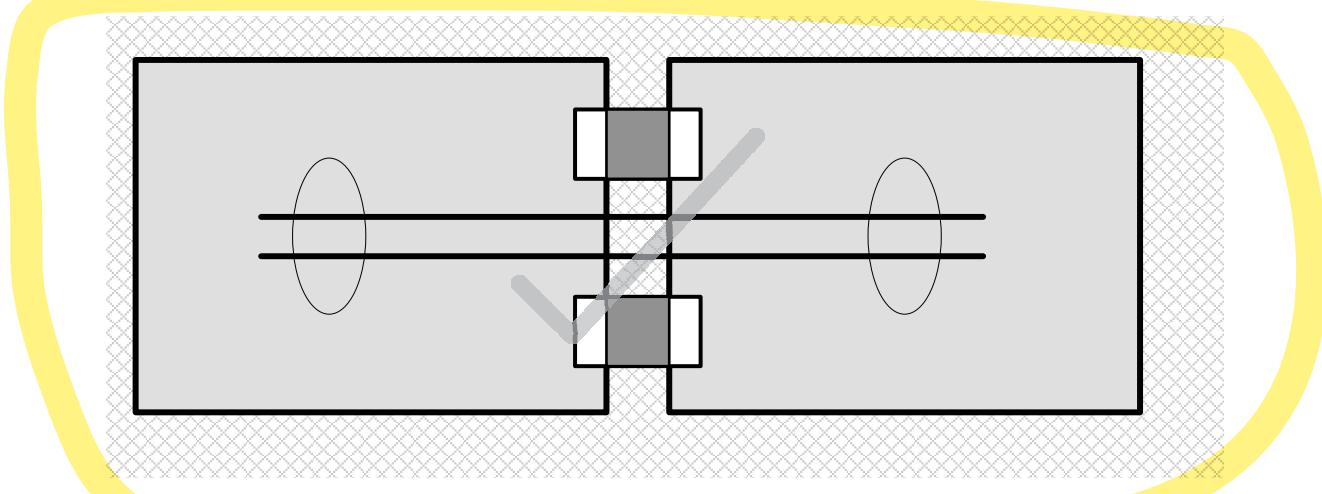


图 2-9. 拼接电容器的放置

在规划 PCB 层叠时，确保不相互参考的平面不会重叠，因为这会在重叠区域之间产生不必要的电容。要查看这个电容如何将射频辐射从一个平面传递到另一个平面的示例，请参阅图 2-10。

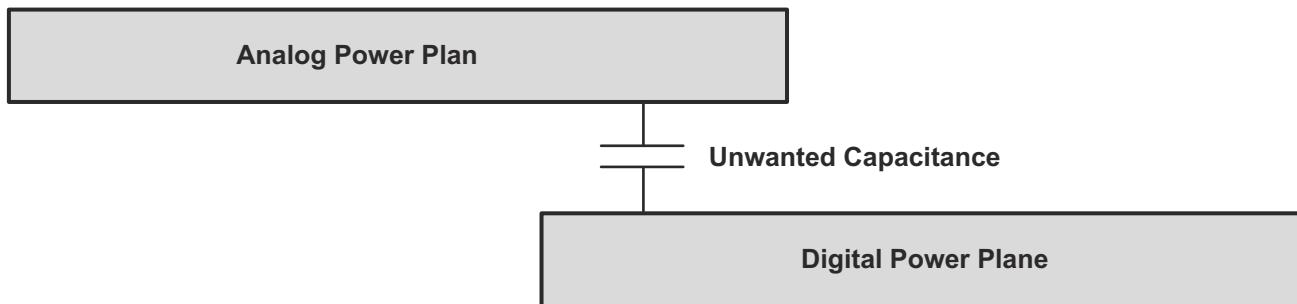


图 2-10. 重叠平面

整个高速信号布线从发起到终止应当一直使用相同的接地参考平面。如果无法做到这一点，则应通过过孔将两个接地平面拼接在一起，以确保连续接地和一致的阻抗。在信号转换过孔周围的 200mil (中心距，越靠近越好) 内对称地放置这些拼接过孔。有关拼接过孔的示例，请参阅图 2-11。

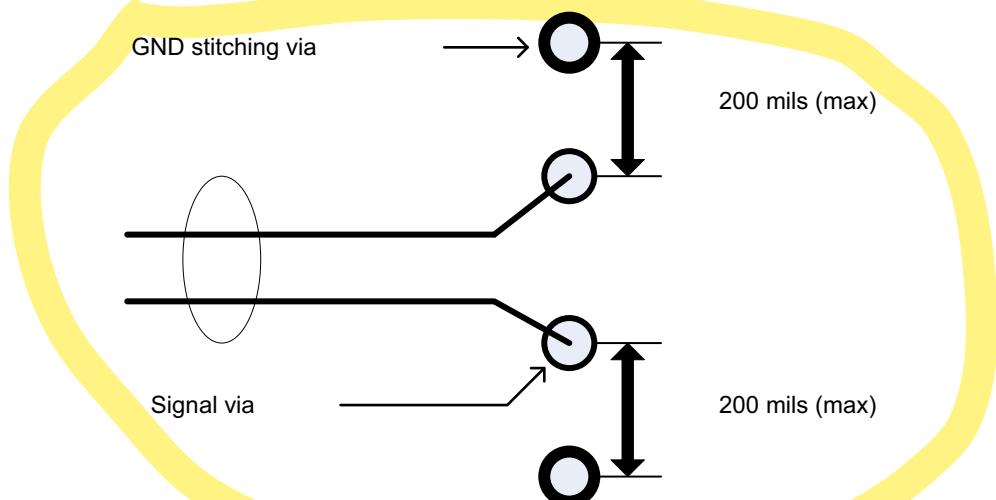


图 2-11. 拼接过孔

3 高速差分信号布线

3.1 差分信号间距

为了尽量减少高速接口实现中的串扰，信号对之间的间距必须至少是布线宽度的五倍。此间距称为 **5W 规则**。对于计算出的布线宽度为 **6mil** 的 PCB 设计，高速差分对之间至少需要 **30mil** 的间距。此外，在整个布线长度上要与任何其他信号保持最低 **30mil** 的禁止距离。如果高速差分对与时钟或周期信号相邻，则要将此禁止距离增大到至少 **50mil**，确保适当隔离。有关高速差分对信号间距的示例，请参阅图 3-1 和图 3-2。

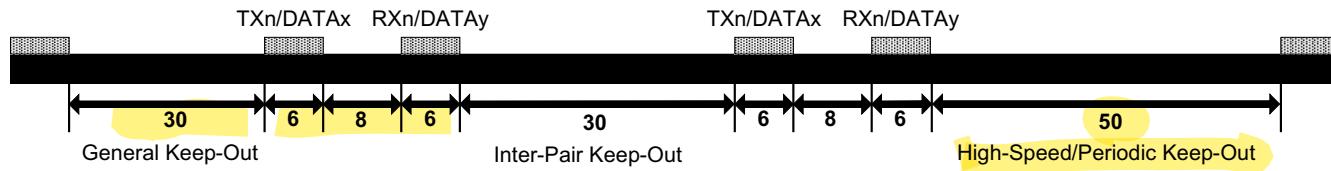


图 3-1. USB3/SATA/PCIe/HDMI/SGMII/CSI 差分信号间距 (mil)

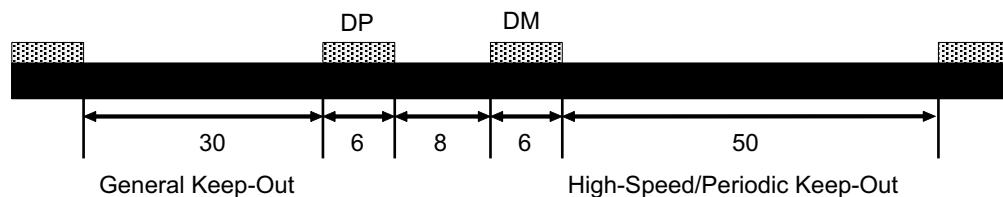


图 3-2. USB2 差分信号间距 (mil)

3.2 高速差分信号规则

- 请勿在任何高速差分信号上放置探头或测试点。
- 请勿在晶振、振荡器、时钟信号发生器、开关电源稳压器、安装孔、磁性器件或使用/复制时钟信号的集成电路 (IC) 下方或附近布置高速布线。
- BGA 破孔后，使高速差分信号远离 SoC，其原因为内部状态变换时产生的高电流瞬变难以滤除。
- 如有可能，在 PCB 的顶层或底层（与接地层相邻）布置高速差分对信号。TI 不建议对高速差分信号进行带状线布线。
- 确保将高速差分信号布置在距离参考平面边缘 $\geq 90\text{mil}$ 的位置。
- 确保将高速差分信号布置在距离参考平面中的空洞至少 $1.5W$ (计算出的布线宽度 $\times 1.5$) 的位置。当高速差分信号上的 SMD 焊盘有空洞时，此规则不适用。
- 在 SoC BGA 迂回布线之后维持一致的布线宽度，以避免传输线路中存在阻抗失配现象。
- 最大限度地减小差分对之间的间距。

因为 stripline 是嵌在两层导体(内层)之间，所以它的电场分布都在两个包它的导体(平面)之间，不会辐射出去能量，也不会受到外部的辐射干扰。但是由于它的周围全是电介质(介电常数比1大)，所以信号在 stripline 中的传输速度比在 microstrip line 中慢！

3.3 差分对的对称性

将所有高速差分对对称布置并使其互相平行。在封装迂回布线和布线至连接器引脚时，会自然而然地偏离这一要求。这些偏差必须尽可能短，并且封装破孔必须在封装的 0.25 英寸范围内进行。

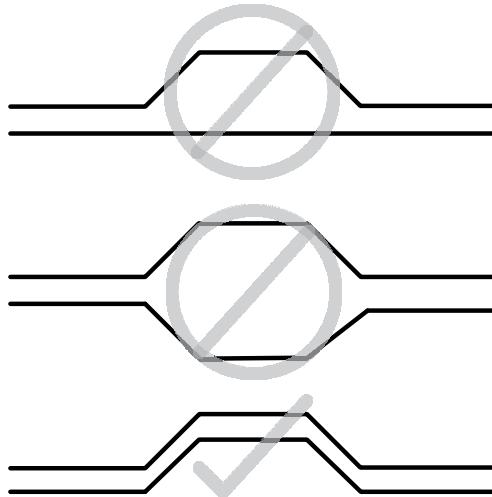


图 3-3. 差分对对称

3.4 差分信号对之间的串扰

在包含多个高速接口的器件中，避免这些接口之间的串扰很重要。为了避免串扰，请确保在封装迂回布线之后和连接器端接之前，每个差分对未布置在另一个差分对的 30mil 范围内。

3.5 连接器和插座

实现穿孔插座（例如 USB Standard-A）时，TI 建议在 PCB 的底层将高速差分信号连接到插座。在 PCB 底层进行这类连接可防止穿孔引脚在传输路径中起到残桩的作用。对于 USB Micro-B 和 Micro-AB 等表面贴装插座，在顶层进行高速差分信号连接。在顶层进行这些连接便不需要在传输路径中使用过孔。有关 USB 穿孔插座连接的示例，请参阅图 3-4。

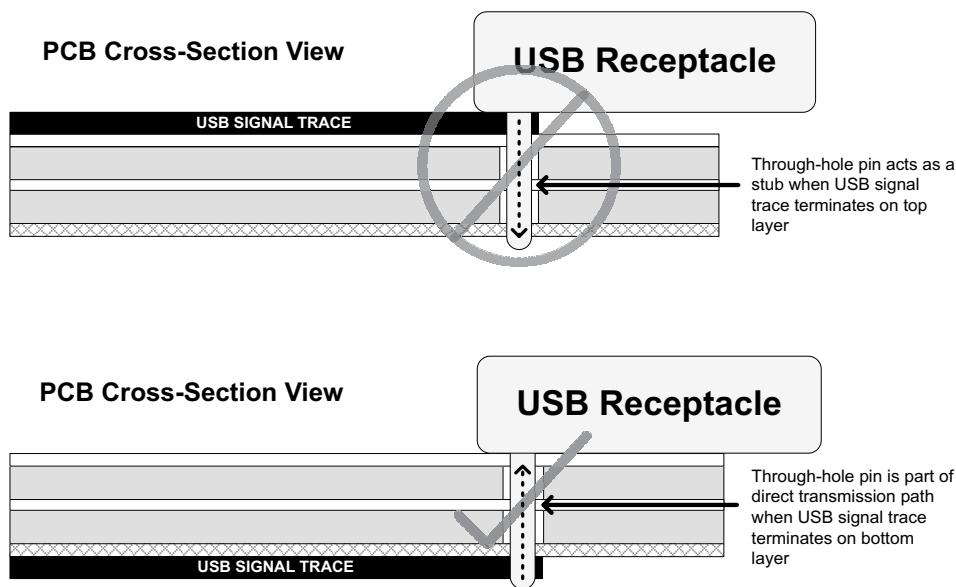


图 3-4. USB 穿孔插座连接

3.6 过孔不连续性缓解

过孔将一小段几何形状变化呈现在布线中，并可表现为电容和/或电感的不连续性。由于信号会穿过过孔，这些不连续性会引起信号反射和一定的衰减。缩短总体过孔残桩长度，以更大限度地减少过孔（及关联的过孔残桩）产生的负面影响。

由于较长的过孔残桩会在较低频率下共振，并会增加插入损耗，所以应使这些残桩尽可能短。大部分情况下，与信号过孔相比，过孔残桩使信号衰减得更厉害。TI 建议过孔残桩短于 15mil。残桩较长时，必须进行背钻。

有关短过孔和长过孔长度的示例，请参阅图 3-5 和图 3-6。

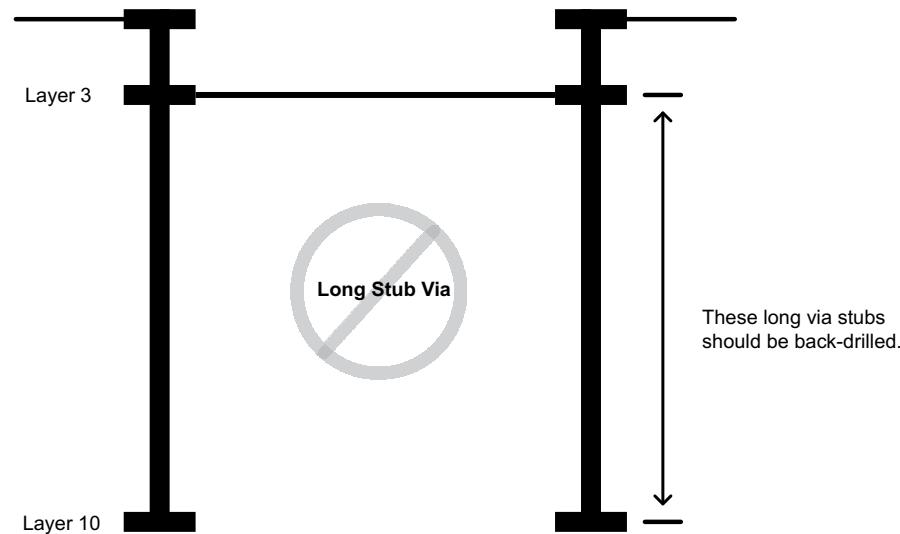


图 3-5. 过孔长度 (长残桩)

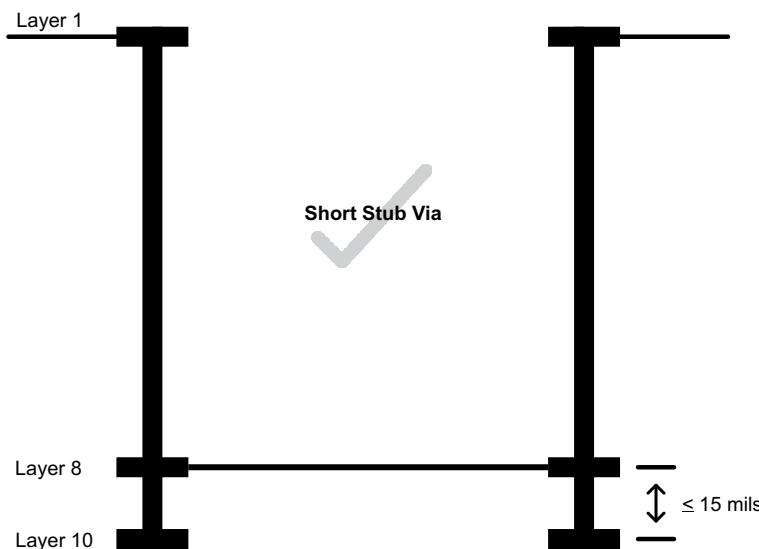


图 3-6. 过孔长度 (短残桩)

3.7 背钻残桩

背钻是一种 PCB 制造工艺，即去除过孔残桩中不需要的导电镀层。若要进行背钻，请使用直径比钻出原始过孔的钻头稍大一些的钻头。当过孔变换导致残桩长于 15mil 时，对产生的残桩进行背钻可减少插入损耗并确保它们之间不会共振。

3.8 增大过孔反焊盘的直径

增大过孔反焊盘的直径可减少过孔的电容效应和整体插入损耗。确保用于高速信号传输的过孔反焊盘的直径尽可能大（30mil 的直径具有显著优势，且实施起来并不困难）。在包括布线层和平面层在内的所有层上，必须留有可通过这个反焊盘识别的铜间隙。连接到过孔套管的布线包含此区域唯一允许使用的铜；不允许使用非功能或未连接的过孔焊盘。有关过孔反焊盘直径的示例，请参阅图 3-7。

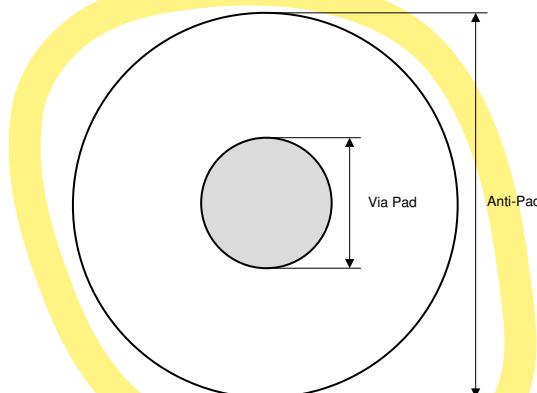


图 3-7. 反焊盘直径

3.9 使过孔计数相等

如果在高速差分信号布线中需要使用过孔，确保差分对中每个成员的过孔计数相等，并且过孔的间距应尽可能相等。TI 建议将过孔尽可能靠近 SoC 放置。

3.10 表面贴装器件焊盘不连续性缓解

避免在高速信号布线中采用表面贴装器件（SMD），其原因在于这些器件会导致中断，从而对信号质量产生负面影响。当信号布线上需要 SMD（例如，USB SuperSpeed 传输交流耦合电容器）时，允许的元件尺寸上限为 0603。TI 强烈建议使用 0402 或更小的尺寸。在布局过程中对称地放置这些元件，以确保获得最优信号质量并最大限度地减少信号反射。有关交流耦合电容器正确和错误放置的示例，请参阅图 3-8。

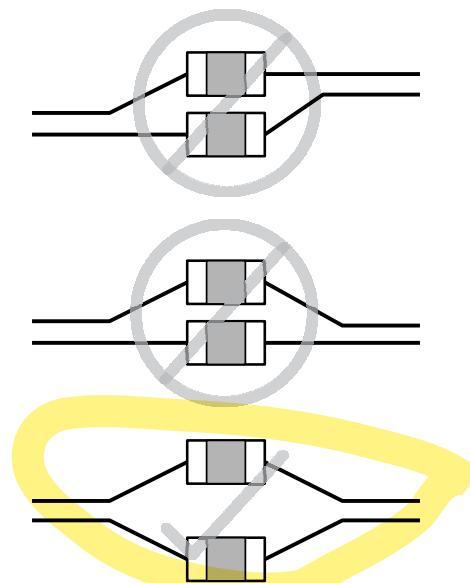


图 3-8. 交流耦合放置
铜皮挖空

为了最大限度地减少将这些元件放置在差分信号布线上所产生的不连续性，TI 建议将参考平面中 SMD 安装焊盘的空洞增加 100%。此空洞应当至少为两个 PCB 层那么深。有关表面贴装器件参考平面空洞的示例，请参阅图 3-9。

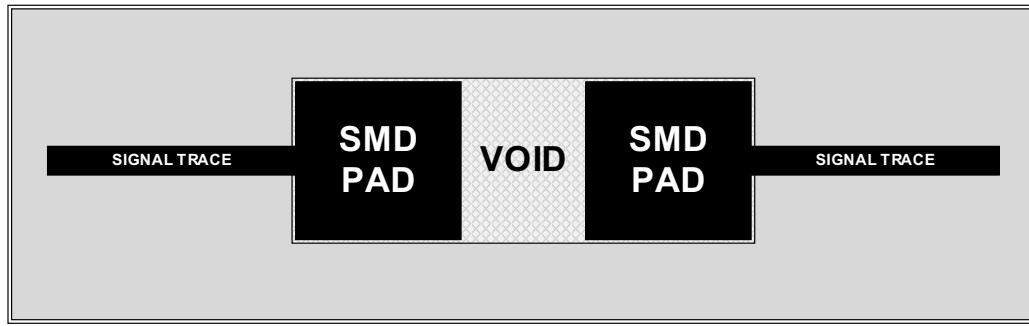


图 3-9. 表面贴装器件的参考平面空洞

3.11 信号线弯曲

避免高速差分信号线弯曲。当需要弯曲时，维持大于 135° 的弯曲角度，以确保弯曲尽可能缓和。有关高速信号线弯曲规则的示例，请参阅图 3-10。

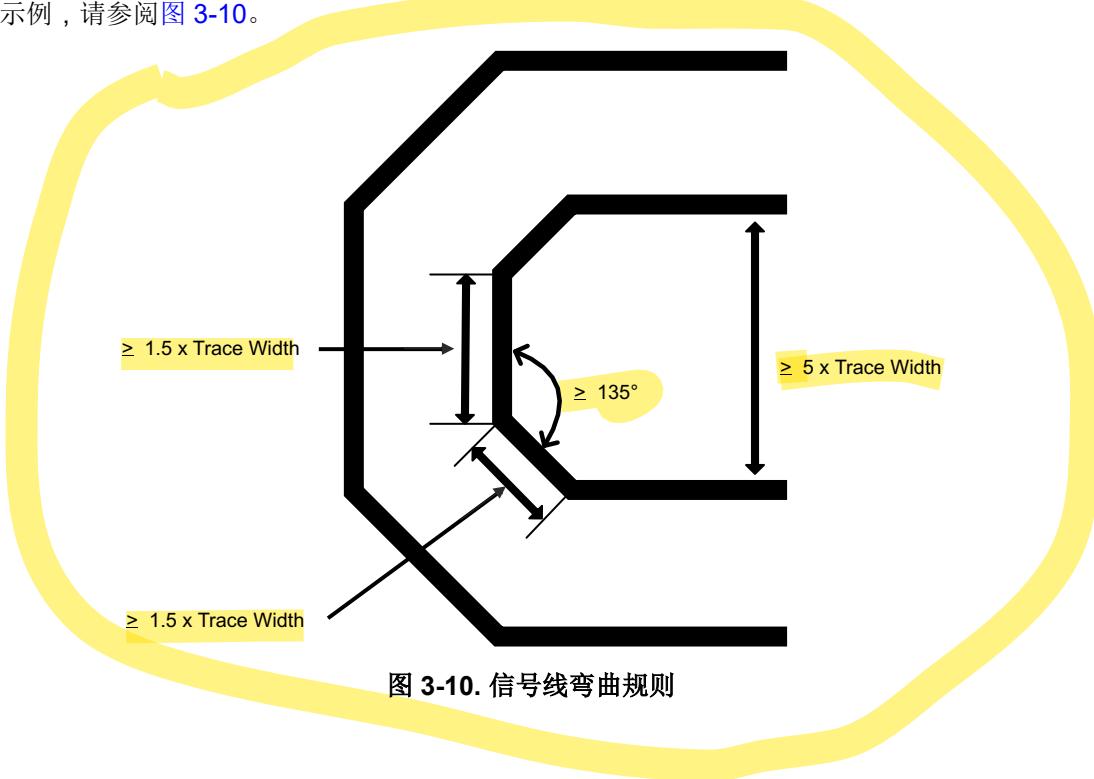


图 3-10. 信号线弯曲规则

3.12 建议的 PCB 堆叠

TI 建议 PCB 至少要堆叠六层。表 3-1 提供了 PCB 堆叠的示例。

表 3-1. PCB 堆叠示例

6 层	8 层	10 层
信号	信号	信号
接地	接地	接地
信号(1)	信号	信号(1)
信号(1)	信号	信号(1)
电源/接地(2)	电源/接地(2)	电源
信号	信号	电源/接地(2)
	接地	信号(1)
	信号	信号(1)
		接地
		信号

(1) 以 90° 相互偏移的方式对相邻的信号层直接布线

(2) 可能需要根据特定的电路板注意事项对平面进行分割。请确保相邻平面上的布线不会穿过分割点。

3.13 ESD/EMI 注意事项

在选择 ESD/EMI 元件时，TI 建议选择允许 USB 差分信号对直通布线的器件，因为其能够提供最干净的布线。例如，TI TPD4EUSB30 可以与 TI TPD2EUSB30 结合使用，为 USB2 和 USB3 差分信号提供直通 ESD 保护，而无需在信号对中弯曲。有关直通布线的示例，请参阅图 3-11。

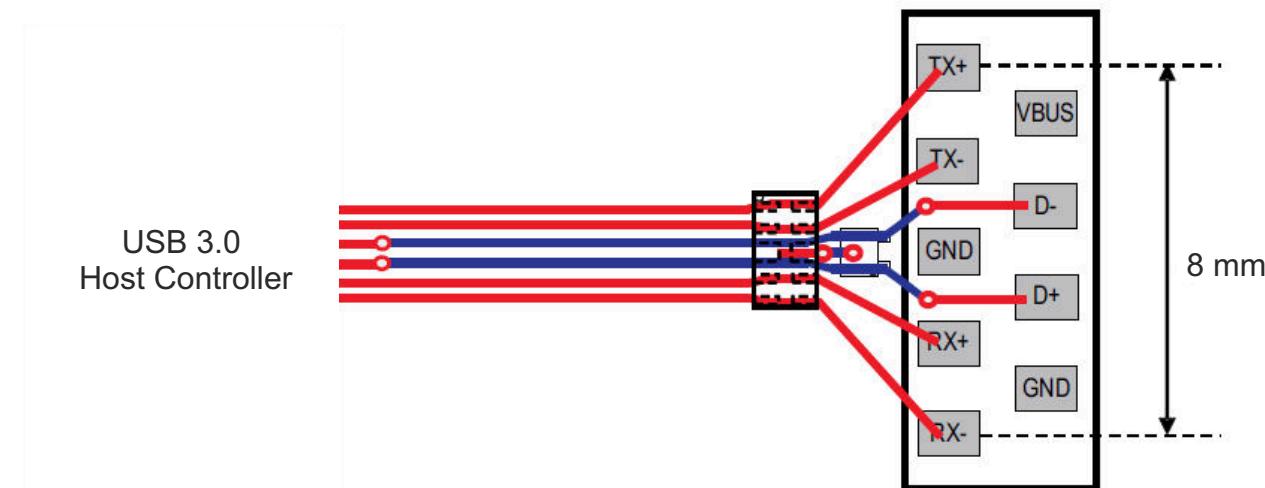


图 3-11. 直通布线

3.14 ESD/EMI 布局规则

- 将 ESD 和 EMI 保护器件放在尽可能靠近连接器的位置。
- 让任何未受保护的布线远离受保护的布线，以尽量减少 EMI 耦合。
- 在 ESD/EMI 元件信号焊盘下方留出 60% 的空洞以减少损耗。
- 将 0402 0Ω 电阻器用于共模滤波器 (CMF) 无填充选项，因为一般来说，元件越大，就会引入比 CMF 本身更多的损耗。
- 将所有必要的信号对交流耦合电容器放置在 CMF 的受保护侧，尽可能靠近 CMF。
- 如果需要过孔过渡到 CMF 层，请确保过孔尽可能靠近 CMF。
- 确保交流耦合电容 + CMF + ESD 保护部分的整体布线尽可能短，并尽可能靠近连接器。

4 参考文献

- Hall, Stephen H., and Garrett W. Hall. *High Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*. New York: Wiley, 2000.
- Johnson, Howard W., and Martin Graham. *High-speed Signal Propagation: Advanced Black Magic*. Upper Saddle River, NJ: Prentice Hall/PTR, 2003.
- Hall, Stephen H., and Howard L. Heck. *Advanced Signal Integrity for High-speed Digital Designs*. Hoboken, N.J.: Wiley , 2009.
- Heck, Howard. *USB 3.1 Electrical Design*. USB 3.1 Developer Days, 2014.
- Stephen C. Thierauf. *High-Speed Circuit Board Signal Integrity*. ISBN-13: 978-1580531313.
- Johnson, Howard W., and Martin Graham. *High-Speed Digital Design: A Handbook of Black Magic*. Upper Saddle River, NJ: Prentice Hall/PTR, 1993. ISBN 0-13-395724-1

A 器件布局参数

表 A-1. AM335x/AM437x/AMIC1xx

参数	最小值	典型值	最大值	单位
USB2.0 布线长度 (总计)		4000	12000	Mils
任何 USB2.0 差分对内的延迟差			50	Mils
USB2.0 DP/DM 对差分阻抗	81	90	99	Ω
USB2.0 DP/DM 对共模阻抗	40.5	45	49.5	Ω
任何 USB 差分对布线上允许的残桩数 (总计)			0	残桩
每个 USB2.0 差分布线上允许的过孔数 (总计)			4	个过孔
任何 USB 差分对布线上允许的测试点数 (总计)			0	测试点
USB 差分对到时钟或高速周期信号的布线间距	50			Mils
USB 差分对到任何其他信号的布线间距	30			Mils

表 A-2. AM57xx/DRA7xx

参数	最小值	典型值	最大值	单位
USB3.0 (超高速) 布线长度 (总计)			3500	Mils
串行 ATA (SATA) 布线长度 (总计)			3500	Mils
PCI-Express (PCIe) 布线长度 (总计)			4700	Mils
2.5GHz 时的超高速插入损耗 (器件到连接器)		请参阅 USB 规格		dB
USB2.0 布线长度 (总计)	4000	12000		Mils
HDMI 布线长度 (总计)		4000		Mils
任何 USB3/SATA/PCIe/HDMI 差分对内的延迟差		5		Mils
所有 PCIe RX 对之间的延迟差 (总计)			550	Mils
所有 PCIe TX 对之间的延迟差 (总计)			550	Mils
任何 USB2.0 差分对内的延迟差		50		Mils
USB2.0 DP 或 DM 对差分阻抗	81	90	99	Ω
USB2.0 DP 或 DM 对单端阻抗	40.5	45	49.5	Ω
超高速 SSRX 或 SSTX 对差分阻抗	83.7	90	96.3	Ω
PCI-Express RX 或 TX 对差分阻抗	90	100	110	Ω
PCI-Express RX 或 TX 布线单端阻抗	51	60	69	Ω
串行 ATA RX 或 TX 对差分阻抗	85	100	115	Ω
HDMI TMDS 差分阻抗	90	100	110	Ω
任何差分对布线上允许的残桩数 (总计)			0	残桩
任何 USB3 差分布线上允许的过孔数 (总计)			2	过孔
任何 PCIe/SATA 差分布线上允许的过孔数 (总计)			0	过孔
每个 USB2.0 差分布线上允许的过孔数 (总计)			4	过孔
每个 TMDS 差分布线上允许的过孔数 (HDMI) (总计)			0	过孔
任何差分对布线上允许的测试点数 (总计)			0	测试点
差分对到时钟或高速周期信号的布线间距	50			Mils
差分对到任何其他信号的布线间距	30			Mils

表 A-3. KeyStone II - K2K、K2H、K2L 和 K2E 器件

参数	最小值	典型值	最大值	单位
USB3.0 (超高速) 布线长度 (总计)			5500	Mils
串行 ATA (SATA) 布线长度 (总计)			5500	Mils
PCI-Express (PCIe) 布线长度 (总计)			5500	Mils
2.5GHz 时的超高速插入损耗 (器件到连接器)	请参阅 USB 规格			dB
USB2.0 布线长度 (总计)	4000	12000		Mils
任何 USB3/SATA/PCIe 差分对内的延迟差		5		Mils
所有 PCIe RX 对之间的延迟差 (总计)			550	Mils
所有 PCIe TX 对之间的延迟差 (总计)			550	Mils
任何 USB2.0 差分对内的延迟差		50		Mils
USB2.0 DP 或 DM 对差分阻抗	81	90	99	Ω
USB2.0 DP 或 DM 对共模阻抗	40.5	45	49.5	Ω
超高速 SSRX 或 SSTX 对差分阻抗	83.7	90	96.3	Ω
PCI-Express RX 或 TX 对差分阻抗	90	100	110	Ω
PCI-Express RX 或 TX 布线单端阻抗	51	60	69	Ω
串行 ATA RX 或 TX 对差分阻抗	85	100	115	Ω
任何差分对布线上允许的残桩数 (总计)		0		残桩
USB3 差分布线上允许的过孔数 (总计)		2		过孔
任何 PCIe/SATA 差分布线上允许的过孔数 (总计)		0		过孔
每个 USB2.0 差分布线上允许的过孔数 (总计)		4		过孔
任何差分对布线上允许的测试点数 (总计)		0		测试点
差分对到时钟或高速周期信号的布线间距	50			Mils
差分对到任何其他信号的布线间距	30			Mils

表 A-4. KeyStone II - K2G (66AK2G0x/66AK2G1x) 器件

参数	最小值	典型值	最大值	单位
PCI-Express (PCIe) 布线长度 (总计)			5500	Mils
USB2.0 布线长度 (总计)	4000	12000		Mils
任何 PCIe 差分对内的延迟差		5		Mils
所有 PCIe RX 对之间的延迟差 (总计)			550	Mils
所有 PCIe TX 对之间的延迟差 (总计)			550	Mils
任何 USB2.0 差分对内的延迟差		50		Mils
USB2.0 DP 或 DM 对差分阻抗	81	90	99	Ω
USB2.0 DP 或 DM 对单端阻抗	40.5	45	49.5	Ω
PCI-Express RX 或 TX 对差分阻抗	90	100	110	Ω
PCI-Express RX 或 TX 布线单端阻抗	51	60	69	Ω
任何差分对布线上允许的残桩数 (总计)	0			残桩
任何 PCIe 差分布线上允许的过孔数 (总计)	0			过孔
每个 USB2.0 差分布线上允许的过孔数 (总计)	4			过孔
任何差分对布线上允许的测试点数 (总计)	0			测试点
差分对到时钟或高速周期信号的布线间距	50			Mils
差分对到任何其他信号的布线间距	30			Mils

表 A-5. AM65xx/DRA80xM

参数	最小值	典型值	最大值	单位
USB3.1 GEN1 布线长度 (总计)			4000	Mils
PCI-Express (PCIe) 布线长度 (总计)			4000	Mils
串行千兆位媒体独立接口 (SGMII) 布线长度 (总计)			7500	Mils
USB2.0 布线长度 (总计)	4000	12000		Mils
2.5GHz 时的超高速插入损耗 (器件到连接器)	请参阅 USB 规格			dB
任何 USB3/PCIe/SGMII 差分对内的延迟差			5	Mils
所有 PCIe RX 对之间的延迟差 (总计)			6	ns
所有 PCIe TX 对之间的延迟差 (总计)			1.5	ns
任何 USB2.0 差分对内的延迟差			50	Mils
USB2.0 DP 或 DM 对差分阻抗	81	90	99	Ω
超高速 SSRX 或 SSTX 对差分阻抗	90.25	95	99.75	Ω
PCI-Express RX 或 TX 对差分阻抗	90.25	95	99.75	Ω
SGMII RX/TX/RXCLK/TXCLK 对差分阻抗	90.25	95	99.75	Ω
任何差分对布线上允许的残桩数 (总计)			0	残桩
任何 USB3/PCIe/SGMII 差分布线上允许的过孔数 (总计)			2	过孔
每个 USB2.0 差分布线上允许的过孔数 (总计)			4	过孔
任何差分对布线上允许的测试点数 (总计)			0	测试点
差分对到时钟或高速周期信号的布线间距	50			Mils
差分对到任何其他信号的布线间距	30			Mils

表 A-6. AM64x

参数	最小值	典型值	最大值	单位
USB3.1 GEN1 布线长度 (总计)			5500	Mils
PCI-Express (PCIe) 布线长度 (总计)			5500	Mils
USB2.0 布线长度 (总计)	4000	12000		Mils
2.5GHz 时的超高速插入损耗 (器件到连接器)	请参阅 USB 规格			dB
任何 USB3/PCIe 差分对内的延迟差			5	Mils
所有 PCIe RX 对之间的延迟差 (总计)			6	ns
所有 PCIe TX 对之间的延迟差 (总计)			1.5	ns
任何 USB2.0 差分对内的延迟差			50	Mils
USB2.0 DP 或 DM 对差分阻抗	81	90	99	Ω
超高速 SSRX 或 SSTX 对差分阻抗	90.25	95	99.75	Ω
PCI-Express RX 或 TX 对差分阻抗	90.25	95	99.75	Ω
任何差分对布线上允许的残桩数 (总计)			0	残桩
任何 USB3/PCIe 差分布线上允许的过孔数 (总计)			2	过孔
每个 USB2.0 差分布线上允许的过孔数 (总计)			4	过孔
任何差分对布线上允许的测试点数 (总计)			0	测试点
差分对到时钟或高速周期信号的布线间距	50			Mils
差分对到任何其他信号的布线间距	30			Mils

表 A-7. AM62x (初始数据)

参数	最小值	典型值	最大值	单位
USB2.0 布线长度 (总计)		4000	12000	Mils
任何 USB2.0 差分对内的延迟差		50		Mils
USB2.0 DP 或 DM 对差分阻抗	81	90	99	Ohm
CSI 布线长度 (总计)		10		英寸
CSI 差分对延迟差	必须满足模式转换 S 参数 (1)			
CSI 对差分阻抗	85	100	115	Ohm (2)
CSI 单端阻抗		50		Ohm
CSI 通道延迟		40		ps (3)
任何差分对布线上允许的残桩数 (总计)		0		残桩
每个 USB2.0 差分布线上允许的过孔数 (总计)		4		过孔
每个 CSI 差分布线上允许的过孔数 (总计)		2		过孔
任何差分对布线上允许的测试点数 (总计)		0		测试点
差分对到时钟或高速周期信号的布线间距	50			Mils
差分对到任何其他信号的布线间距	30			Mils

- 在 MIPI D-PHY 规范中定义；包括 sdc12、scd21、scd12、sdc21、scd11、sdc11、scd22 和 sdc22。一般估计为 UI/50 (其中，1.25GHz 时 UI = 400ps)。
- 由于 MIPI 信号除了用于高速差分实现之外，还用于低功耗单端信号，因此这些信号对必须松散耦合。
- 由 MIPI 规范定义为 0.1 x UI (其中，1.25GHz 时 UI = 400ps)。

[修订历史记录](#)
表 A-8. AM62Ax (初始数据)

参数	最小值	典型值	最大值	单位
USB2.0 布线长度 (总计)		4000	12000	Mils
任何 USB2.0 差分对内的延迟差		50		Mils
USB2.0 DP 或 DM 对差分阻抗	81	90	99	Ohm
CSI 布线长度 (总计)		10		英寸
CSI 差分对延迟差	必须满足模式转换 S 参数 (1)			
CSI 对差分阻抗	85	100	115	Ohm (2)
CSI 单端阻抗		50		Ohm
CSI 通道延迟		40		ps (3)
任何差分对布线上允许的残桩数 (总计)		0		残桩
每个 USB2.0 差分布线上允许的过孔数 (总计)		4		过孔
每个 CSI 差分布线上允许的过孔数 (总计)		2		过孔
任何差分对布线上允许的测试点数 (总计)		0		测试点
差分对到时钟或高速周期信号的布线间距	50			Mils
差分对到任何其他信号的布线间距	30			Mils

- 在 MIPI D-PHY 规范中定义；包括 sdc12、scd21、scd12、sdc21、scd11、sdc11、scd22 和 sdc22。一般估计为 UI/50 (其中，1.25GHz 时 UI = 400ps)。
- 由于 MIPI 信号除了用于高速差分实现之外，还用于低功耗单端信号，因此这些信号对必须松散耦合。
- 由 MIPI 规范定义为 0.1 x UI (其中，1.25GHz 时 UI = 400ps)。

[修订历史记录](#)

Changes from Revision I (April 2022) to Revision J (February 2023)	Page
• 从 AM64x 中删除了 (初始数据)	16
• 添加了新的 AM62Ax (初始数据)	16

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023, 德州仪器 (TI) 公司