



## Laboratório 8: Síntese de Circuitos Sequenciais Síncronos

Bernardo Hoffmann da Silva

Marcos Vinicius Pereira Veloso

### 4.1 Projeto e simulação do Circuito

Com a especificação do problema dado, é possível decompor o projeto final em sub-problemas que podem ser construídos independentemente. Visto que é necessário um mecanismo de contagem de tempos, torna-se relevante a implementação de um circuito sequencial de um Contador síncrono. Conforme explicitado nas equações deduzidas na metodologia da atividade, pode-se implementar a máquina sequencial em modelo Moore, conforme segue na Figura 1, na qual é utilizado o elemento de memória flip-flop D. O circuito contador possui diagrama de temporização tal como segue na Figura 2.

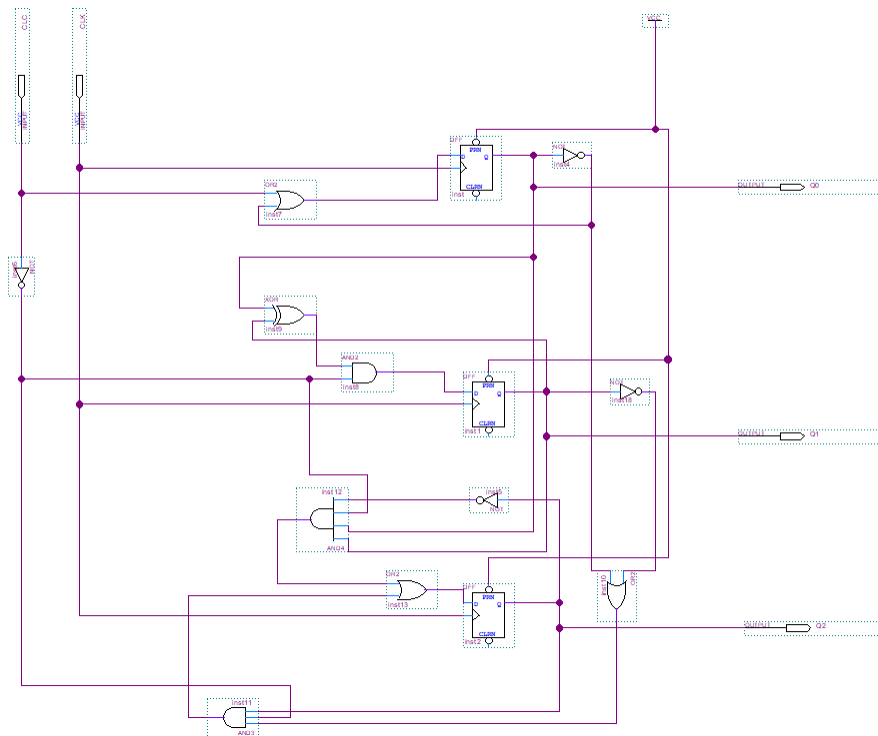


Figura 1: Implementação do contador síncrono com uso de flip-flops D e elementos lógicos.

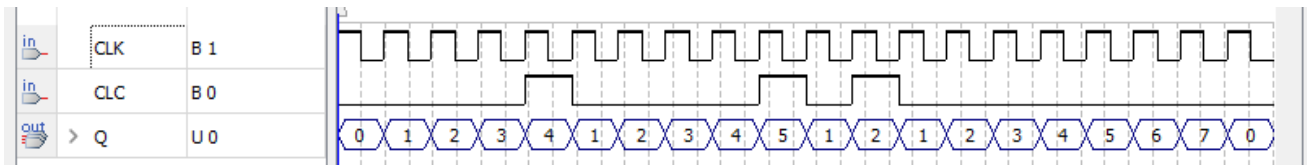


Figura 2: Diagrama de temporização obtido para o circuito da Figura 1.

Com isso, nota-se que a máquina implementada é condizente com o resultado desejado para o projeto, que consiste na contagem de tempo pela variável de saída  $Q = Q_2Q_1Q_0$ , com o respectivo reset de tempo para 1 com a entrada CLC.

Com base em tal contador, observa-se que é pertinente o uso de variáveis auxiliares que denotam quando o tempo de 3s ou 7s foram atingidos, de modo que a máquina resultante mude de estado conforme tais tempos sejam alcançados. Com isso, basta que seja implementado entradas  $S_3$  e  $S_7$ , de modo que

$$S_3 = \overline{Q_2}Q_1Q_0 \quad (1)$$

$$S_7 = Q_2Q_1Q_0 \quad (2)$$

O bloco que denota o circuito combinacional presente nas relações acima é dado conforme segue na Figura 3.

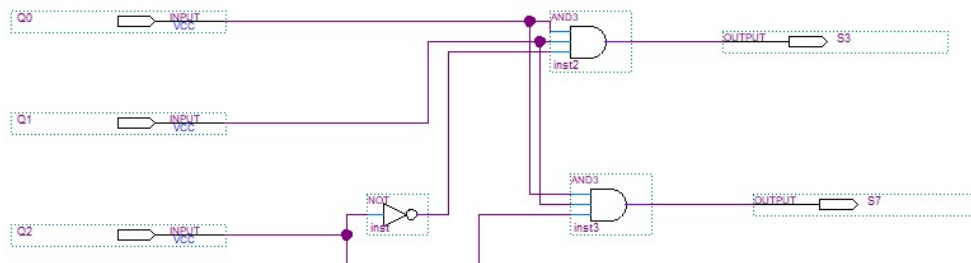


Figura 3: Circuito combinacional auxiliar do projeto final.

Pode-se, assim, associar o circuito contador e o combinacional desenvolvidos com uma máquina de estados finita a fim de se atingir a máquina sequencial síncrona desejada.

De acordo com o que segue na metodologia, após a obtenção das equações lógicas para a MEF, pode-se implementar o circuito no *software Quartus II*, conforme é apresentado na Figura 4.

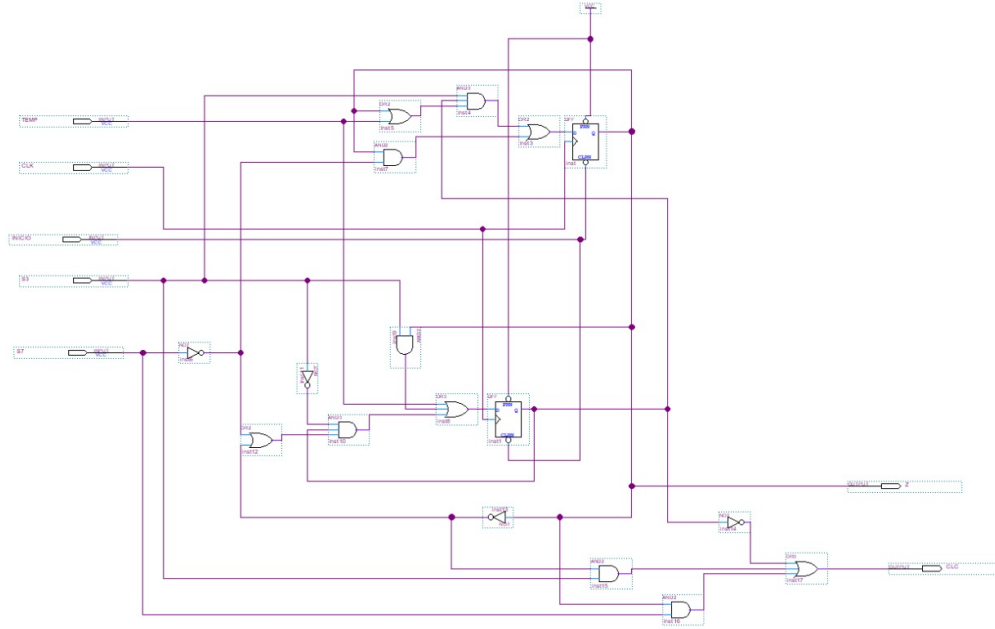


Figura 4: Circuito sequencial implementado para utilização no projeto final.

Por fim, pode-se elaborar a montagem do circuito resultante dos 3 blocos sintetizados, conforme segue na Figura 5, cujo resultado de saída via diagrama de temporização é denotado nas Figuras 6 e 7, para análise de diferentes casos da variável TEMP.

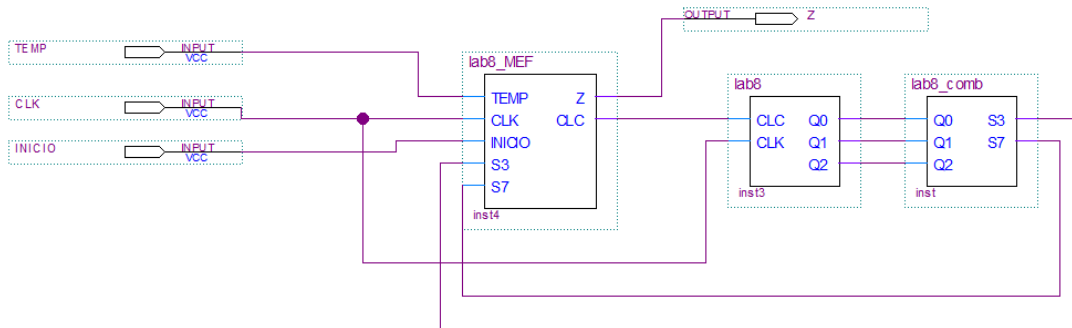


Figura 5: Modelo completo para o problema proposto, com o uso de blocos intermediários implementados.

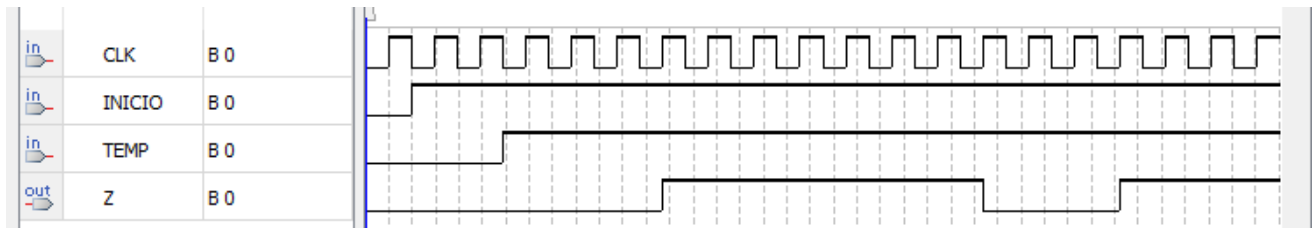


Figura 6: Diagrama de temporização referente a Figura 5.

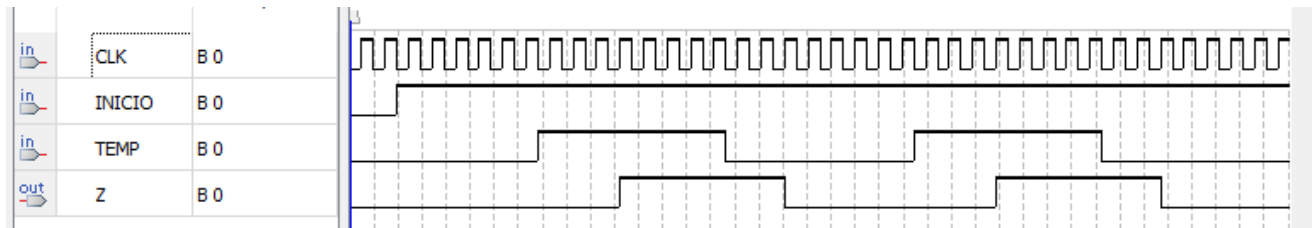


Figura 7: Diagrama de temporização referente a Figura 5.

Como exemplo, nota-se que, conforme segue na Figura 6, quando  $TEMP = 1$ , passa-se para o estado B após o primeiro pico de CLK. Com efeito, percebe-se que, há 3 picos seguintes que fazem o valor de Z ir para 1. Isto ocorre porque passou-se 3 segundos após entrar no estado B e, dado que o valor de TEMP estava em 1, passa-se então para o estado C, que possui saída 1. Por fim, após 7 subidas de CLK, a saída Z volta a zero, pois a máquina retorna ao estado B. Em síntese, esta análise, assim como os casos presentes na figura 7, denotam que o sistema projetado condiz com as especificações almejadas.