



Laboratório 2: Análise e síntese de funções combinacionais de múltiplas saídas.

Bernardo Hoffmann da Silva
Marcos Vinicius Pereira Veloso

4.1

a.

Com a definição dos valores de saída a partir do seletor, pode-se montar a Tabela Verdade conforme Tabela (1).

Tabela 1: Tabela verdade de um DEMUX 1x4.

E	S1	S2	O1	O2	O3	O4
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1
0	X	X	0	0	0	0

Com efeito, denota-se que as saídas, visto que são definidos a partir dos valores de S_0 e S_1 , tem-se que, aplicando Teorema de De Morgan:

$$O_1 = \bar{S}_1 \bar{S}_2 = \overline{S_1 + S_2} \quad (1)$$

$$O_2 = \bar{S}_1 S_2 = \overline{S_1 + \bar{S}_2} \quad (2)$$

$$O_3 = S_1 \bar{S}_2 = \overline{\bar{S}_1 + S_2} \quad (3)$$

$$O_4 = S_1 S_2 = \overline{\bar{S}_1 + \bar{S}_2} \quad (4)$$

Desse modo, para a montagem do diagrama esquemático via simulação, basta fazer a inclusão de portas NOR sobre os literais especificados nas relações apresentadas de (1) a (4). Para a inserção do inversor, é indispensável denotar que $\bar{S} = \bar{S} + \bar{S}$. Assim, o circuito pode ser montado conforme segue na figura 1.

b.

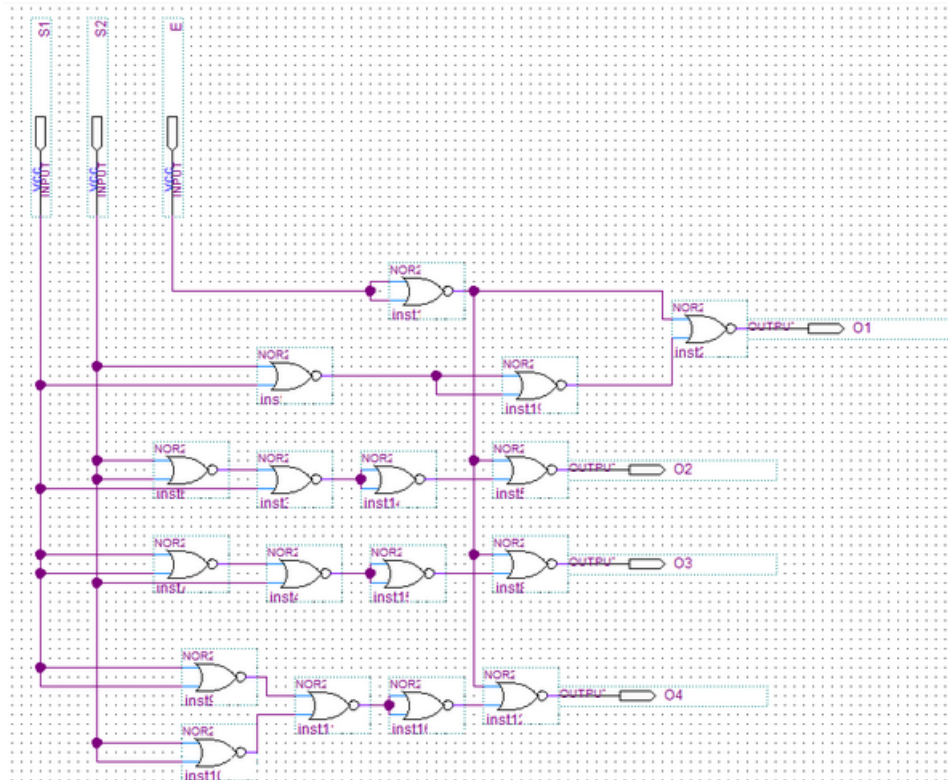


Figura 1: Circuito simulado para representar o demux 1x4 apenas com portas NOR

c.

Por fim, o diagrama de temporização, conforme obtido pela simulação do circuito da figura 1, é dado na figura 2.

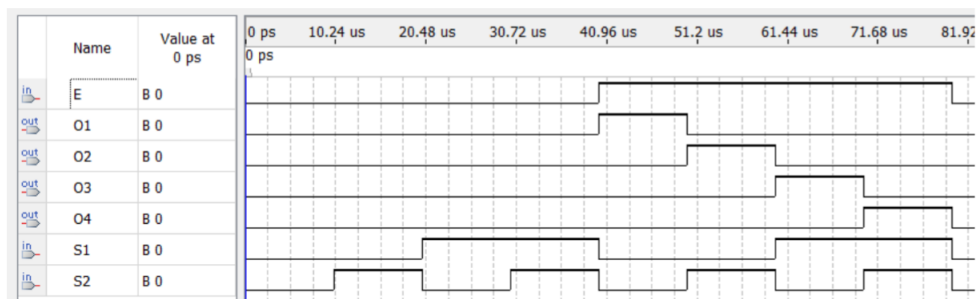


Figura 2: Diagrama de temporização obtido a partir da simulação do circuito. Nota-se que as saídas têm o valor esperado, dado pelas equações.

4.2

a.

Da Tabela dada de conversão de Binário Puro para Código Gray, pode-se montar a tabela 2:

Tabela 2: Tabela verdade para a conversão de binário puro para código de Gray.

A	B	C	G3	G2	G1
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

b.

Considere uma entrada $A_3A_2A_1$ e saída $G_3G_2G_1$. A estratégia aqui consiste em usar Mapa de Karnaugh para simplificação. Para isso, deve-se implementar o Mapa para cada saída da função conversora (i. e., os 3 bits que representam o binário puro). De modo a evitar trabalho redundante, como da definição de construção do Código Gray, sabe-se que o dígito mais significativo é o mesmo para o código em Binário Puro; assim, o valor lógico da saída G_3 é, trivialmente, $G_3 = A_3$. Posto isso, obtém-se as expressões de G_1 e G_2 :

$$G_2 = A'_3A_2 + A_3A'_2 = A_3 \oplus A_2 \quad (5)$$

$$G_1 = A'_2A_1 + A_2A'_1 = A_2 \oplus A_1 \quad (6)$$

Assim, com as expressões dadas da saída, pode-se elaborar o circuito apresentado na figura 3:

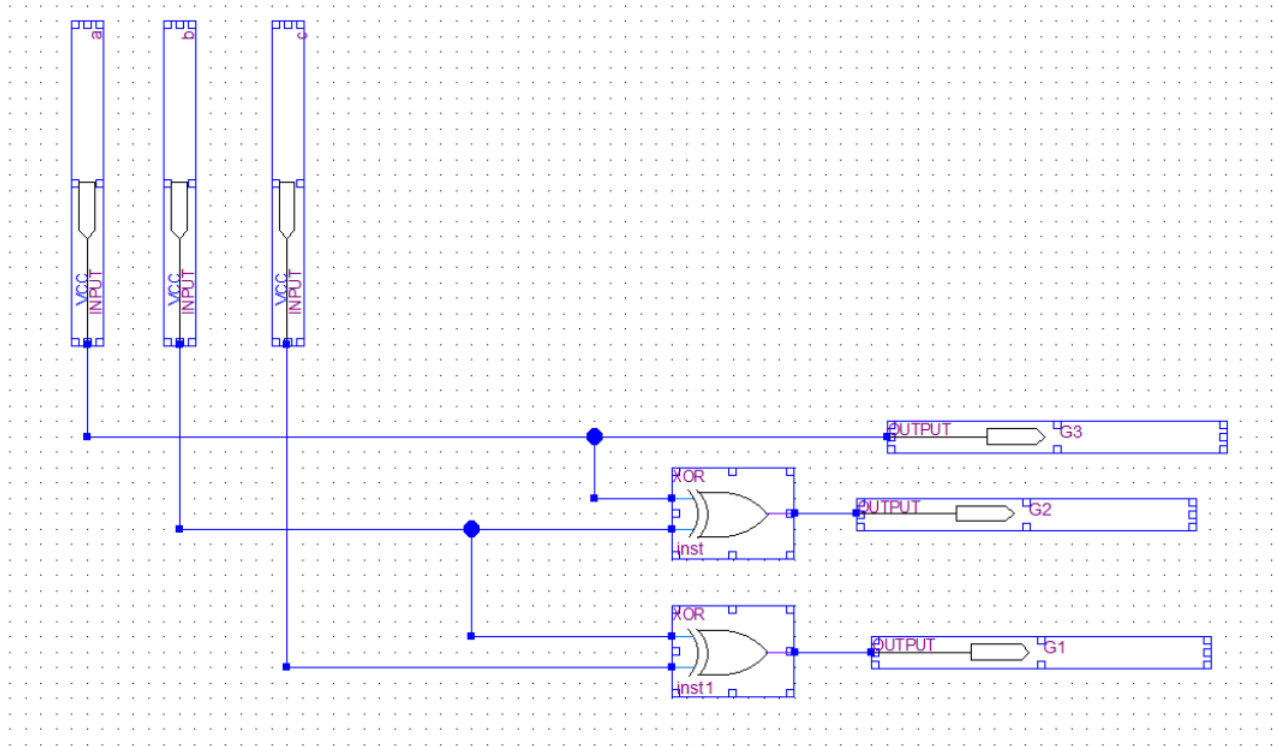


Figura 3: Circuito montado para simular o conversor

c.

Com o circuito dado, tem-se como consequência de sua simulação o diagrama de temporização apresentado na figura 4:

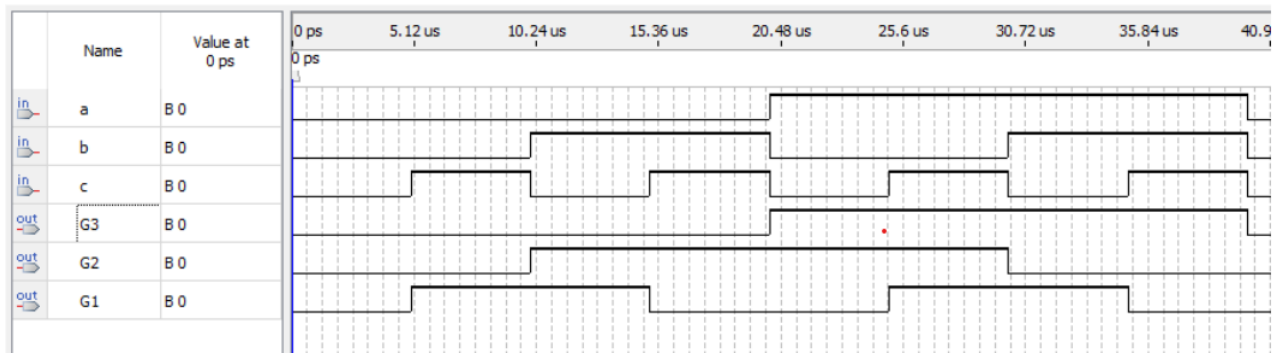


Figura 4: Diagrama de temporização para o conversor. Nota-se que as saídas têm o comportamento esperado

4.3

a.

A partir da definição, pode-se montar a tabela 3:

Tabela 3: Tabela verdade de um decodificador 3x8, com entrada em binário puro.

x_2	x_1	x_0	E	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

Note-se que, para cada saída, há uma única combinação das 3 entradas que geram o valor 1 para tal saída. Com isso, um conjunto de expressões booleanas para as variáveis de saída pode ser dado por, considerando as entradas como x_2, x_1, x_0 e saídas S_7, S_6, \dots, S_0 :

$$S_7 = x_2 x_1 x_0$$

$$S_5 = x_2 x'_1 x_0$$

$$S_3 = x'_2 x_1 x_0$$

$$S_1 = x'_2 x'_1 x_0$$

$$S_6 = x_2 x_1 x'_0$$

$$S_4 = x_2 x'_1 x'_0$$

$$S_2 = x'_2 x_1 x'_0$$

$$S_0 = x'_2 x'_1 x'_0$$

b.

Com as expressões booleanas obtidas no item (a), pode-se montar o diagrama esquemático no simulador, tal como segue na figura 5:

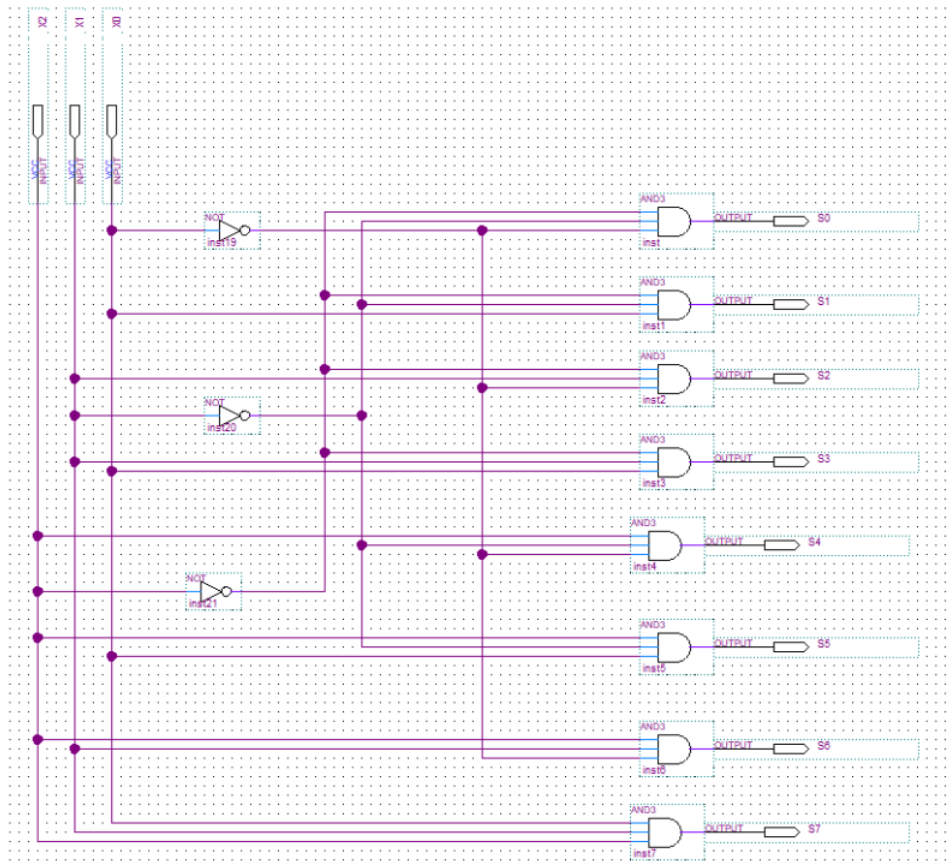


Figura 5: Circuito montado para simular o decodificador especificado.

c.

Por fim, com o circuito digital elaborado no simulador, pode-se obter o diagrama de temporização via simulação funcional, como mostrado na figura 6.

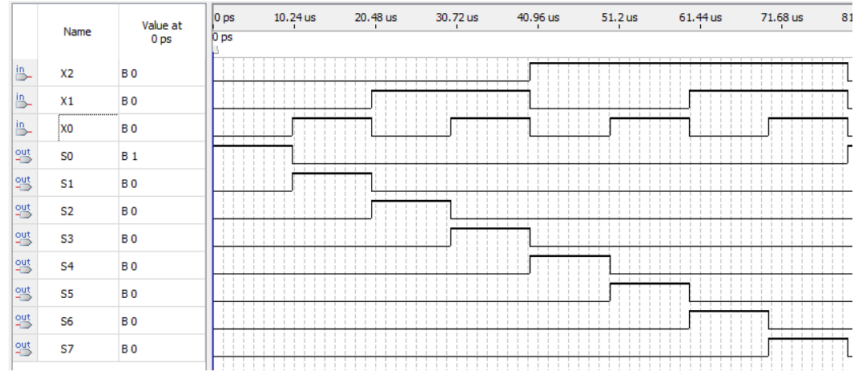


Figura 6: Diagrama de temporização para o decodificador. Nota-se que as saídas são dadas como o esperado.

4.4

a.

Note-se que, como A é verdade quando uma das saídas é não nula, sua função booleana é obtida trivialmente por $A = x_3 + x_2 + x_1 + x_0$, que já está na forma minimizada em produto de somas (um único fator). Feito isso, pode-se montar o mapa de Karnaugh apresentado na tabela 4:

Tabela 4: Mapa de Karnaugh com as saídas S1S0 representadas.

x3x2 \ x1x0	00	01	11	10
00	xx	10	xx	11
01	00	xx	xx	xx
11	xx	xx	xx	xx
10	01	xx	xx	xx

Note-se então que aplicando continuamente o Teorema de De Morgan, temos, em notação de produto de somas:

$$S_0 = x_3x_2x_1x_0' + x_3'x_2'x_1x_0' = ((x_3' + x_2 + x_1 + x_0)(x_3 + x_2 + x_1' + x_0))' \quad (7)$$

$$S_1 = x_3'x_2x_1x_0' + x_3x_2'x_1x_0' = ((x_3 + x_2' + x_1 + x_0)(x_3' + x_2 + x_1 + x_0))' \quad (8)$$

b.

Com as expressões obtidas para A , S_0 e S_1 , um possível diagrama esquemático é apresentado na figura 7.

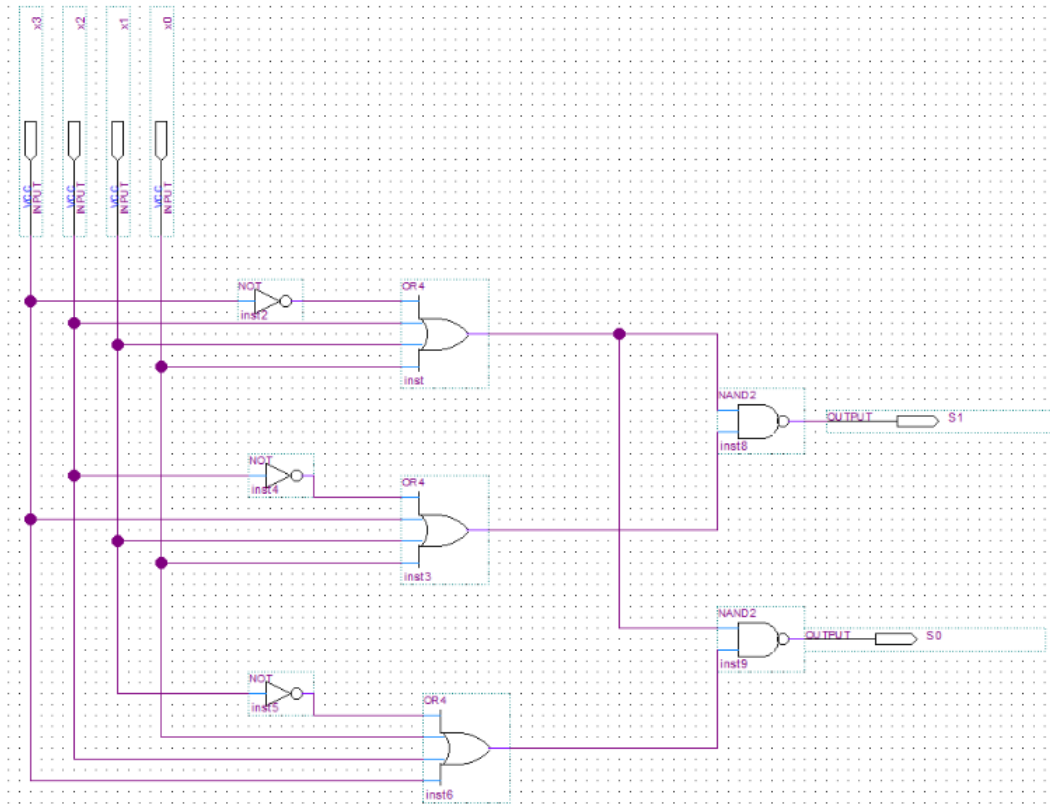


Figura 7: Circuito simulado do codificador de prioridade

c.

Com efeito, o resultado da simulação via diagrama de temporização é dado pela figura 8.

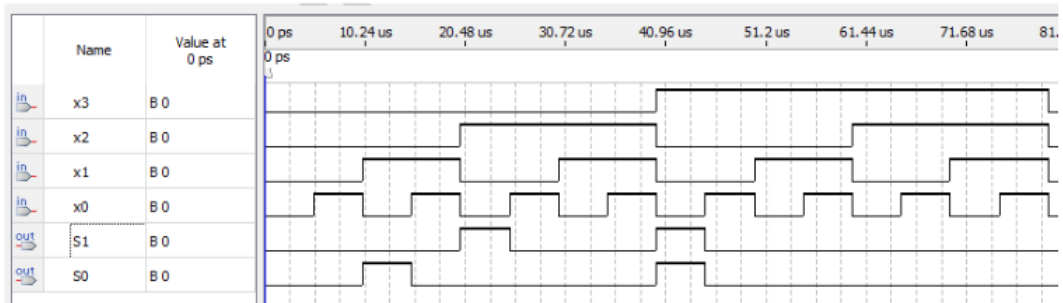


Figura 8: Diagrama de temporização do codificador de prioridade. Nota-se que as saídas possuem resultados como o esperado pelas equações apresentadas.

4.5

a.

As expressões Booleanas para o bloco H são apresentadas de (9) a (12).

$$A = A^1 + A^2 \quad (9)$$

$$Y_2 = A^2 \quad (10)$$

$$Y_1 = Y_1^2 + (Y_1^1 \bar{A}^2) \quad (11)$$

$$Y_0 = Y_0^2 + (Y_0^1 \bar{A}^2) \quad (12)$$

O diagrama esquemático para o bloco H é apresentado na figura 9.

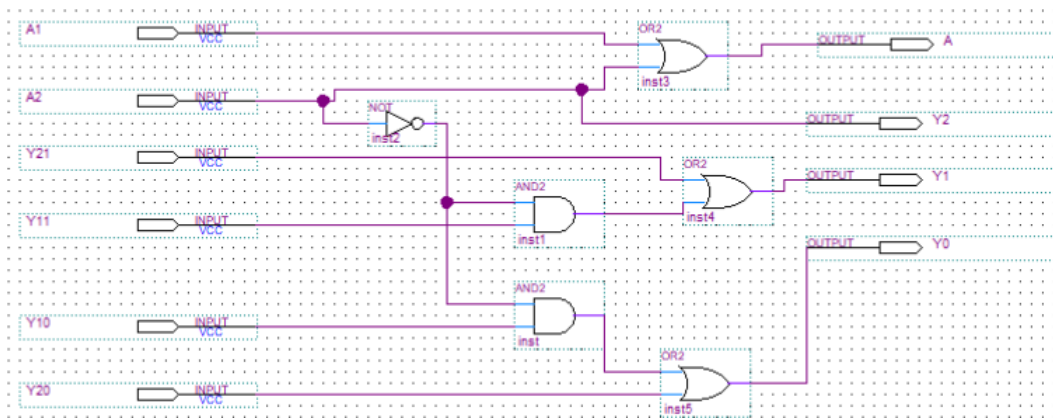


Figura 9: Circuito montado em simulador a fim de mostrar as conexões do bloco H

O diagrama de temporização é apresentado pela figura 10.

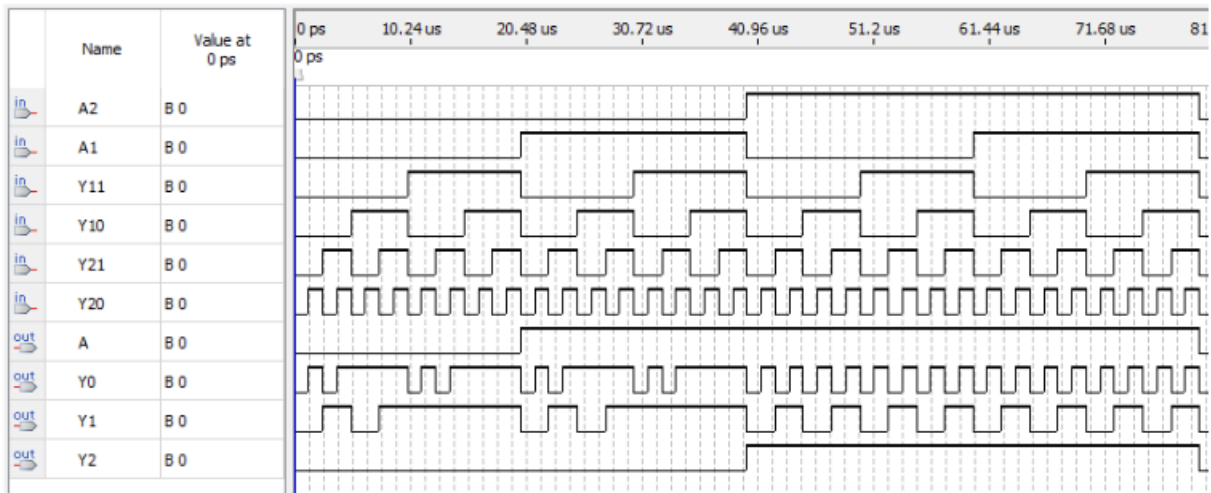


Figura 10: Diagrama de temporização do bloco H. Nota-se que as saídas são como as esperadas pelas equações.

Em seguida, as entradas foram substituídas por dois circuitos codificadores de prioridade 4x2, como o codificador 8x3 deve ser construído. Assim, simulando esse novo circuito, obteve-se o diagrama de temporização apresentado na figura 11 e figura 12. O diagrama foi dividido em duas figuras a fim de facilitar a visualização.

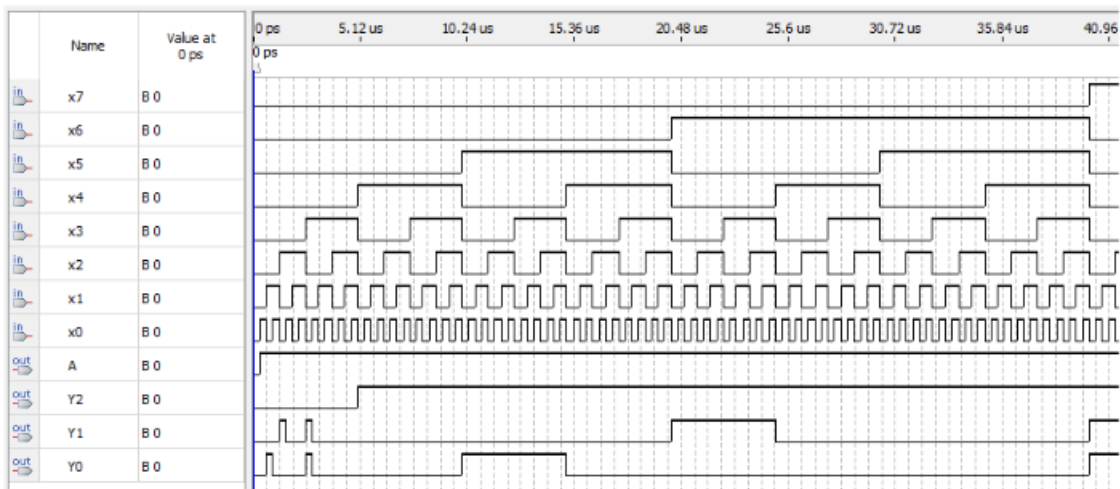


Figura 11: Diagrama de temporização do circuito codificador de prioridade. Nessa imagem, X7 tem valor zero. Nota-se que as saídas são de acordo com o esperado pelo objetivo do circuito

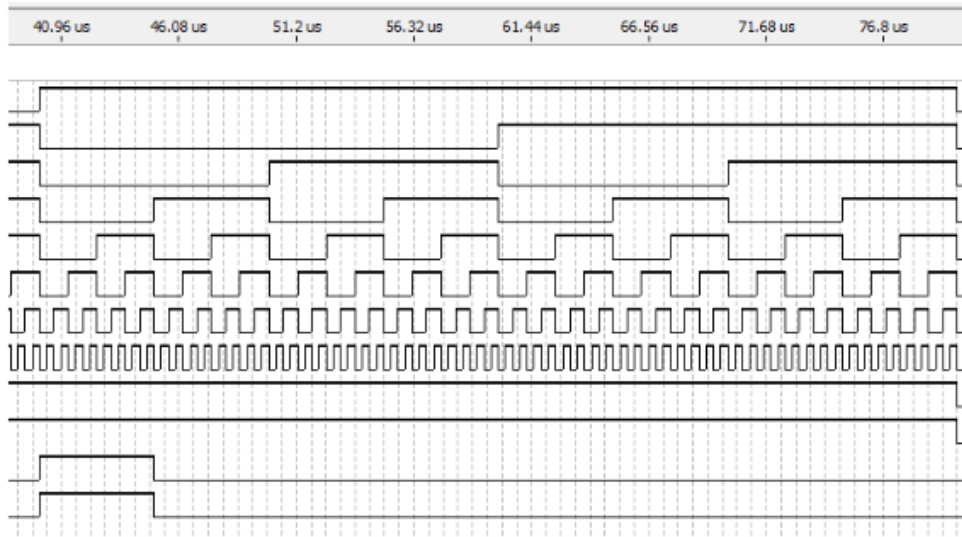


Figura 12: Diagrama de temporização do circuito codificador de prioridade. Nessa imagem, X7 tem valor 1. Nota-se que as saídas são de acordo com o esperado pelo objetivo do circuito