



Laboratório 6: Análise e síntese de circuitos sequenciais síncronos.

Bernardo Hoffmann da Silva
Marcos Vinicius Pereira Veloso

4. Montagem

Feita a devida análise presente na metodologia, é possível projetar via síntese de Huffman o problema abordado. Com efeito, pode-se montar tal problema em arquitetura de modelo de Moore ou Mealy, conforme seguem nos próximos tópicos.

4.1 Montagem do circuito Moore

Para a montagem do circuito no Modelo Moore, primeiramente foi denotado a montagem do circuito com as devidas denominações nos circuitos lógicos com nas devidas portas dos circuitos integrados TTL utilizados. Com efeito, pode-se montar o circuito com tais elementos, tal como segue na Figura 1 . Feito isso, pode-se denotar que o circuito, de fato, opera tal como esperado pela especificação do problema; Como forma de consulta, os resultados práticos seguem na nuvem conforme *url* presente nas referências, bem como seguem imagens do circuito montado.

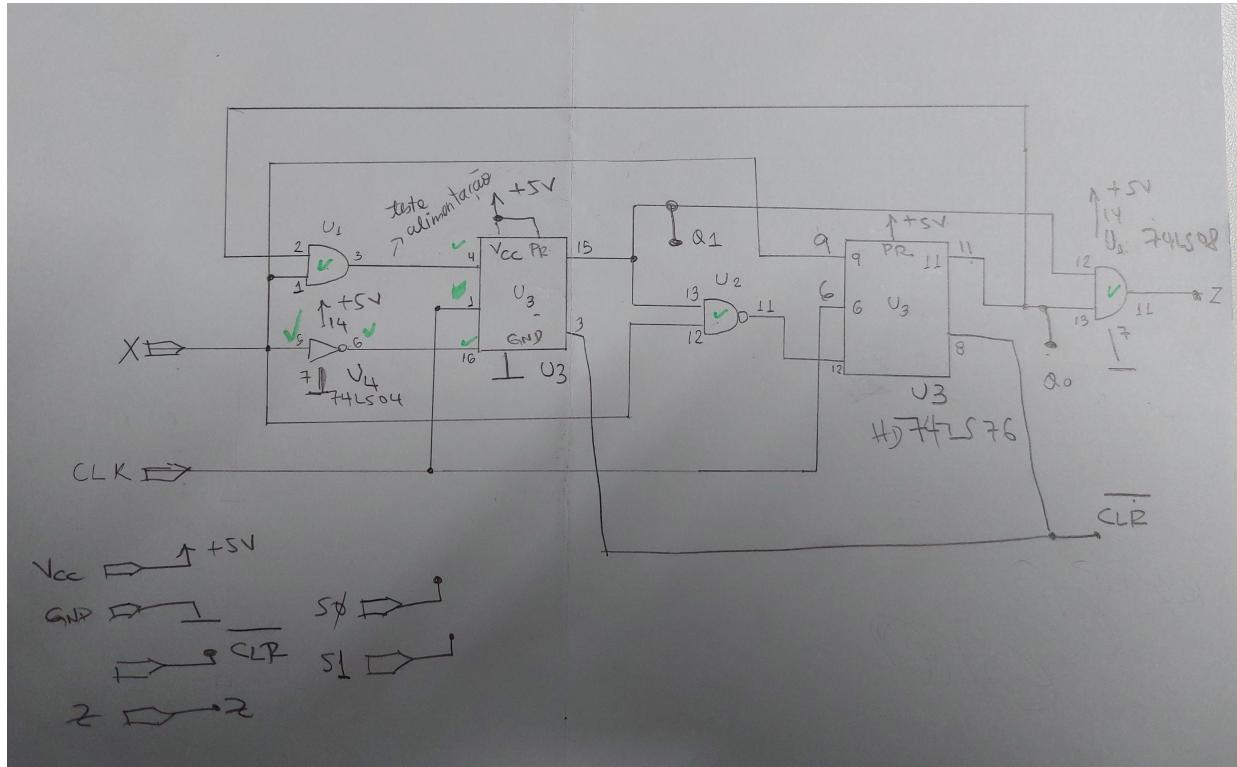


Figura 1: Esquematização do modelo Moore implementado.

4.2 Montagem do circuito Mealy

Tal como na seção anterior, para a montagem do circuito no Modelo Mealy, primeiramente foi denotado a montagem do circuito com as devidas denominações nos circuitos lógicos com nas devidas portas dos circuitos integrados TTL utilizados, conforme demonstrado na Figura 2, de modo que o circuito da atividade pode então ser elaborado. Ressalta-se que os resultados obtidos seguem nas referências para eventuais consultas.

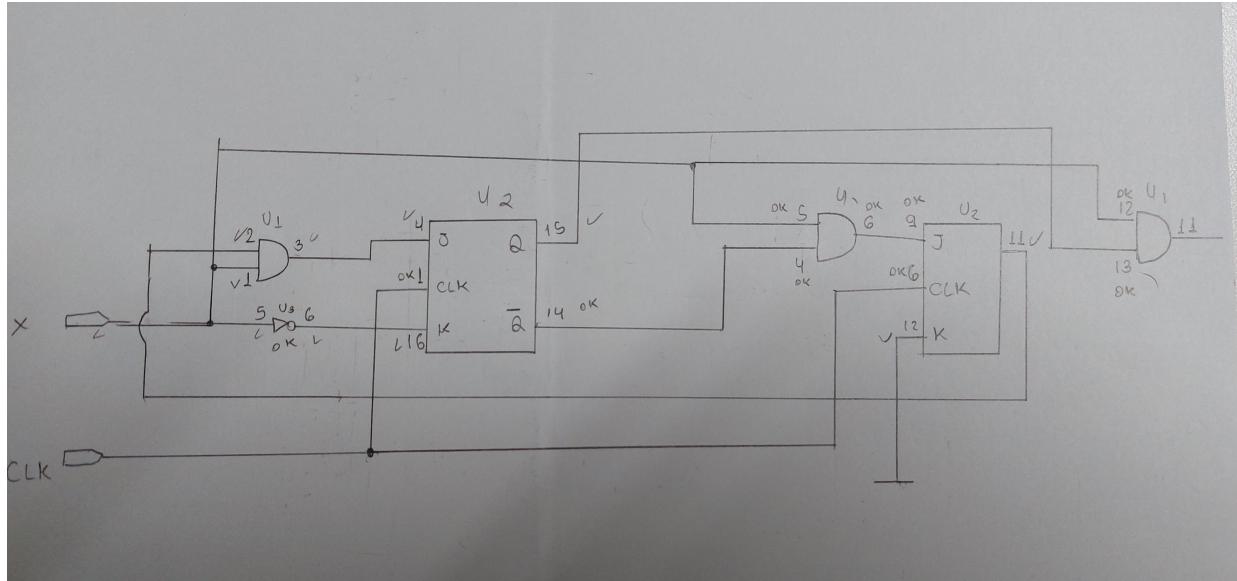


Figura 2: Esquematização do modelo Mealy implementado.

5. Simulações

5.1 Projeto e simulação de um contador síncrono reversível

Pode-se, inicialmente, construir a tabela 1 a partir do projeto do contator e a tabela de excitação do *flip-flop* D. Serão considerados os 4 bits DCBA, nessa ordem, para o número de módulo 16.

R	D	C	B	A	D_+	C_+	B_+	A_+	D_d	D_c	D_b	D_a
0	0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	1	0	0	1	0	0	0	1	0
0	0	0	1	0	0	0	1	1	0	0	1	1
0	0	0	1	1	0	1	0	0	0	1	0	0
0	0	1	0	0	0	1	0	1	0	1	0	1
0	0	1	0	1	0	1	1	0	0	1	1	0
0	0	1	1	0	0	1	1	1	0	1	1	1
0	0	1	1	1	1	0	0	0	1	0	0	0
0	1	0	0	0	1	0	0	1	1	0	0	1
0	1	0	0	1	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	1	1	0	1	1
0	1	0	1	1	1	1	0	0	1	1	0	0
0	1	1	0	0	1	1	0	1	1	1	0	1
0	1	1	0	1	1	1	1	0	1	1	1	0
0	1	1	1	0	1	1	1	1	1	1	1	1
0	1	1	1	1	0	0	0	0	0	0	0	0
1	0	0	0	0	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	0
1	0	0	1	0	0	0	1	1	0	0	0	1
1	0	0	1	1	0	1	0	0	0	1	0	0
1	0	1	0	0	0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	1	0	0	1	1	0
1	0	1	1	0	0	1	1	1	0	1	1	1
1	0	1	1	1	1	0	0	0	1	0	0	0
1	1	0	0	0	1	0	0	1	1	0	0	1
1	1	0	0	1	1	0	1	0	0	1	1	0
1	1	0	1	0	1	1	0	0	1	0	1	0
1	1	0	1	1	1	0	1	1	1	0	1	1
1	1	1	0	0	1	1	0	1	1	1	0	1
1	1	1	0	1	1	1	1	0	1	1	1	0
1	1	1	1	0	1	1	1	1	1	1	1	1
1	1	1	1	1	0	0	0	0	0	0	0	0

Tabela 1: Tabela dos valores da entrada D dos *flip-flops* para cada transição de estados

Logo, a partir da tabela 1, pode-se construir o mapa de Karnaugh para cada uma das variáveis de entrada.

AB \ DC	R = 0				R = 1			
	00	01	11	10	00	01	11	10
00	0	0	1	1	1	0	1	0
01	0	0	1	1	0	0	1	1
11	0	1	0	1	0	0	1	1
10	0	0	1	1	0	0	1	1

Tabela 2: Mapa de KArnaugh para a variável D_d

AB \ DC	R = 0				R = 1			
	00	01	11	10	00	01	11	10
00	0	1	1	0	1	0	0	1
01	0	1	1	0	0	1	1	0
11	1	0	0	1	0	1	1	0
10	0	1	1	0	0	1	1	0

Tabela 3: Mapa de KArnaugh para a variável D_c

AB \ DC	R = 0				R = 1			
	00	01	11	10	00	01	11	10
00	0	0	0	0	1	1	1	1
01	1	1	1	1	0	0	0	0
11	0	0	0	0	1	1	1	1
10	1	1	1	1	0	0	0	0

Tabela 4: Mapa de KArnaugh para a variável D_b

AB \ DC	R = 0				R = 1			
	00	01	11	10	00	01	11	10
00	1	1	1	1	1	1	1	1
01	0	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0	0
10	1	1	1	1	1	1	1	1

Tabela 5: Mapa de KArnaugh para a variável D_a

A partir dos mapas de Karnaugh, pode-se escrever as equações das variáveis de entrada do *flip-flop* D.

$$D_a = \overline{R} \cdot \overline{A} + R\overline{A} = \overline{A} \quad (1)$$

$$D_b = \overline{R}(A \oplus B) + R \cdot \overline{(A \oplus B)} = R \oplus A \oplus B \quad (2)$$

$$D_c = \overline{R}(C \oplus (AB)) + R(C \oplus (\overline{A} \cdot \overline{B})) \quad (3)$$

$$D_d = \overline{R}(D \oplus (ABC)) + R(D \oplus (\overline{A} \cdot \overline{B} \cdot \overline{C})) \quad (4)$$

A partir dessas equações, é necessário implementar a variável E_p e o input d, o qual determina a saída quando $E_p = 1$. Para isso, utilizar-se-á quatro MUX 2 para 1, nos quais E_p é a variável de seleção.

Caso $E_p = 1$, a saída do MUX (e do sistema), será o valor de d . Caso $E_p = 0$, a saída do MUX será a própria saída do flip-flop. Para a realimentação do circuito síncrono, utilizar-se-á a saída do MUX, a fim de mudar os estados e continuar a contagem a partir da mudança realizada por d .

A figura 3 apresenta o circuito construído a partir do sistema descrito.

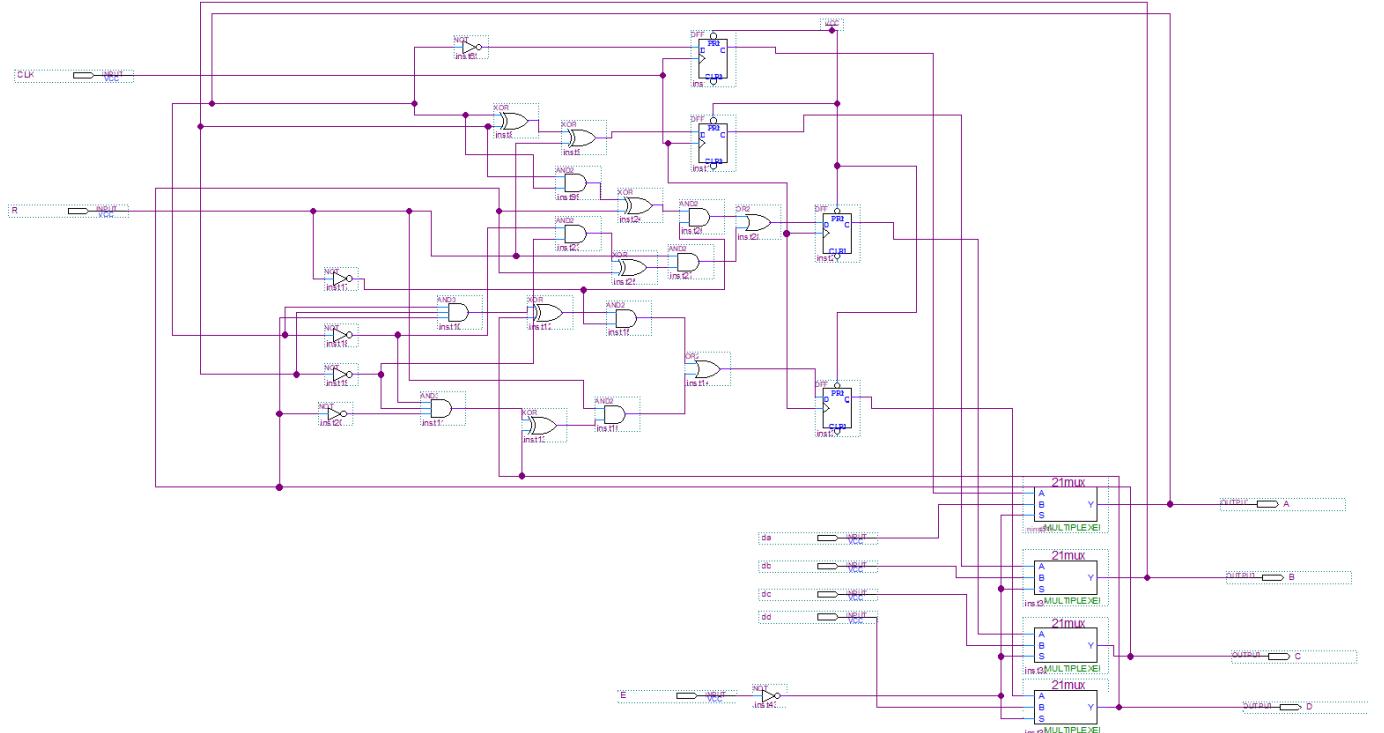


Figura 3: Construção do circuito contador utilizando flip-flops D

Por fim, pode-se realizar uma simulação para comprovar a funcionalidade do circuito. O diagrama de temporização é mostrado nas figuras 4 e 5, que foram divididas para melhor visualização.

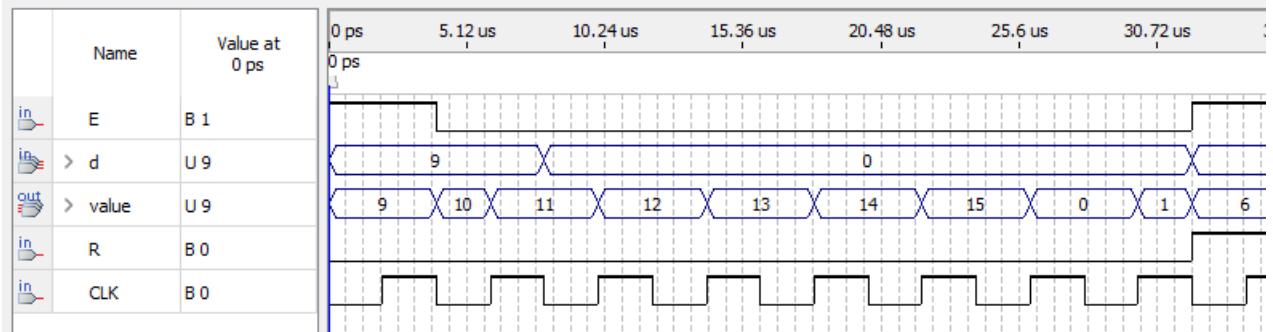


Figura 4: Primeira parte do diagrama de temporização para a saída requisitada em roteiro para o circuito contador

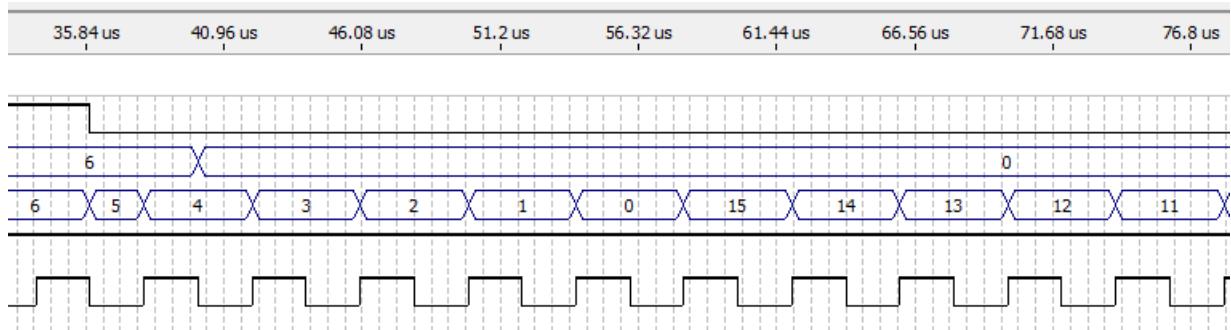


Figura 5: Segunda parte diagrama de temporização para a saída requisitada em roteiro para o circuito contador

5.3 Projeto e simulação de uma máquina sequencial síncrona

Nota-se que, com a especificação dada, é necessário a montagem de um contador de sequência para (111) e (101). Como aquele já foi feito em metodologia, considera-se a análise para (101). Nesse sentido, pode-se elaborar o grafo de estados conforme segue na Figura 6 e, por conseguinte, a Tabela de transição de estados obtida tal como segue na Tabela 6 e a Tabela com estados codificados segue na Tabela 7.

Est \ X	0	1
A	A/0	B/0
B	C/0	B/0
C	A/0	D/1
D	C/0	B/0

Tabela 6: Diagrama de transição de estados.

Com efeito, pode-se então utilizar de tal Tabela de transição que, quando associada com a tabela de transição dos Flip-Flops JK, pertinentes para a montagem do projeto, pode-se obter as equações de excitação e de saída para X, tal como segue nas relações de (5) a (10), em que Z_Y é a

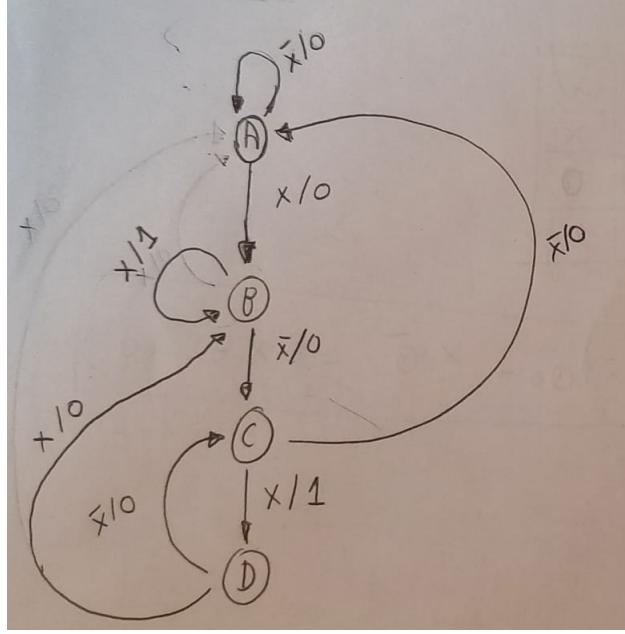


Figura 6: Grafo de transição de estados.

relação que é denotada na metodologia do relatório, cujo circuito foi montado experimentalmente na seção 4.2.

$$J_{0X} = Q_1 + X \quad (5)$$

$$K_{0X} = Q_1 \quad (6)$$

$$Z_X = XQ_1Q_0 \quad (7)$$

$$J_{1X} = \bar{X}Q_0 \quad (8)$$

$$K_{1X} = X \oplus Q_0 \quad (9)$$

$$Z_{final} = Z_X Z_Y \quad (10)$$

$Q_1 Q_0 \setminus X$	0	1
00	00/0	01/0
01	11/0	01/0
11	00/0	10/1
10	11/0	01/0

Tabela 7: Diagrama de transição de estados codificada.

Feito isso, tem-se então relações lógicas que denotam valor lógico 1 quando na sequência em X aparece a terna (101), dado pela saída Z_X . Para o Y , que resulta em 1 quando aparece a terna (111), sua análise é feita de modo análogo na metodologia. Com isso, para que a saída Z seja 1 sempre que as sequências de X e Y são simultaneamente as denotadas anteriormente,

basta que seja usado uma porta lógica E para as saídas das duas variáveis (Cuja saída é dada por Z_{final}). Posto isso, pode-se elaborar a montagem do circuito conforme segue na figura 7, bem como pode-se obter seu diagrama de temporização como denotado em 8 e 9. A saída foi separada em duas figuras para melhor visualização. Nota-se que o resultado é condizente com a saída proposta pelas especificações do problema.

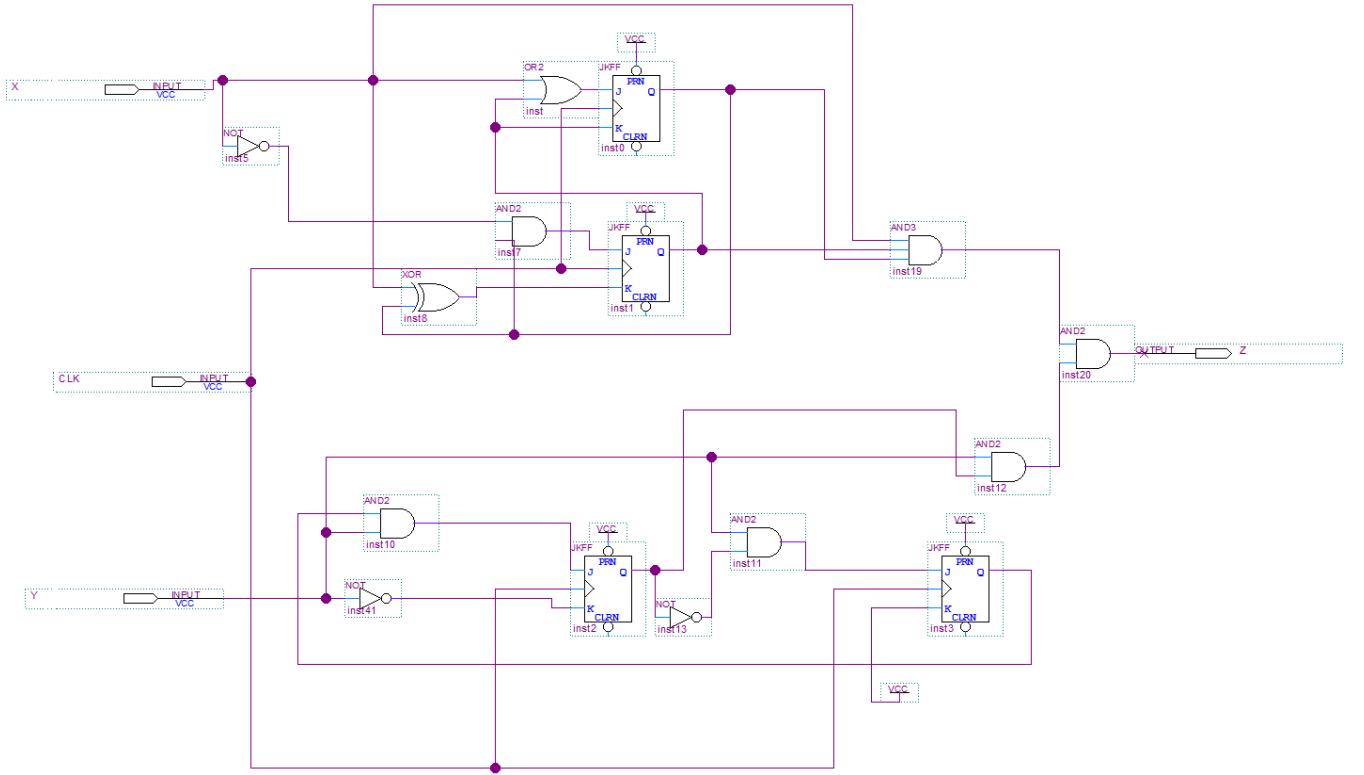


Figura 7: Circuito sequencial síncrono projetado e simulado

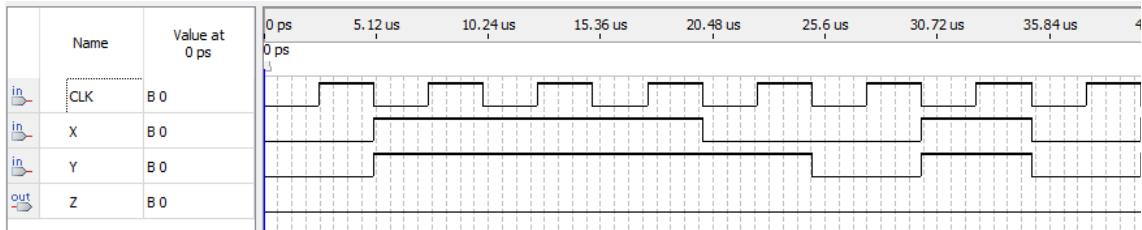


Figura 8: Diagrama de temporização

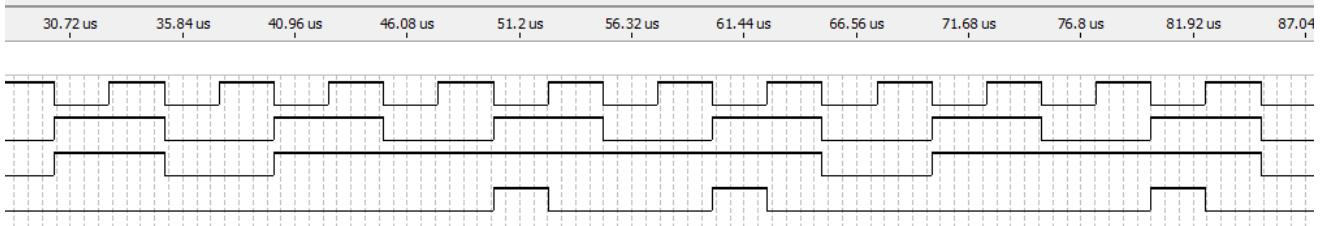


Figura 9: Diagrama de temporização

1 Referências

1. Fotos e vídeos experimentais armazenados em *google drive*. Pode ser acessado em <<https://drive.google.com/drive/folders/1kgcM4y91bawvZEsN1n-B0V8FVSvVoXWk?usp=sharing>>. Acesso permitido a usuários @ga.