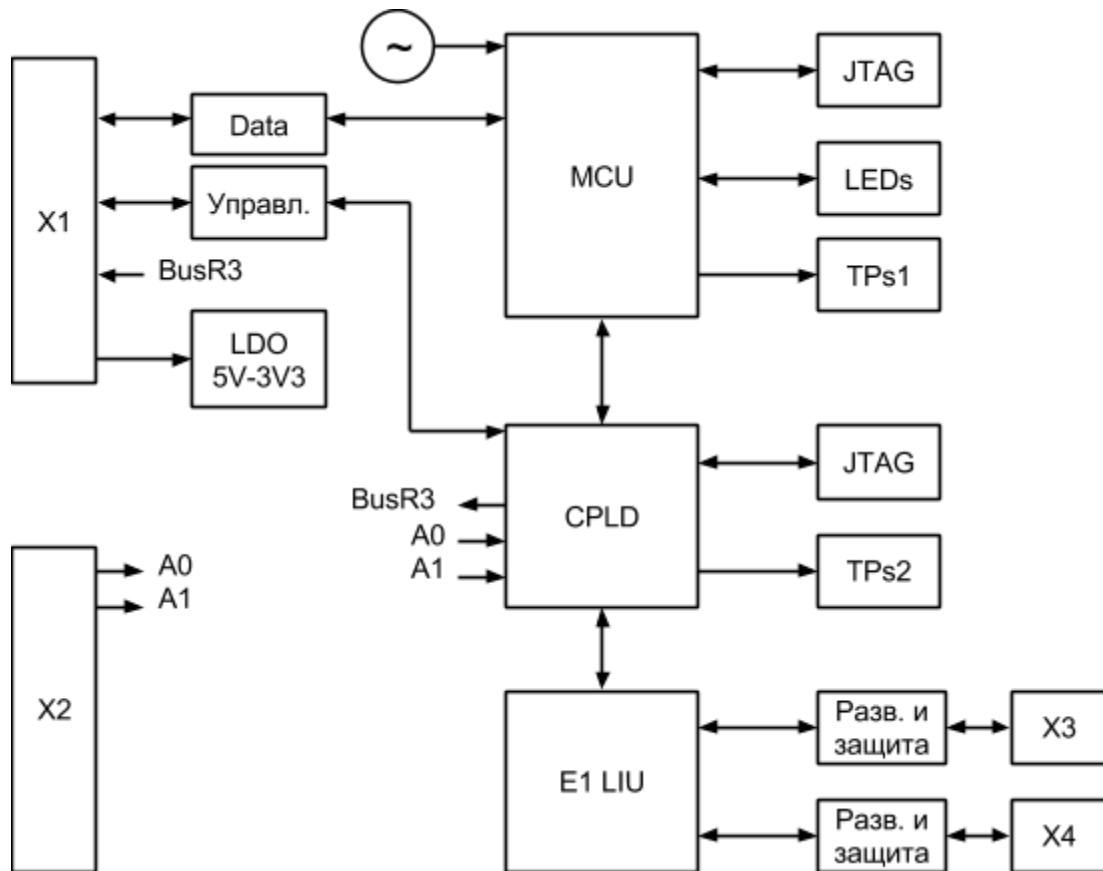


## Технические Требования на блок БЦК-Е1



### Общее описание

1. Блок-схема БЦК-Е1 представлена на рисунке выше
2. При разработке схемотехники блока БЦК-Е1 нужно ориентироваться на схемотехнику блока БЦК-О\_v2.3 (в той части, которая не описана здесь и которая является общей для обоих блоков)
3. Основное напряжение питания блока 3.3В
4. Физические размеры - см. БЦК-О\_v2.3

### Элементная база

1. MCU - STM32F446ZET6
2. E1 LIU (Line Interface Unit) - IDT82V2084
3. CPLD - ALTERA EPM1270T144C4N (в перспективе замены в серийном изделии на младшую модель ALTERA EPM240T100C5N, когда будут определены задействованные ресурсы CPLD)
4. Остальное - из схемотехники блока БЦК-О\_v2.3

## Системная шина

1. За основу схемотехники взять реализацию буфера системной шины блока БЦК-О\_v2.3
2. Разрядность шины данных - 16 бит (завести в MCU)
3. Разрядность шины адреса - 4 бита (завести в CPLD)
4. #CS0...#CS4, #RD, #WR, BL, #RES, BUSR3, A0, A1 - в CPLD
5. BUSR3 подключать к разъему X1 через диод (монтажное ИЛИ), как на БЦК-О\_v2.3
6. Сигналы управления (OE, DIR) - в CPLD

## MCU

1. напряжение питания - 3.3В
2. Кварцевый резонатор - 16 МГц
3. JTAG разъем: на базе PBD-8 со следующим расположением контактов

1	JNTRST	2	JTDO
3	JTDI	4	3V3
5	JTCK	6	GND
7	JTMS	8	N.C.

4. SAI1 (SAI1\_FS\_A/B, SAI1\_MCLK\_A/B, SAI1\_SCK\_A/B, SAI1\_SD\_A/B) - в CPLD
5. SAI2 (SAI2\_FS\_A/B, SAI2\_MCLK\_A/B, SAI2\_SCK\_A/B, SAI2\_SD\_A/B) - в CPLD
6. SPI1 (SPI1\_MOSI, SPI1\_MISO, SPI1\_SCK, SPI1\_NSS) - в CPLD
7. RCC (RCC\_MC0\_1 (PA8), RCC\_MC0\_2 (PC9)) - в CPLD
8. FMC:
  - FMC\_D15...FMC\_D0 - на буферы шины данных системной шины
  - FMC\_A3...FMC\_A0 - в CPLD
  - FMC\_NE1, FMC\_NL, FMC\_NOE, FMC\_NWAIT, FMC\_NWE - в CPLD
9. В качестве резерва часть неиспользуемых портов ввода/вывода завести в CPLD (не менее 8)
10. 8 неиспользуемых портов ввода/вывода использовать в качестве тестовых точек. Вывести их на разъем PLS-8
11. Вывести 6 светодиодов индикации. Схемотехника и положение (его можно скорректировать, т.к. оно не совпадает с положением отверстий на панели) - как на блоке БЦК-О\_v2.3

Для уточнения расположения выводов микросхемы можно использовать программу

**STM32CubeMX** со следующими настройками:

Тип микросхемы: **STM32F446ZETx**

### FMC:

Nor Flash/PSRAM/SRAM/ROM 1

Chip Select: NE1

Memory type: NOR Flash  
Address: 4 bits  
Data: 16 bits  
Clock: Disable  
Address valid: check  
Wait: Asynchronous

**RCC:**

High Speed Clock (HSE): Crystal/Ceramic Resonator  
Low Speed Clock (LSE): Disable  
Master Clock Output 1: check  
Master Clock Output 2: check

**SAI1:**

**SAI A:**

Mode: Master with Master Clock Out  
I2S/PCM Protocol: uncheck

**SAI B:**

Mode: Master with Master Clock Out  
I2S/PCM Protocol: uncheck

**SAI2:**

**SAI A:**

Mode: Master with Master Clock Out  
I2S/PCM Protocol: uncheck

**SAI B:**

Mode: Master with Master Clock Out  
I2S/PCM Protocol: uncheck

**SPI1:**

Mode: Full-Duplex Master  
Hardware NSS Signal: check

**E1 Driver**

1. напряжение питания - 3.3В
2. Необходимо использовать 2 любых порта (из 4-х), наиболее удобные для трассировки
3. Сигналы этих портов (LOSn, RCLKn, RDn/RDPn, CVn/RDNn, TCLKn, TDn/TDPn, TDNn) должны быть заведены в CPLD
4. ~CS, SCLK, SDI, SDO (последовательный порт управления) - в CPLD
5. ~INT, ~RST, THZ, SCLKE, MCLK - в CPLD
6. P/~S - "0"
7. MCLKS - "0"

**Требования к портам E1**

1. Количество портов - 2 шт
2. Типы разъемов - RJ45
3. Распиновка разъемов - стандартная E1
4. Расположение разъемов - нижняя часть блока
5. Волновое сопротивление линии - 120 Ом
6. Схемы защиты от помех, согласование линии и гальваническая развязка - в соответствии с документацией на IDT82V2048

**CPLD**

1. напряжение питания - 3.3В
2. JTAG - стандартный ALTERA JTAG, IDC10
3. 8 неиспользуемых портов ввода/вывода использовать в качестве тестовых точек. Вывести их на разъем PLS-8