

## SERIA TTL CU IMPEDANȚĂ RIDICATĂ LA IEȘIRE

După cum s-a arătat dezavantajul familiei TTL constă în faptul că nu admite realizarea funcției logice cablate. Pentru înlăturarea parțială a acest dezavantaj au fost realizate porți TTL cu colector în gol, care însă prezintă un timp de propagare mare și limitează numărul de circuite ce pot fi legate împreună.

Necesitatea realizării unor interconexiuni a două sau mai multe ieșiri împreună apare frecvent în sistemele de calculatoare în care circulația informației se face pe magistrale de informații (magistrale de date s-au adrese). Pentru astfel de situații familia de circuite integrate TTL are la dispoziție circuitele din seria TSL (Three-state-logic) numite frecvent și circuite logice cu impedanță ridicată la ieșire (figura 10.47)

Acestea pot funcționa ca circuite logice obișnuite dar pot prezenta și un regim de lucru prin care impedanța de ieșire este foarte mare, ceea ce face ca aceste circuite să nu încarce magistralele de informații. Având în vedere că calculatoarele moderne se bazează pe magistrale, au fost concepute porți TTL destinate special pentru acest fel de aplicații.

Din punct de vedere al performanțelor, porțile TSL sunt asemănătoare cu porțile TTL seria normală:

- Timpii de propagare tipici:  $t_{PLH} = 12 \text{ ns}$ ,  $t_{PHL} = 8 \text{ ns}$ ,  $t_{pd} = 10 \text{ ns}$ .
- Puterea medie disipată pe o poartă:  $P_D = 16 \text{ mW}$ .
- Posibilitatea de lucru în sistemele numerice cu celelalte serii ale familiei de circuite logice integrate TTL, datorită compatibilității perfecte a nivelurilor de tensiune de la intrare și ieșire:

$$V_{IL \max} = 0,8 \text{ V}, V_{IH \min} = 2 \text{ V}, V_{OL \max} = 0,4 \text{ V}, V_{OH \min} = 2,4 \text{ V}.$$

- Margine de zgomot tipică pentru cele două stări:  $M_L = M_H = 1 \text{ V}$
- Curenții de intrare și ieșire:  $I_{IL} = 1,6 \text{ mA}$ ,  $I_{IH} = 40 \mu\text{A}$ ,  $I_{OL} = 16 \text{ mA}$ ,  $I_{OH} = -5,2 \text{ mA}$ . Se observă că poarta TSL are un curent de ieșire pentru nivelul logic superior mult mai mare decât la poarta TTL din seria normală.
- Factorul de încărcare la ieșire este:  $FE_L = 10$ ,  $FE_H = 130$ .

Caracteristica acestei porți îl constituie cele trei regimuri de funcționare ale invertorului complex de la ieșire, de unde vine și denumirea seriei.

Cele trei moduri de funcționare ale invertorului complex, determină trei regimuri de funcționare a porții TSL.

Structura de principiu a porții TSL este asemănătoare cu structura porții TTL din seria rapidă, având în plus invertorul  $P_1$  dioda  $D$  și o intrare suplimentară numită de inhibare ( $I$ ) care are următorul rol:

1. Dacă  $V_I = V_L = 0,2 \text{ V}$ , rezultă că  $V_E = V_{CC}$  în acest caz dioda  $D$  este blocată poarta TSL va

funcționa ca oricare poartă TTL; furnizând la ieșire nivelul de tensiune determinat de semnalul aplicat la intrarea  $A$ . Se face observația că seria TSL conține atât invertoare cât și porți, în care caz nivelul de tensiune de la ieșire este determinat întocmai ca la poarta TTL normală:

- a. Pentru  $V_A = V_L$ , în baza tranzistorului  $T_1$ , și  $T_2$  se fixează un potențial cu :

$$V_{B1} = V_I + V_{BE1} = 0,2 + 0,75 = 0,95 \text{ V};$$

$$V_{B2} = V_{B1} - V_{BC1} = 0,95 - 0,75 = 0,2 \text{ V}$$

Acest potențial determină ca tranzistoarele  $T_2$  și  $T_3$  să fie blocate. În baza tranzistorului  $T_4$  se stabilește un potențial foarte apropiat de  $V_{CC}$ . Pe rezistența  $R_2$  este o cădere de tensiune

neglijabilă (0,06V). Tranzistorul T4 este în conducție și la ieșire se va stabili un nivel de tensiune superior:

$V_O = V_{B4} - V_{BE5} - V_{BE4} = V_{CC} - 0,75 - 0,75 = 3,5V = V_{OH}$  și se poate constata că dioda D este polarizată invers pentru acest caz.

b. Pentru  $V_A = V_H = 3,5V$ , în baza tranzistoarelor T<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub>, se stabilește un potențial:

$$V_{B1} = V_{BE3} + V_{BE2} + V_{BC1} = 0,75 + 0,75 + 0,75 = 2,25V ;$$

$$V_{B2} = V_{BE3} + V_{BE2} = 0,75 + 0,75 = 1,5V ;$$

$$V_{B3} = V_{BE3} = 0,75V$$

$$V_O = V_{OL} = 0,2V$$

Tranzistorul T<sub>1</sub> este în regim invers, iar tranzistoarele T<sub>2</sub> și T<sub>3</sub> sunt în saturație. La ieșire se fixează nivelul logic inferior. Tranzistoarele T<sub>4</sub> și T<sub>5</sub> sunt blocate iar în baza lui T<sub>5</sub> se stabilește un potențial de:

$$V_{B5} = V_{B3} + V_{CE2} = 0,75 + 0,2 = 0,95V, \text{ iar dioda D este blocată și în acest caz.}$$

2. Dacă  $V_I = V_H = 3,5V$ , poarta P<sub>1</sub> fixează în punctul E a unui potențial  $V_E = 0,2V$  ce corespunde nivelului logic inferior la ieșirea lui P<sub>1</sub>. Potențialul de 0,2 V se aplică pe unul din emitorul tranzistorului multi-emitor T<sub>1</sub>. În acest caz joncțiunea bază-emitor a tranzistorului T<sub>1</sub> va fi polarizată direct stabilind în baza lui un potențial:

$$V_{B1} = V_E + V_{BE1} = 0,2 + 0,75 V = 0,95 V.$$

Acest potențial de 0,95V este insuficient pentru a debloca tranzistoarele T<sub>2</sub> și T<sub>3</sub>. Tranzistorul T<sub>2</sub> fiind blocat, în colectorul lui tinde să se fixeze un potențial ridicat, ceea ce determină polarizarea directă a diodei D, care va fixa în anodul ei un potențial:

$$V_{B5} = V_D + V_E = 0,75 + 0,2 = 0,95 V.$$

Potențialul de 0,95 V din baza tranzistorului T<sub>5</sub> este insuficient pentru a debloca tranzistoarele T<sub>5</sub> și T<sub>4</sub>, ale căror joncțiuni bază-emitor sunt în serie. Această stare este specifică porții TSL; întrucât ambele tranzistoare ale invertorului complex (T<sub>3</sub> și T<sub>4</sub>) sunt blocate.

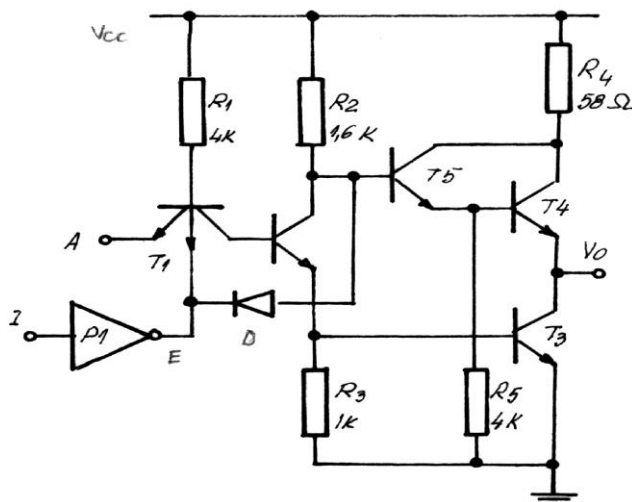


Figura 10.47

Tensiunea de ieșire nu este precis determinată. Valoarea tensiunii de ieșire este determinată în funcție de sarcina conectată la ieșire, din acest motiv se zice că poarta TSL are la ieșire o

valoare logică nedeterminată. În funcție de valoarea de tensiune stabilită la ieșire poarta poate furniza un curent de ieșire de impedanță ridicată :  $I_{OZH} = 40 \mu A$ , pentru situația că la ieșire este stabilit nivelul de tensiune superior, respectiv poarta poate prelua un curent de ieșire de impedanță ridicată:  $I_{OZL} = -40 \mu A$ , pentru cazul că la ieșire se stabilește nivelul de tensiune inferior.

În rezumat cele trei regimuri de funcționare ale porții TSL sunt:

- în starea “0” logic la ieșire tranzistorul  $T_3$  conduce, iar tranzistorul  $T_4$  este blocat.
- în starea “1” logic la ieșire tranzistorul  $T_3$  este blocat și tranzistorul  $T_4$  este saturat.
- în starea nedeterminată a tensiunii de ieșire tranzistoarele  $T_3$  și  $T_4$  sunt blocați. Această stare se mai numește starea de impedanță ridicată la ieșire.

În figura 10.47 s-a reprezentat structura reală a unei porți cu impedanță ridicată la ieșire.

Tabelul 10.9 se prezintă modul de funcționare a unei porți cu impedanță ridicată la ieșire în cazul intrării de comandă active pe nivel logic superior.

Tabelul 10.9

A	I	F
0	0	1
1	0	0
0	1	Impedanță ridicată
1	1	Impedanță ridicată

În figura 10.48 se prezintă în detaliu modul de conectare la o linie de informații, considerând un număr de  $n$  registre care predau informația pe magistrală și  $N$  registre în care se înscriu datele. În figură s-a reprezentat câte un bit din cele  $n$  registre de predare a informației, respectiv câte un bit din cele  $N$  registre de înscriere a datelor. La un moment dat este activă o singură poartă TSL, toate celelalte fiind pe impedanță ridicată. Dacă poarta activă TSL are la ieșire nivelul logic 1 înseamnă că prin toate celelalte  $(n-1)$  porți TSL va trece un curent de ieșire rezidual, notat cu  $I_{OZH}$ . Prin cele  $N$  porți TTL se vor închide câte un curent de intrare  $I_{IH}$  de  $40 \mu A$ , deci:

$$I_{OH \min (TSL)} = (n-1) I_{OZH (TSL)} + N \cdot I_{IH \min (TTL)} \quad (10.62)$$

Dacă poarta activă TSL are la ieșire nivel logic inferior, înseamnă că suma curenților pe magistrală (curenți reprezentați cu linie întreruptă în figura 8.51) va fi:

$$I_{OL \max (TSL)} = (n-1) I_{OZL (TSL)} + N \cdot I_{IL \max (TTL)} \quad (10.63)$$

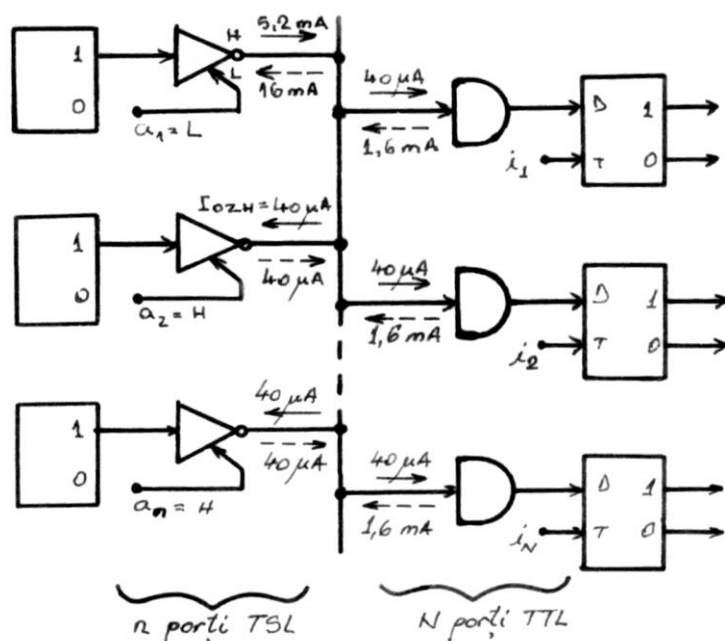


Figura 10.48

*Exemplu numeric: Pentru  $I_{OZL} = -40 \mu A$ ;  $I_{OZH} = 40 \mu A$ ;  $I_{IH} = 40 \mu A$ ;  $I_{IL} = 1.6 \text{ mA}$ ;  $I_{OH} = 16 \text{ mA}$ ;  $I_{IH} = -5.2 \text{ mA}$ ;  $n = 9$ ; se cere numărul de porți  $N$ . Din relația 8.62 se obține pentru  $N = 122$ , iar din relația 8.63 se obține pentru  $N = 9$ , ceea ce determină ca la magistrală să poată fi conectate fie 9 circuite integrate TTL, fie 122 de intrări TTL dar nu a mai mult de 9 integrate.*