

# ModelSim Portable Edition Guide

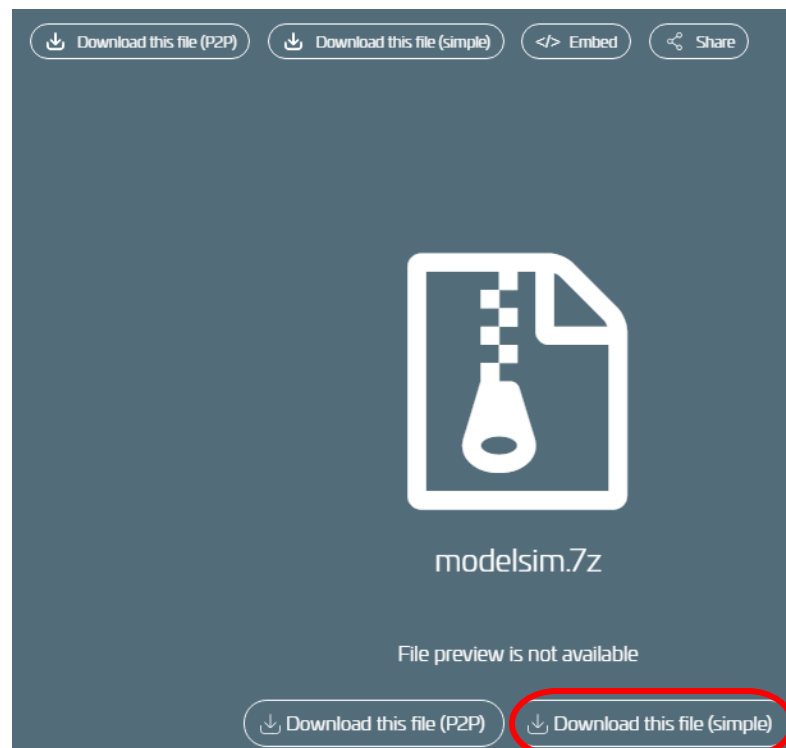
---

## 1) Descărcarea aplicației portabile ModelSim 6.5b

Acest tutorial este un supliment de laborator destinat să parcurgă pașii necesari de la *descărcarea* / *configurarea* variantei portabile ModelSim 6.5b până la compilarea unui *modul* / *testbench* implementat în Verilog în scopul simulării acestuia.

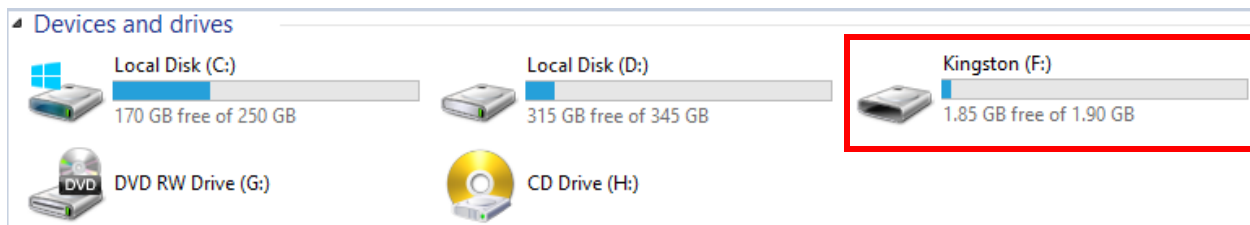
În primul rând, este necesar să vă asigurați că aveți la dispoziție următoarele elemente:

- a) Varianta împachetată a programului Modelsim – accesibilă de la următorul link: [Modelsim.7z](#).

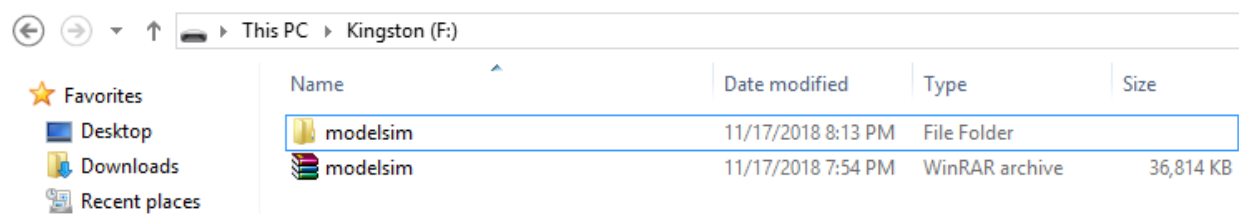


Dacă intrați pe link-ul furnizat veți accesa o pagină similară cu cea de sus. De aici puteți opta pentru opțiunea *Download this file (simple)* deoarece descărcarea *Peer-to-Peer* va alocă un timp mai lung pregătirii fișierului.

- b) Memory Stick (minim 2 GB) – Vă recomand să salvați fișierul anterior aflat în proces de descărcare direct pe mediul USB de stocare. Aici veți păstra și proiectele cu problemele rezolvate în cadrul laboratorului.



Dacă ați realizat subpașii până în acest punct ar trebui ca arhiva descărcată să fie localizată pe un dispozitiv notat uzual cu literele F,G,H, etc (acest aspect diferă de la un sistem la altul și în funcție de câte partiții aveți create). Pentru a verifica dacă descărcarea a avut loc cu succes intrăm pe Memory Stick (în cazul nostru Kingston F:) și trecem la dezarhivarea folderului.



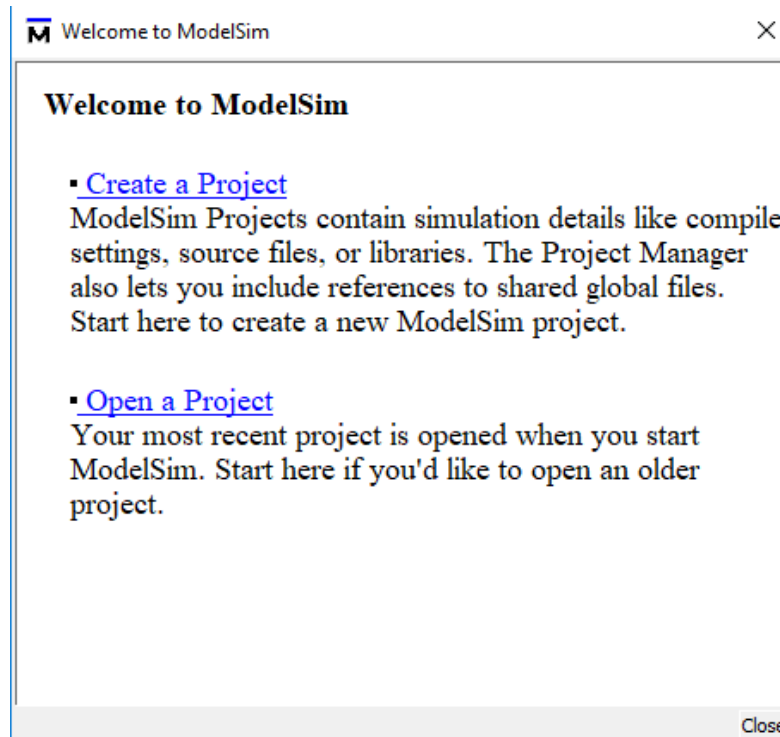
Înainte de a continua tutorialul asigurați-vă că directorul are o dimensiune de **160 MB**.

## 2) Crearea unui proiect în mediul ModelSim

Lansarea aplicației dedicate pentru implementarea codului în limbajul Verilog se va face de la calea **F:\modelsim\win32aloem\modelsim.exe** și va apare fereastra de primire:



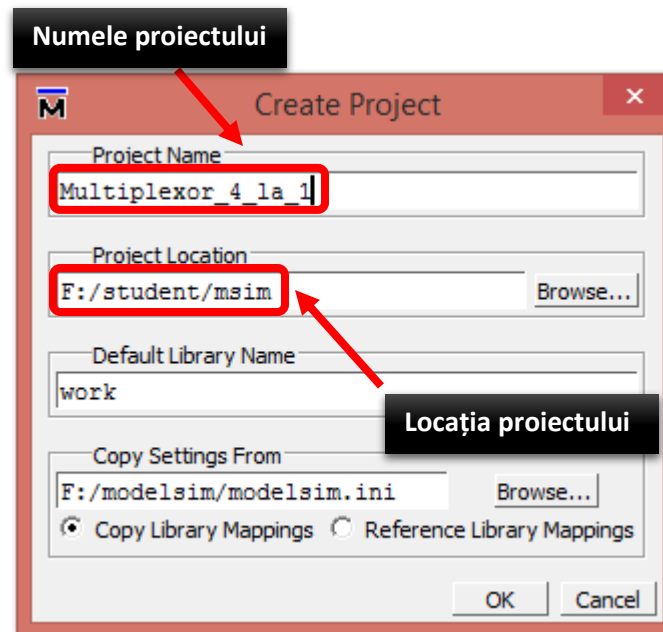
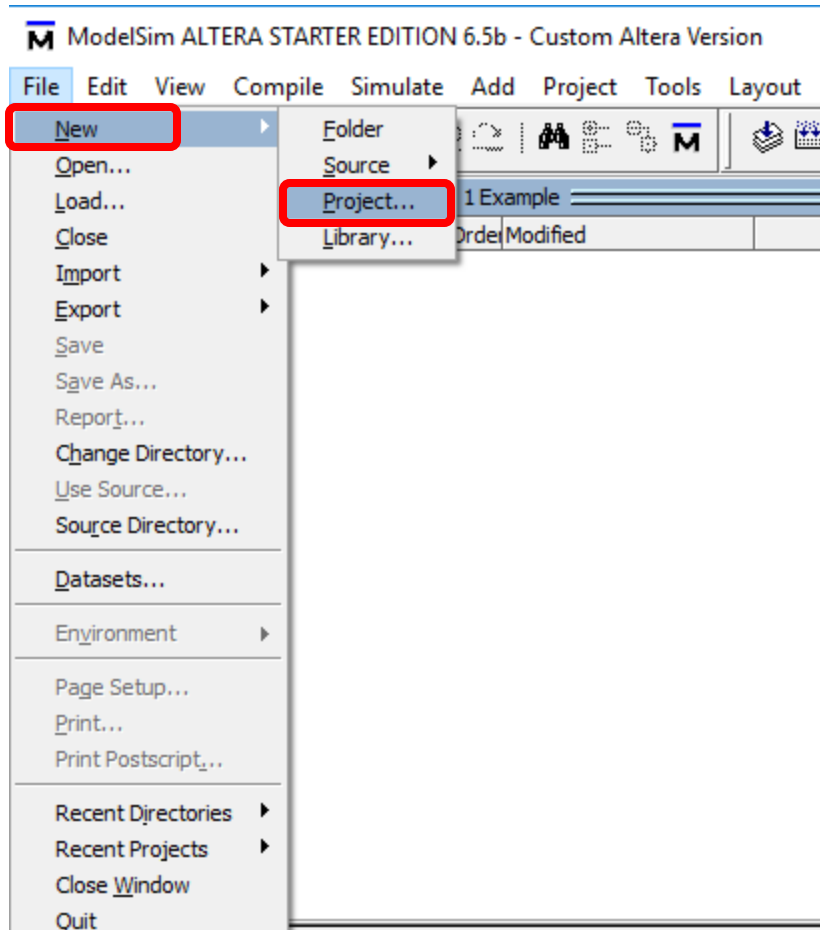
Pentru a putea continua pornirea programului se va da click pe **Jumpstart**, așa cum este sugerat în fereastră. În mod uzual, la acest moment ar trebui să se deschidă o nouă fereastră care să afișeze utilizatorului două opțiuni: **Create a Project** și **Open a Project**.



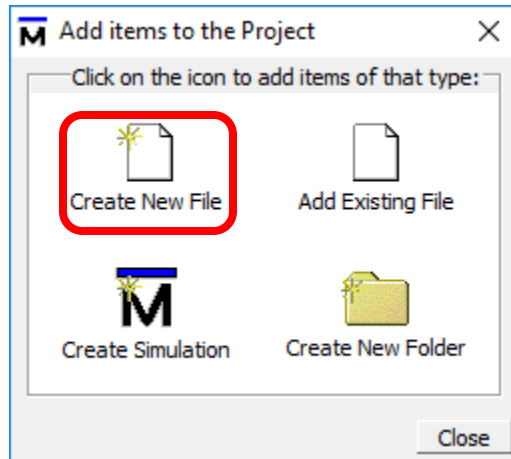
**Atenție !** Nu alegeți deocamdată niciuna din opțiunile listate deoarece nu ați setat încă locația implicită unde se vor salva viitoarele proiecte precum și configurarea directorului work (apăsați Close) ! Pentru aceasta introduceți următoarele linii în Transcript window:

```
ModelSim> cd F:/student/msim
ModelSim> vlib work
ModelSim> vmap work
# Reading F:\modelsim\win32aloem\..\modelsim.ini
# "work" maps to directory work. (Default mapping)
```

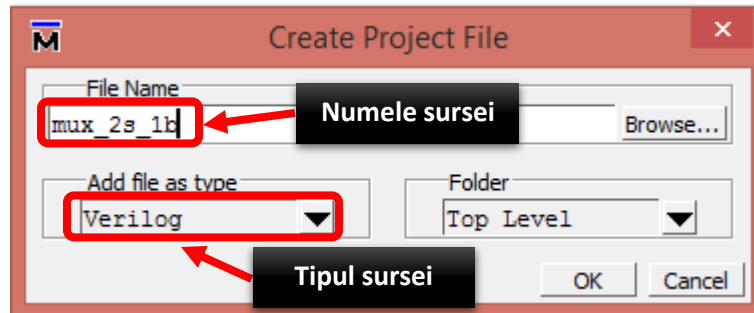
Dacă feedback-ul primit apare în formatul anterior atunci se va deplasa cursorul în stânga sus la **File → New → Project ...** așa cum se poate vedea în imaginea de pe pagina următoare.



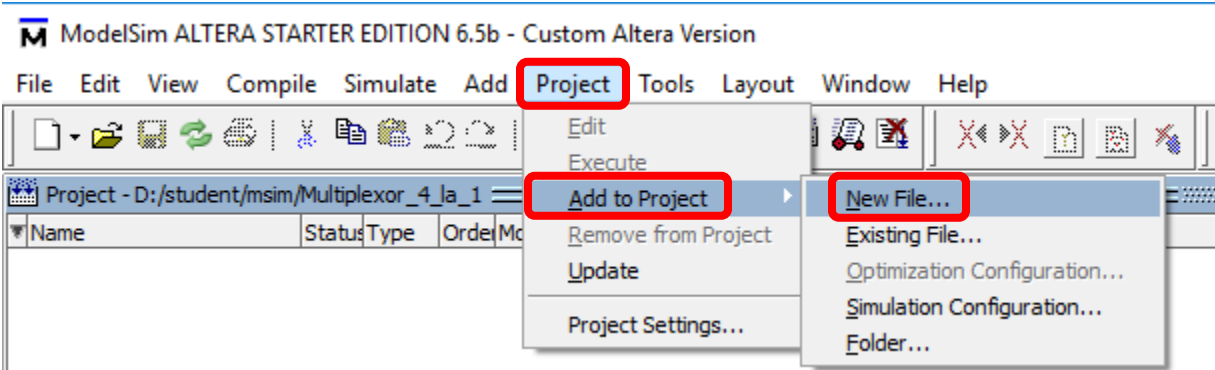
Este recomandat ca toate proiectele rezolvate la laborator să fie salvate pe Memory Stick. Calea absolută de salvare a proiectelor este marcată mai sus.



Proiectul nou creat poate fi asemănat cu un dosar care stochează mai multe tipuri de fișiere. Pentru a putea adăuga file sursă pentru proiectul nostru se va da click pe **Create New File**.

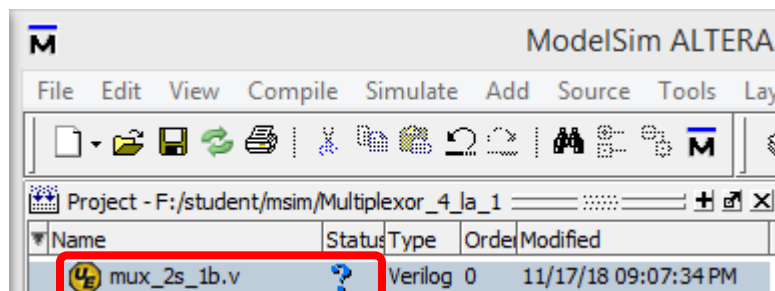


**Important:** Fiecare modul va fi definit în propriul fișier sursă. Numele fișierului sursă trebuie să coincidă cu numele modulului definit. După introducerea datelor în cele două câmpuri se va da click OK.

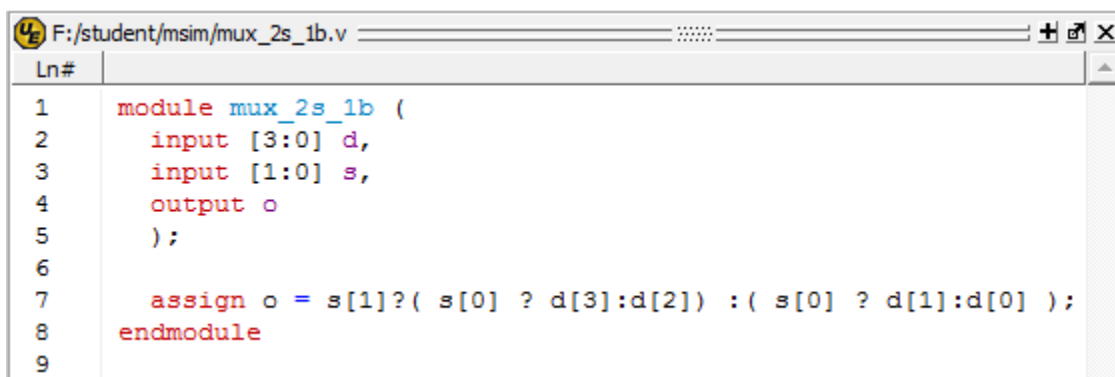


Pentru a putea adăuga noi fișiere sursă pentru proiect se va naviga în panoul superior la **Project → Add to Project → New File ...**

În partea inferioară vor fi vizibile două instanțe: **Library** și **Project**. Înainte de a executa toate aceste acțiuni să vă asigurați că vă aflați mereu în fereastra **Project**.



Dacă acțiunile anterioare au fost realizate cu succes ar trebui să apară în fereastra Project un fișier sursă nou cu numele atribuit și care va indica în dreptul său statusul fișierului, în alte cuvinte dacă este sau nu compilat.



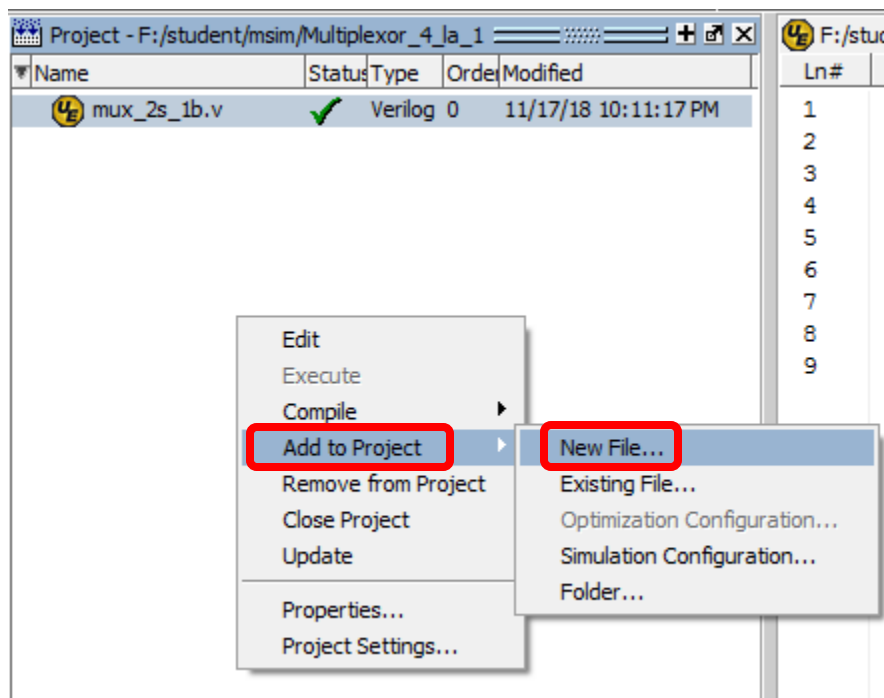
Ignorați pe moment acest aspect și dați dublu-click pe fișierul nou. În partea dreaptă se va deschide o fereastră nouă care va permite utilizatorului să introducă linii de cod în HDL. Ca și în exemplul expus anterior se va acorda atenție în mod special **indentării**, **corectitudinii** și **vizibilității** codului. Pentru multiplexorul 4 la 1 modelat mai sus avem două intrări definite ca vector de biți: **d[0]**, **d[1]**, **d[2]** și **d[3]** pentru căile de date iar **s[0]** și **s[1]** pentru liniile de selecție al multiplexorului. Atribuirea continuă assign va furniza ieșirii **o** rezultatul selecției liniei **s[1]** atunci când linia de selecție **s[0]** a decis între două perechi de intrări distincte consecutive. Dacă suntem mulțumiți de codul redactat vom putea compila fișierul Verilog cu comanda următoare introdusă în Transcript window:

```
# Compile of mux_2s_1b.v was successful.
ModelSim> vlog mux_2s_1b.v
# Model Technology ModelSim ALTERA vlog 6.5b Compiler 2009.10 Oct 1 2009
# -- Compiling module mux_2s_1b
#
# Top level modules:
#     mux_2s_1b
ModelSim>
```

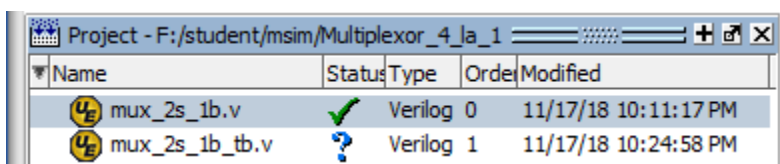
**Atenție !** Compilarea se face apelând comanda **vlog module\_name.v**

### 3) Scrierea și simularea testbench-urilor în Modelsim

La proiectul **Multiplexor\_4\_la\_1** existent vom dori să adăugăm un fișier verilog nou pentru a crea testbench-ul destinat simulării design-ului implementat. O altă modalitate de a crea un fișier nou este de a da click dreapta în spațiul gol al lui Project și **Add to Project** → **New File**.



Fișierul Verilog nou creat va deveni disponibil în spațiul Project precum este ilustrat mai jos:



Cu dublu click asupra sa putem începe editarea fișierului conceput. Atunci când redactăm un testbench trebuie să ținem cont de aspectele menționate pe următoarea pagină.

```

F:/student/msim/mux_2s_1b_tb.v
Ln#
1  module mux_2s_1b_tb (
2      output reg [3:0] d,
3      output reg [1:0] s,
4      output o
5  );
6
7      mux_2s_1b u_mux (
8          .d(d),
9          .s(s),
10         .o(o)
11     );
12
13     integer i;
14     initial begin
15
16         {s, d} = 6'd0;
17         for (i=1; i<64; i=i+1)
18             #50 {s,d} = i[5:0];
19     end
20 endmodule

```

### Observații :

- Toate intrările declarate ca **input** în modulul inițial vor deveni **output reg** în modulul testbench.
- Toate ieșirile declarate ca **output** rămân de tip **output**.
- Înainte de a construi blocul **initial begin** pentru verificarea exhaustivă se creează o instanță a modulului de testat.
- Un index *i* va fi declarat imediat înainte de blocul procedural initial begin
- Valorile lui *s* și *d* vor fi concatenate într-un șir care inițial va lua valoarea zero
- Un ciclu **for** va baleia toată plaja de combinații posibile pentru variabila *i*
- La fiecare **50 de nanosecunde** se va actualiza valoarea lui *s* concatenat cu *d*.

Compilarea design-ului construit se va face în aceeași manieră ca și în cazul modulului anterior:

```

# Compile of mux_2s_1b_tb.v was successful.
ModelSim> vlog mux_2s_1b_tb.v
# Model Technology ModelSim ALTERA vlog 6.5b Compiler 2009.10 Oct 1 2009
# -- Compiling module mux_2s_1b_tb
#
# Top level modules:
#     mux_2s_1b_tb
ModelSim>

```

În această etapă se va rezolva orice eroare Verilog. În fereastra Transcript este evidențiat numele fișierului sursă și, între paranteze linia conținând eroarea (dacă aceasta există).

Pornirea simulării unui testbench este lansată prin comanda:

**vsim -voptargs=+acc work.testbench\_module\_name**

**Atenție ! testbench\_module\_name** este numele modulului și nu al fișierului ce îl conține !

Pentru vizualizarea semnalelor din modulul simulat se execută:

**add wave \***

Rularea simulării pentru un număr de nanosecunde, se face prin:

**run number\_of\_nanoseconds**

Pornirea simulării și vizualizarea formelor de undă ale modulului **mux\_2s\_1b\_tb** pe o durată de 600 ns se realizează prin comenzile:

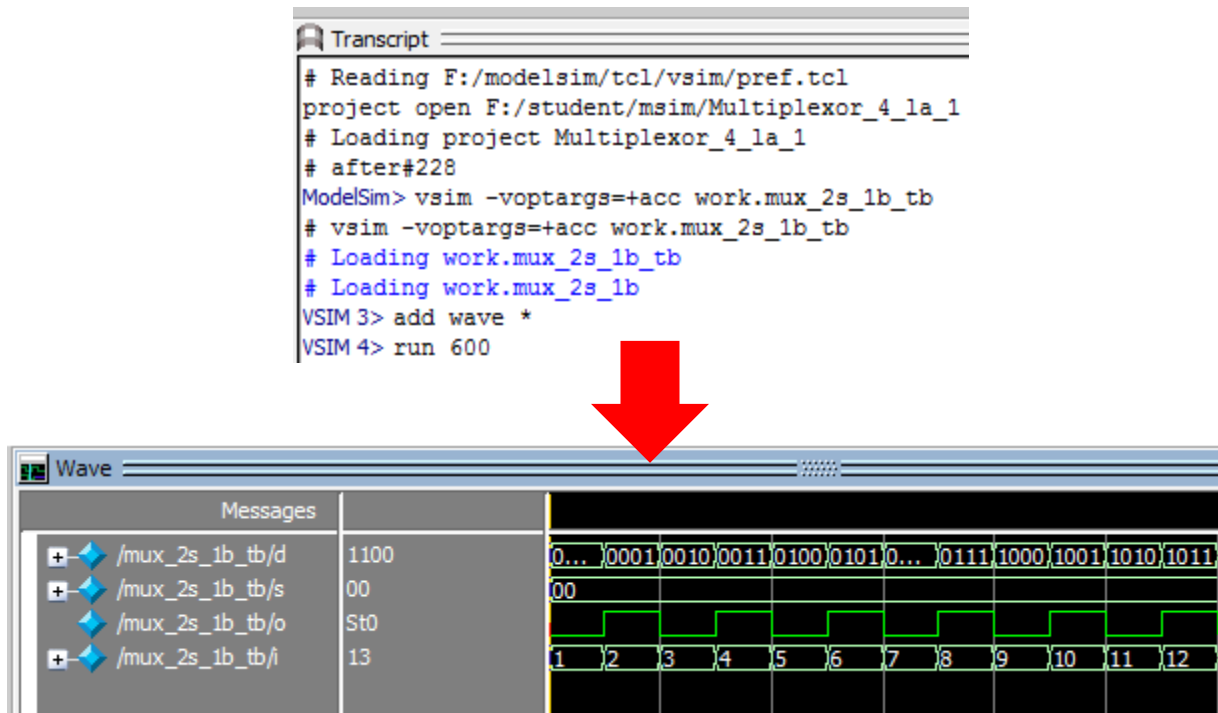


**`vsim -voptargs=+acc work.mux_2s_1b_tb`**

**`add wave *`**

**`run 600`**

O dată executate aceste comenzi elementul de sinteză Verilog va încărca design-ul modulului ***testbench*** și a modulului ***mux\_2s\_1b*** pentru a pregăti semnalele generate conform ciclului ***for***.



Ieșirea din simularea curentă se face prin comanda simplă:

**`quit -sim`**

❖ Simularea unui design utilizând Modelsim

disponibil aici:

❖ <http://staff.cs.upt.ro/~opritoiu/modelsim/simex1/ro/index.html>

**Atenție !**

Procedura alternativă nu poate fi urmată în totalitate utilizând versiunea portabilă referită la începutul materialului întrucât Modelsim ALTERA STARTER EDITION 6.5b nu are disponibil butonul ***Optimization Options*** amintit în pagina 14; nici facilitatea ***Create wave*** referită în pagina 16 nu este disponibilă în versiunea portabilă anterior menționată; doar versiunea Modelsim plătită pune la dispoziție aceste facilități.