

FAMILIA DE CIRCUITE INTEGRATE TTL

Circuitele integrate din familia TTL(tranzistor - tranzistor - logic) se remarcă prin performanțe foarte bune din toate punctele de vedere: putere disipată și timp de propagare redus, factor de încărcare la ieșire și imunitate la perturbații relativ mare.

Circuitele TTL sunt produse în mai multe serii, ce se caracterizează printr-un parametru mai bun față de seria de bază, sau standard. Diferitele circuite logice din serii diferite sunt comparabile din punct de vedere al nivelelor logice.

Principalele serii de circuite integrate din cadrul familiei TTL au rezultat din dorința beneficiarilor de a avea un circuit logic ideal care să prezinte toți parametrii cu valori cât mai performante: factor de încărcare mare la ieșire, imunitate la zgomot mare, timp de propagare și putere consumată mică. Aceste cerințe sunt în unele cazuri contradictorii și deci nu pot fi satisfăcute simultan. Soluția de compromis aleasă a constat în realizarea unor circuite logice orientate spre optimizarea unui anumit parametru, ceea ce a determinat realizarea unor circuite integrate având aceleași funcții logice dar cu un anumit parametru mai performant decât cel prezentat de seria standard. Circuitele integrate astfel obținute au fost clasificate pe serii. Principalele serii TTL sunt:

- seria standard având parametrii optimi care în general s-au obținut prin soluții de compromis;
- seria TTL rapidă (H), cu timp de propagare mai mic decât seria standard dar consum mai mare;
- seria TTL de putere redusă (L) având un consum redus dar timp de propagare mai mare decât seria standard.

În afara celor trei serii de bază au mai apărut, în urma unor modificări în schema electronică și prin utilizarea unor tranzistoare Schottky, un set de circuite integrate TTL cu performanțe superioare ce a generat următoarele noi serii:

- seria TTL cu tranzistoare Schottky (S), cu timp de propagare foarte mic, obținut prin evitarea intrării tranzistoarelor Schottky în saturație. Din seria Schottky a derivat ulterior
- seria TTL Schottky de putere redusă (LS), ce se caracterizează printr-un consum mai redus decât seria TTL Schottky, dar și un timp de propagare mai mare;
- seria TTL Schottky îmbunătățită (AS), având practic timpul de propagare cel mai redus dintre toate circuitele integrate TTL, fără o creștere semnificativă a puterii consumate ;
- seria TTL Schottky îmbunătățită de putere redusă (ASL), ce prezintă un consum inferior comparativ cu seria anterioară ;
- seria TTL Schottky rapidă și cu consum redus (F), ce se caracterizează printr-un timp de propagare și consum redus.

Familia de circuite logice integrate TTL cuprinde un număr mare de tipuri de circuite, cu grad diferit de integrare. În funcție de gradul de integrare, circuitele integrate se pot clasifica în:

- circuite integrate pe scară mică (SSI - small scale integration);
- circuite integrate pe scară medie (MSI – medium scale integration);
- circuite integrate pe scară mare (LSI – large scale integration);
- circuite integrate pe scară foarte mare (VLSI - very large scale integration).

În țara noastră s-a produs o gamă foarte diversificată de circuite integrate din această familie sub prefixul CDB. Toate circuitele integrate TTL produse în România sunt compatibile la toate nivelele cu cele realizate de firme de prestigiu.

SERIA TTL STANDARD

În continuare se va analiza funcționarea porții fundamentale TTL. Se vor considera, în continuare, căderile tipice pe o joncțiune pentru un tranzistor saturat de 0,75V, respectiv pentru tensiunile de prag ale unei joncțiuni (V_{BET}) valoarea de 0,65V.

Funcționarea porții fundamentale TTL se poate examina în mod simplificat, separat în curent continuu și separat în regim de comutație. Pentru funcționarea în curent continuu este esențială starea când la ieșire există nivelul de tensiune scăzut sau ridicat. Poarta TTL fundamentală realizează funcția logică ȘI-NU.

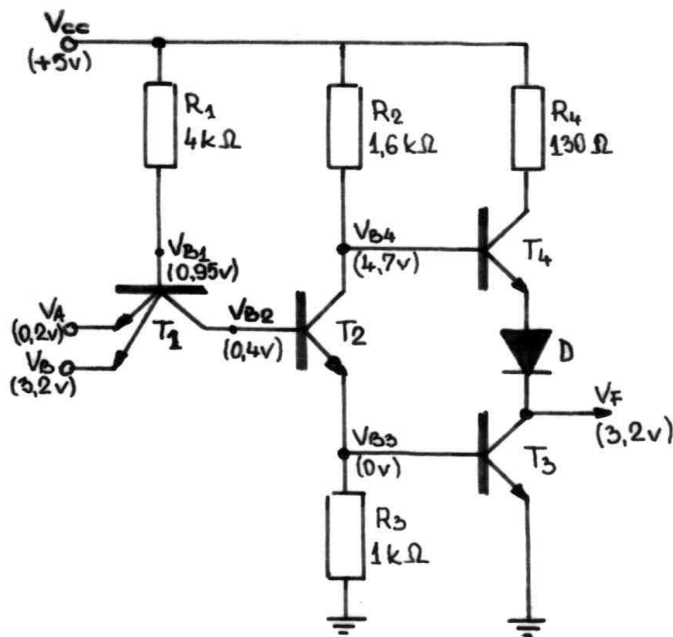


Figura 10.1

Condițiile în care circuitul logic prezintă la ieșire nivelul de tensiune ridicat (V_H) sunt prezentate în schema din figura 10.1.

Presupunând că la cel puțin una dintre intrări se aplică nivelul logic inferior; valoarea: $V_I = V_L = 0,2V$, joncțiunile bază -emitor ale tranzistorului T_1 împreună cu rezistența sa de bază, R_1 , formează o poartă de tip ȘI. Ca urmare în baza acestui tranzistor se va fixa un potențial: $V_{B1} = V_I + V_{BE} = 0,2 + 0,75 = 0,95V$. Acest potențial este insuficient pentru a permite conducția joncțiunilor bază-colector al tranzistorului T_1 și bază - emitor al tranzistorului T_2 . Valoarea minimă a potențialului din baza tranzistorului T_1 pentru a asigura conducția lui T_2 este: $V_{B1} =$

$V_{BC(T1)} + V_{BE(T2)} = 0,65 + 0,65 = 1,3 \text{ V}$. Tranzistorul T_1 este saturat și în colectorul lui se stabilește un potențial:

$$V_{B2} = V_I + V_{BE1} - V_{BC1} = 0,2 + 0,75 - 0,75 = 0,2 \text{ V}.$$

În consecință tranzistorului T_2 este blocat stabilind în baza tranzistorului T_3 un potențial foarte apropiat de 0V; se consideră neglijabilă căderea de tensiune pe rezistență R_3 datorită curentului rezidual, I_{C02} , prin tranzistorul T_2 . Tranzistorul T_3 în acest caz este blocat.

Dacă tranzistorul T_2 este blocat, în colectorul său se va stabili un potențial de valoare ridicată ($\sim V_{CC}$). Potențialul din baza tranzistorului T_4 fiind egal cu aproximativ V_{CC} , face ca acest tranzistor să prezinte joncțiunea bază - emitor polarizată direct. Curentul de bază al tranzistorului T_4 și curentul de colector rezidual (reduc) al tranzistorului T_2 provoacă o cădere de tensiune pe rezistența $R_2 = 1,6 \text{ k}\Omega$ de maxim 0,1 V, astfel că în baza tranzistorului T_4 se stabilește aproximativ 4,9 V. Ținând cont de căderea de 1,5 V care are loc pe joncțiunea bază-emitor a tranzistorului T_4 și pe dioda D, la ieșire se obține un potențial de circa 3,4 V, care reprezintă nivelul logic superior, V_H .

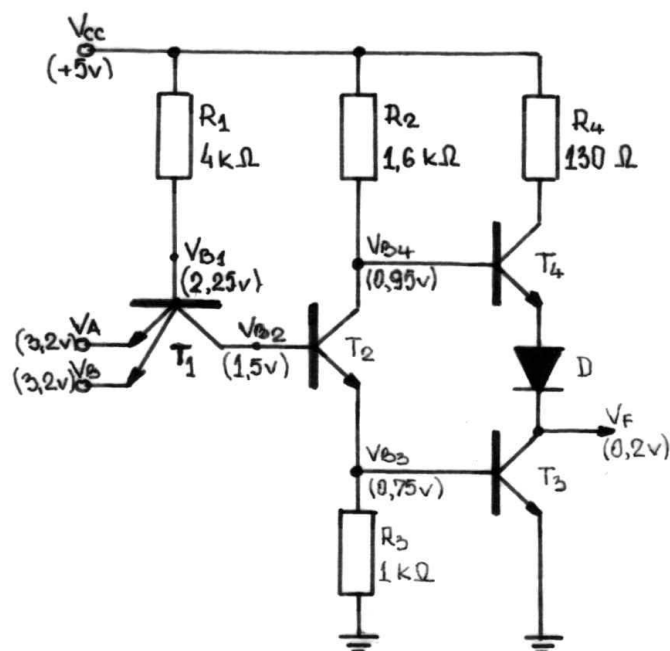


Figura 10.2

Funcționarea porții TTL pentru cazul aplicării la intrare a unui nivel logic superior ($V_I = V_H$) este prezentat în figura 10.2.

Dacă la toate intrările se aplică nivelul logic superior ($V_H = 3,2 \text{ V}$), potențialul din baza tranzistorului T_1 tinde să se fixeze la o valoare dată de nivelul de tensiune de la intrare plus căderea de tensiune pe joncțiunea bază-emitor a tranzistorului T_1 . În acest caz tensiunea din baza tranzistorului T_1 ar tinde spre 4V. Dar potențialul ridicat din baza lui T_1 va debloca lanțul de joncțiune formate din joncțiunea bază-colector a tranzistorului T_1 și joncțiunile bază-emitor ale tranzistoarelor T_2 și T_3 .

În baza tranzistorului T_1 se fixează în acest caz potențialul:

$$V_{BI} = V_{BC(T1)} + V_{BE(T2)} + V_{BE(T3)} = 0,75 + 0,75 + 0,75 = 2,25 \text{ V}.$$

Joncțiunile bază-emitor ale tranzistorului T_1 sunt polarizate invers iar joncțiunea bază-colector este polarizată direct, ceea ce face ca tranzistorul multi-emitor T_1 să lucreze în regim invers. În baza tranzistoarelor T_2 și T_3 avem:

$$V_{B2} = V_{BE(T2)} + V_{BE(T3)} = 0,75 + 0,75 = 1,5 \text{ V.}$$

$$V_{B3} = V_{BE(T3)} = 0,75 = 0,75 \text{ V.}$$

În colectorul tranzistorului T_2 se stabilește un potențial:

$$V_{C2} = V_{B4} = V_{B3} + V_{CE(sat)} = 0,75 + 0,2 = 0,95 \text{ V}$$

Deoarece tranzistorul T_2 este comandat cu un curent de bază suficient de mare pentru a fixa punctul de funcționare al acestuia în zona saturată.

Curentul de emitor al tranzistorului T_2 se ramifică prin rezistența R_3 și asigură totodată un curent de bază relativ mare pentru comanda tranzistorului T_3 . Tranzistorul T_3 este saturat și în colectorul lui se stabilește un potențial în jur de 0,2V, ce reprezintă $V_O = V_L$. Potențialul din baza tranzistorului T_4 este insuficient pentru a debloca tranzistorul T_4 și dioda D. Valoarea minimă a potențialului din baza tranzistorului T_4 pentru deblocarea acestuia este:

$$V_{B4} = V_O + V_D + V_{BE(T4)} = 0,2 + 0,65 + 0,65 = 1,5 \text{ V,}$$

deci tranzistorul T_4 este blocat. În tabelul 10.1 se dau valorile potențialelor în diferitele puncte ale porții fundamentale TTL, iar din tabelul 10.2. se exprimă funcția logică pe care o realizează poarta.

Tabelul 10.1.

V_A [V]	V_B [V]	V_{B1} [V]	V_{B2} [V]	V_{B3} [V]	V_{B4} [V]	V_O [V]
0,2	0,2	0,95	0,4	0	4,9	3,4
0,2	3,4	0,95	0,4	0	4,9	3,4
3,4	0,2	0,95	0,4	0	4,9	3,4
3,4	3,4	2,25	1,5	0,75	0,95	0,2

Tabelul 10.2

V_A	V_B	F
L	L	H
L	H	L
H	L	L
H	H	L

Funcția ce se obține pe baza tabelului de adevăr de mai sus este ȘI-NU

Etajul de ieșire lucrează în contratimp în sensul că în regim static tranzistoarele T_3 și T_4 lucrează în regim complementar (unul blocat și celălalt în conducție), ceea ce conferă circuitelor integrate TTL o impedanță de ieșire mică pentru cele două stări logice. În plus se va constata că regimul de lucru a celor două tranzistoare T_3 și T_4 permite, la comutație, generarea unor curenți de ieșire relativ mari față de regimul static de funcționare. Acest lucru are un efect favorabil funcționării în regim dinamic, în sensul asigurării unui curent de încărcare și descărcare mare pentru capacitățile parazite de la ieșire, ceea ce conduce la scăderea timpului de propagare mediu. Pe de altă parte funcționarea celor două tranzistoare în contratimp (un tranzistor este blocat iar celălalt este în conducție), determină ca prin ramura de ieșire a porții TTL curent între

V_{CC} și masă să fie egal cu un curent de colector rezidual, reducând substanțial puterea disipată de circuit.

PARAMETRII PORȚII FUNDAMENTALE TTL

A.Caracteristica statică de transfer

Caracteristica statică de transfer exprimă dependența mărimii de ieșire funcție de tensiunea de la intrare: $V_O = f(V_i)$. Pe baza caracteristicii statice de transfer se pot defini nivelurile logice limită de la intrare și ieșire. Fiind un parametru specific familiei de circuite integrate, forma ei depinde de structura internă a circuitelor integrate logice.

În cazul circuitelor integrate TTL caracteristica statică de transfer este dată de regimurile de lucru a celor patru tranzistoare. Din fericire cele patru tranzistoare se influențează reciproc, ceea ce face să existe anumite domenii specifice ale tensiunii de intrare care vor influența forma caracteristicii de transfer.

Pentru temperatura de lucru nominală de $+25^\circ\text{C}$ și $V_{CC} = 5\text{V}$ se pot desprinde următoarele valori ale tensiunii de intrare ce vor determina modificări asupra formei caracteristicii statice de transfer:

a) Pentru $V_i = 0\text{V}$; În acest caz în principalele puncte ale porții TTL avem următoarele potențiale:

$$V_{B1} = V_i + V_{BE1} = 0 + 0,75 = 0,75\text{V};$$

$$V_{B2} = V_{B1} - V_{CB1} = 0,75 - 0,75 = 0\text{V}, \text{ rezultă că } V_{B2} \approx V_i.$$

Tranzistorul T1 este saturat, în acest caz, deoarece cele două joncțiuni: bază – emitor și bază – colector sunt polarizate direct, iar tranzistorul T2 este blocat, având în bază un potențial $V_{B2} = 0\text{V}$. Prin tranzistorul T2 se închide un curent rezidual $I_{C2} = I_{C0} \cong 0\text{mA}$, ceea ce determină ca în baza lui T3 să se fixeze un potențial de: $V_{B3} = 0\text{V}$; Tranzistorul T3 se va bloca, iar la ieșire se stabilește un potențial determinat de următoarea relație:

$$V_O = V_{CC} - I_{R2} \cdot R_2 - V_{BE4} - V_D \quad (10.1)$$

unde:

$$I_{R2} = I_{C2} + I_{B4} = I_{C0} + I_{B4} \approx I_{B4},$$

s-a presupus că $I_{C2} = I_{C0} \ll I_{B4}$, pe de altă parte:

$$I_{B4} = \frac{I_{E4}}{\beta + 1}, \text{ unde: } I_{E4} = I_{OH} + I_{C3} \approx I_{OH},$$

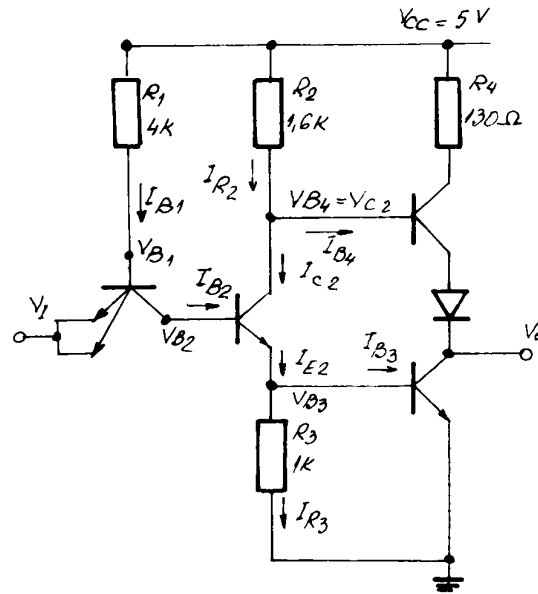


Figura 10.3

Tranzistorul T_3 fiind blocat rezultă că $I_{C3} = I_{C03} \cong 0\text{mA}$

Relația (10.1) devine:

$$V_O = V_{CC} - \frac{I_{OH}}{\beta + 1} R_2 - V_{BE4} - V_D \quad (10.2)$$

Dacă se impune un curent de ieșire minim (de exemplu: 0,8 mA) și considerând următoarele valori tipice: $\beta=20$, $V_{BE4} = V_D = 0,75\text{V}$ și înlocuind valorile menționate în relația (10.2) se obține: $V_O = 3,4\text{V}$;

b) Pentru V_i având valori cuprinse între 0^v și $0,65^v$ (V_{BET}) regimul transistoarelor nu se schimbă ceea ce face ca valoarea tensiunii de ieșire să nu se modifice;

$$V_O = V_{CC} - \frac{I_{OH}}{\beta + 1} \cdot R_2 - V_{BE4} - V_D \quad (10.3)$$

Se poate constata că în acest interval al tensiunii de intrare, tensiunea de ieșire este independentă de tensiunea de intrare, dar depinde de curentul de ieșire I_{OH} (sarcină), tensiunea de alimentare (V_{CC}) și de temperatura de lucru (se modifică căderile de tensiune pe joncțiuni).

c) Pentru $V_i = V_{BET} = 0,65^v$, tranzistorul T_2 începe să conducă și în punctele principale se prezintă următoarele valori :

$$V_{B2} \approx V_i = 0,65^v ; \quad V_{B3} \approx 0^v ; \text{ deci } : V_{BE2} = V_{B2} - V_{B3} = 0,65^v$$

$$V_O = V_{CC} - \frac{I_{OH}}{\beta + 1} \cdot R_2 - V_{BE4} - V_D = 3,4\text{V}$$

d) Pentru $V_i > V_{BET} = 0,65\text{V}$, tranzistorul T_1 rămâne în regim saturat, T_2 este în regim activ, T_3 este blocat și T_4 se menține în regim de conducție. În acest caz în relația (10.3) curentul I_{R2} devine:

$$I_{R2} = I_{C2} + I_{B4}$$

presupunând că I_{B4} nu se modifică semnificativ rezultă că rămâne egal cu :

$$I_{B4} \approx \frac{I_{OH}}{\beta + 1} \text{ unde } I_{C2} \text{ poate fi exprimat funcție de curentul de emitor:}$$

$$I_{C2} = I_{E2} \cdot \frac{\beta}{\beta + 1}$$

unde: $I_{E2} = I_{R3} + I_{B3}$

Tranzistorul T_3 rămâne în regim blocat rezultă că $I_{B3} = I_{C0}$, curent ce îl considerăm neglijabil în comparație cu I_{R3} , care la rândul său se poate determina:

$$I_{R3} = \frac{V_{B3}}{R_3} = \frac{V_i + V_{BE1} - V_{BC1} - V_{BE2}}{R_3} \quad (10.4)$$

Înlocuind în relația (10.2) curenții rezultați, se obține:

$$V_O = V_{CC} - \left[\frac{I_{OH}}{\beta + 1} + \beta \frac{V_i + V_{BE1} + V_{BC1} - V_{BE2}}{R_3(\beta + 1)} \right] \cdot R_2 - V_{BE4} - V_D \quad (10.5)$$

Se poate constata că pentru $V_i > V_{BET} = 0,65^v$ tensiunea de ieșire devine dependentă și de tensiunea de intrare cu raportul:

$$\frac{\Delta V_o}{\Delta V_i} = -\frac{R_2}{R_3} = -1,6 \quad (10.6)$$

Acest raport exprimă factorul de amplificare al circuitului TTL, pentru intervalul tensiunii de intrare cuprins între 0,65V și 1,3V. Semnul minus din relația (10.6) arată că unei creșteri a tensiunii de intrare îi corespunde o scădere a tensiunii de ieșire.

Pentru $V_{CC} = 5^v$; $V_i = 1,3^v$; $T_a = +25^\circ$; $I_{OH} = 0,8 \text{ mA}$; $V_{BE4} = V_{BE1} = V_{BC1} = 0,75^v$; $V_{BE2} = 0,65^v$; $\beta = 20$, $R_3 = 1 \text{ K}\Omega$, $R_2 = 1,6 \text{ K}\Omega$ se obține:

$$V_0 = 5 - \left(\frac{0,8 \cdot 10^{-3}}{21} + 20 \frac{1,3 - 0,65}{21 \cdot 1 \cdot 10^3} \right) \cdot 1,6 \cdot 10^3 - 0,75 - 0,75 = 2,4V$$

e) Pentru $V_i > V_{BET} = 1,3V$. În această situație: $V_{B2} = V_i + V_{BE1} - V_{BC1} \approx V_i$; $V_{B3} = V_{B2} - V_{BE2} = 0,65V$ (dacă căderile pe jonctiune sunt egale), ceea ce duce la intrarea în conducție și a tranzistorului T_3 . Tranzistorul T_1 rămâne în aceeași stare (saturat), tranzistorul T_2 este în conducție. În acest caz valoarea curentului I_{R3} din relația (10.1) este:

$$I_{R2} = I_{C2} + I_{B4} \quad \text{unde: } I_{C2} = \frac{\beta}{\beta + 1} I_{E2}$$

La rândul său;

$$I_{E2} = I_{R3} + I_{B3} = \frac{V_i + V_{BE1} - V_{BC1} - V_{BE2}}{R_3} + I_{B3} \quad (10.7)$$

Se poate constata că I_{E2} este dependent de tensiunea de intrare. La rândul lui curentul I_{B3} crește exponențial cu creșterea tensiunii din baza tranzistorului T_3 , ceea ce face ca să putem afirma că I_{B4} poate să devină neglijabil în comparație cu I_{C2} astfel că în relația:

$$V_O = V_{CC} - (I_{B4} + I_{C2}) \cdot R_2 - V_{BE4} - V_D$$

pe măsură ce crește I_{C2} , care depinde de tensiunea de intrare, valoarea tensiunii de ieșire va scădea exponențial spre 0V, ceea ce duce la blocarea rapidă a tranzistorului T_4 și intrarea în saturație a transistoarelor T_3 și T_2 . În acest caz pentru o tensiune de intrare:

f) Pentru : $V_i = 2 V_{BES} = 1,5V$ curentul I_{R2} este egal cu: $I_{R2} = I_{C2} + I_{B4} \approx I_{E2}$
curentul de bază I_{B4} , se poate neglija față de curentul de colector al tranzistorului T_2 , care la rândul său poate fi considerat egal cu I_{E2} , unde $I_{E2} = I_{R3} + I_{B3}$

Curentul de emitor I_{E2} , din relația de bază a tranzistorului bipolar este: $I_{E2} = I_{C2} + I_{B2}$. Pe de altă parte el este dependent de tensiunea de la intrare.

În figura 10.4 se reprezintă dependența curentului I_{E2} funcție de tensiunea de intrare.

Unde pentru $V_i = 1,5 V$ curenții I_{C2} și I_{B2} au valorile:

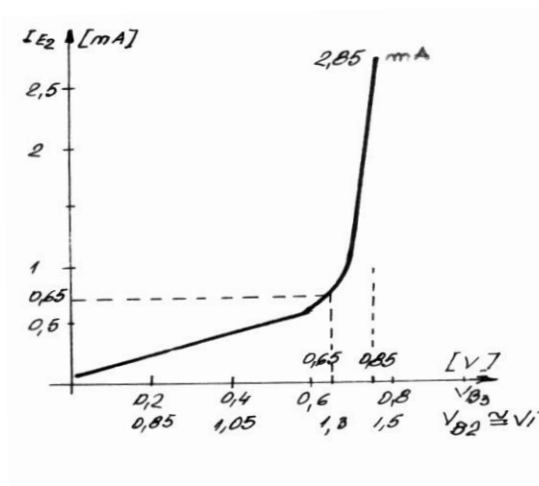


Figura 10.4

$$I_{C2} = \frac{V_{CC} - V_{C2}}{R_2} = \frac{5 - 0.95}{1.6 \cdot 10^{-3}} = \frac{4.05}{1.6 \cdot 10^{-3}} = 2.5mA$$

$$I_{B2} = \frac{V_{CC} - V_{B1}}{R_1} \cdot \frac{1}{2} = \frac{5 - 2.25}{4.2} = 0.35mA$$

$$I_{E2} = 2.5 mA + 0.35 mA = 2.85 mA$$

Modul de variație a curentului I_{E2} se reprezintă în figura 10.4. Se poate constata că pentru tensiunea din baza tranzistorului T_3 cuprinsă între 0V și 0,65 V (T_3 blocat), curentul I_{E2} crește liniar, fiind curentul prin rezistența R_3 . Pentru tensiunea $V_{B2} > 0,65$ V curentul crește exponențial spre valoarea maximă determinată mai sus de 2,85 mA pentru $V_{B3} = 0,75$ V ce corespunde unei tensiuni de intrare de: $V_i = 1,5$ V

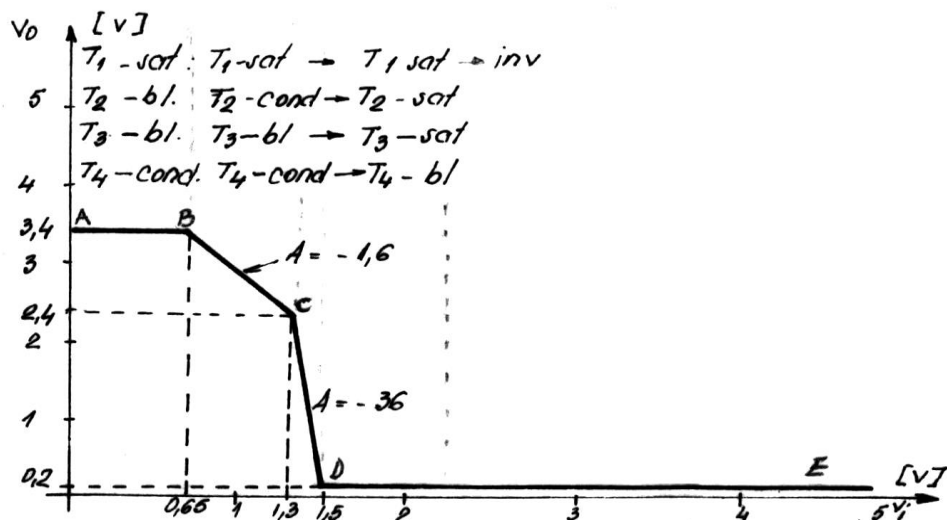


Figura 10.5

În intervalul tensiunii de intrare cuprins între 1,3V și 1,5V rezistența echivalentă din emitorul tranzistorului T_2 scade de la 1 K Ω la 45 Ω .

$$R_{E3} = \frac{\Delta V_{B3}}{\Delta I_{E3}} = \frac{0,65 - 0,75}{(0,65 - 2,85) \cdot 10^{-3}} = 45 \Omega$$

În această situație tensiunea de ieșire scade exponențial ceea ce face ca tranzistorul T_4 să se blocheze, iar factorul de amplificare să devină:

$$A = \frac{\Delta V_o}{\Delta V_i} = -\frac{R_2}{R_{B3}} = -36$$

Deci pe un interval al tensiunii de intrare de 0,2 V (1,3V – 1,5V) tensiunea de ieșire poate varia cu –7,2 V. Bineînțeles că variația tensiunii de ieșire este limitată de căderea de tensiune colector - emitor a tranzistorului T_3 care se saturează.

g) Pentru $V_i = 1,5$ V regimul de funcționare ale celor patru tranzistoare devine:
 T_1 rămâne în saturație, T_2 și T_3 sunt saturați, T_4 este blocat.

h) În continuare în intervalul cât tensiunea de intrare se modifică între 1,5 V și 2,25 V tranzistoarele T_2 , T_3 și T_4 nu își modifică starea. Tranzistorul T_1 trece din starea saturată în starea inversă pe măsură ce se polarizează invers joncțiunea bază - emitor. Joncțiunea bază-colector a tranzistorului T_1 rămâne polarizată direct.

În figura 10.5 s-a reprezentat caracteristica statică de transfer pentru $V_{CC} = 5$ V și $T_a = +25^\circ$ C cât și starea în care se găsesc cele patru tranzistoare pentru întreg interval de variație al tensiunii de intrare. Prin săgeți s-a indicat momentul comutării tranzistoarelor.

În figura 10.6 s-a reprezentat caracteristica statică de transfer pentru diferite tensiuni de alimentare și $T_a = +25^\circ \text{C}$. Se poate observa că zona de tranziție este cuprinsă în același interval al tensiunii de intrare și anume între 1,3 V și 1,5 V. Tensiunea de ieșire pentru nivelul logic superior se modifică datorită modificării tensiunii de alimentare și a curenților din relația de mai jos:

$$V_C = V_{CC} - I_{R2} \cdot R_2 - V_{BE4} - V_D$$

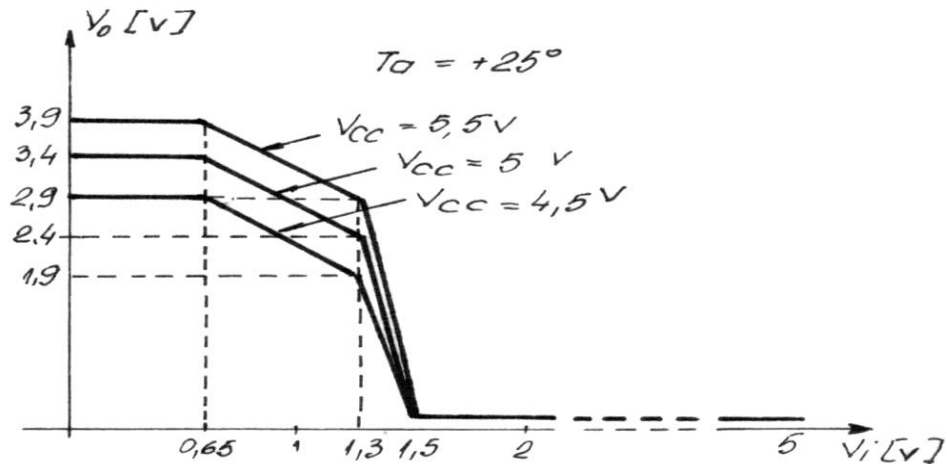


Figura 10.6

În figura 10.7 s-a reprezentat caracteristica statică de transfer dependentă de temperatura de lucru. Pentru exemplificare s-au considerat trei temperaturi de lucru; $+125^\circ\text{C}$; $+25^\circ\text{C}$; și -55°C . Tensiunea de alimentare s-a considerat constantă $V_{CC} = 5V$. Se poate constata că zona de tranziție se modifică cu modificarea temperaturii de lucru. Modificarea zonei de tranziție se datorează modificării căderilor de tensiune pe joncțiunile tranzistoarelor funcție de temperatura de lucru. Pentru temperaturi de lucru ridicate căderile de tensiune pe joncțiuni scad, iar pentru temperaturi de lucru mai scăzute aceste căderi cresc.

Tensiunile de ieșire și de prag tipice ale unei porți TTL, funcție de tensiunile de alimentare sunt date în tabelul 10.3. Se consideră temperatura de lucru constantă, iar circuitele logice sunt considerate încărcate la maxim ($FE=10$).

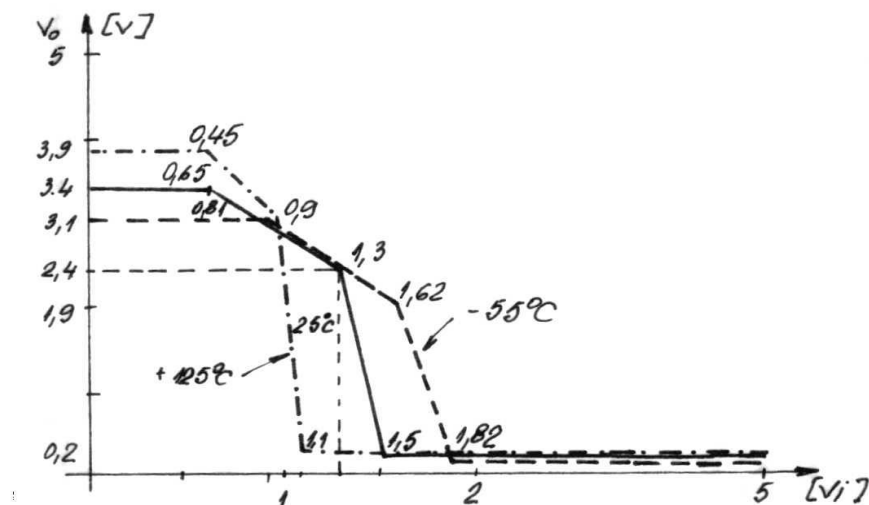


Figura 10.7

Tabelul 10.3

Pentru $T_a = 25^\circ\text{C}$; $FE = 10$

V_{CC}	4,5 V	4,75 V	5,0 V	5,25 V	5,5 V
V_{OH} [V]	2,6	2,85	3,25	3,35	3,55
V_{OL} [V]	0,33	0,32	0,30	0,30	0,30
V_T [V]	1,28	1,29	1,3	1,32	1,35

Tensiunile de ieșire și de prag tipice ale unei porți TTL, funcție de temperatura ambiantă sunt date în tabelul 10.4. Se consideră tensiunea de alimentare V_{CC} constantă, iar circuitele logice sunt considerate încărcate la maxim ($FE=10$).

Tabelul 10.4.

Pentru: $V_{CC} = 5\text{ V}$; $FE = 10$

T_a	-55°C	0°C	$+25^\circ\text{C}$	$+70^\circ\text{C}$	$+125^\circ\text{C}$
V_{OH} [V]	3	3,1	3,25	3,3	3,5
V_{OL} [V]	0,25	0,29	0,3	0,2'31	0,32
V_T [V]	1,5	1,4	1,3	1,2	1,0

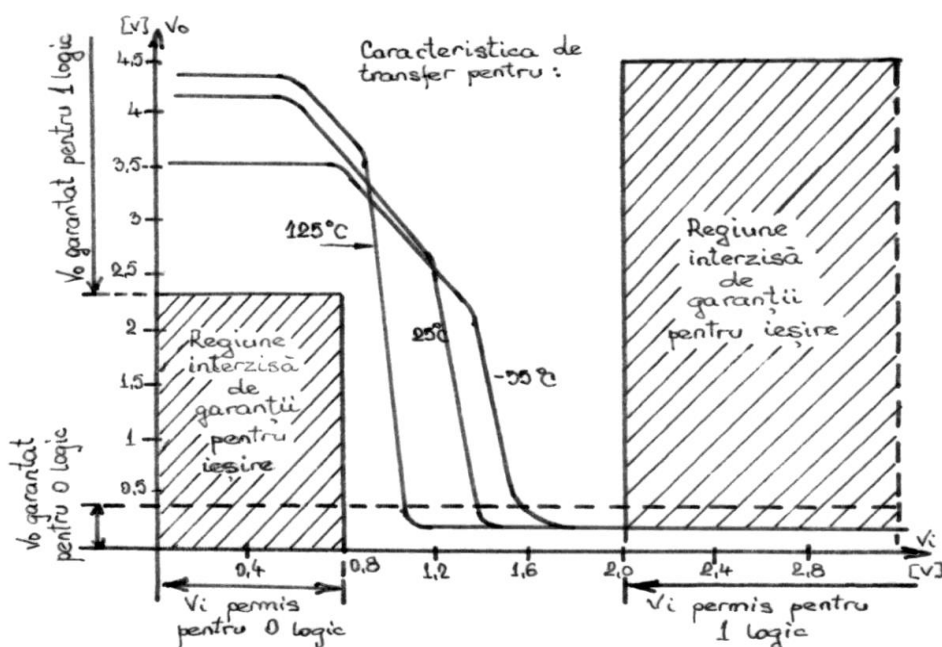


Figura 10.8

Examinarea tabelor 10.3 și 10.4. pune în evidență faptul că nivelele de tensiune sunt influențate de: temperatura ambiantă, de tensiunea de alimentare și de modul de încărcare a acestora. În afară de condițiile de exploatare mai pot apărea influențe asupra nivelelor de tensiune legate de parametrii interni ai dispozitivelor electronice.

Pentru a asigura o funcționare sigură, dispozitivele sunt testate și garantate pentru situația cea mai defavorabilă de lucru. Aceste valori de tensiune sunt garantate pentru un indice al factorului de încărcare la ieșire $FE=10$, în gama temperaturii ambiante și tensiunii de alimentare recomandate.

Valorile specificate în catalog, pentru nivelele de tensiune, determinate pentru cazul cel mai defavorabil de lucru sunt prezentate mai jos:

$$V_{OHmin} = 2,4 \text{ V}; V_{OLmax} = 0,4 \text{ V}; V_{IHmin} = 2,0 \text{ V}; V_{ILmax} = 0,8 \text{ V}$$

În figura 10.8 s-a reprezentat caracteristica statică de transfer cu cele două plaje de tensiune garantate la ieșire respectiv cele două plaje de tensiune admise la intrare. Respectarea plajelor admise la intrare reprezintă cea mai simplă și sigură metodă de funcționare corectă a unui circuit logic. Orice abatere de la prescripțiile admise poate duce la o funcționare necorespunzătoare a sistemului numeric proiectat cu astfel de circuite integrate.

B. Marginea de zgomot

Marginea de zgomot reprezintă valoarea maximă a tensiunii de zgomot, care poate apărea la intrare unui circuit TTL, ce nu afectează valoarea logică de la ieșirea acelui circuit.

Marginea de zgomot este definită ca diferență între limitele de tensiune garantată pentru stările logice ale unei porți care comandă și tensiunea necesară unui circuit numeric pentru a fi comandat corect. Conform definiției, la orice circuit integrat, marginea de zgomot se definește prin relațiile de mai jos:

$$\begin{aligned} M_L &= V_{IL\max} = V_{OL\max} \\ M_H &= V_{OH\min} = V_{IH\min} \end{aligned} \quad (10.33)$$

Valorile limită pentru o poartă TTL ale tensiunilor de intrare și ieșire, în cazul cel mai defavorabil sunt: $V_{OL\max} = 0,4\text{ V}$; $V_{OH\min} = 2,4\text{ V}$, $V_{IH\min} = 2\text{ V}$, $V_{IL\max} = 0,8\text{ V}$. Pe baza acestor valori rezultă că $M_L = M_H = 400\text{ mV}$. Plaja de 400 mV a funcționării sigure este determinată, de obicei, de marginea de zgomot de curent continuu garantată și este ilustrată în figura 10.22. Motivul principal al alegerii condițiilor de testare este de a garanta utilizatorului de circuite integrate o marjă de lucru absolut sigură.

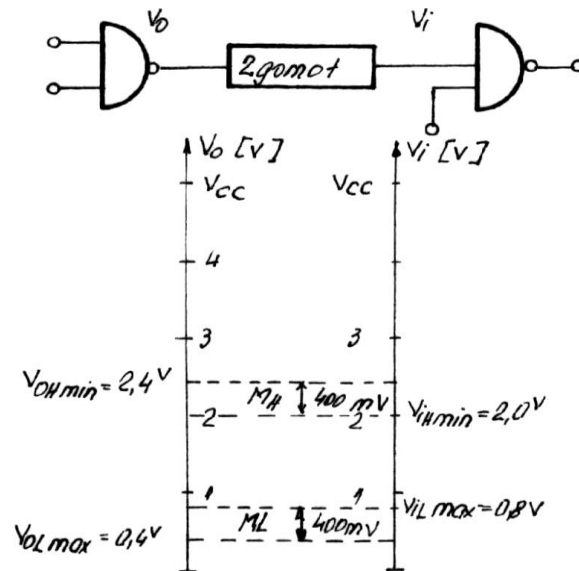


Figura 10.22

În figura 10.22 s-a reprezentat modul de definire a marginii de zgomot pentru cazul cel mai defavorabil. De exemplu dacă în starea 0 logic în nodul de interconectare, la ieșirea circuitului ce comandă, nu poate avea o valoare superioară lui $0,4\text{ V}$ ($V_{OL\max}$ garantat). Pentru poarta comandată este necesară apariția unei tensiuni de intrare mai mare decât $0,8\text{ V}$ ($V_{IL\max}$ admis). Astfel, este posibil o excursie a tensiunii de zgomot de 400 mV fără ca acesta să se propage prin etajele următoare.

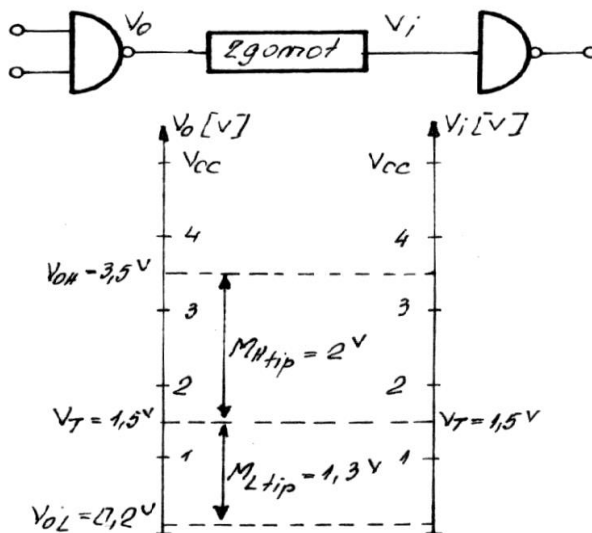


Figura10 .23

În figura 10.23 se prezintă marginea de zgomot pentru un caz particular și anume pentru: $V_{CC}=5V$, $T_a=25^\circ C$. Se constată că pentru acest caz marginea de zgomot este mai mare, deci fiabilitatea sistemului de calcul va fi sporită. Acest lucru este posibil deoarece tensiunea de intrare este comparată cu tensiunea de prag V_T de aproximativ 1,5 V ($T_a = + 25^\circ C$ și $V_{CC} = 5 V$). Nivelul de tensiune la ieșire este de 3,5 V (valoare tipică) în starea 1 logic și 0,2 V în starea 0 logic(figura 10.23). În acest caz valoarea tipică a marginii de zgomot se poate determina ca fiind egală cu:

$$\begin{aligned} M_{Htipică} &= V_{OH}-V_T \text{ [V]}; \\ M_{Ltipică} &= V_T-V_{OL} \text{ [V]}. \end{aligned} \quad (10.34)$$

C.Factorul de încărcare

Factorul de încărcare la ieșire, exprimă capacitatea circuitelor de a furniza un curent de comandă, pozitiv sau negativ (conform cu sensuri convenționale), pentru un număr (N) de sarcini unitare selectate.

Sarcina unitară selectată este considerată ca fiind o intrare a unui circuit din aceeași serie, care necesită pentru comanda lui un curent de intrare de o anumită valoare. Acest curent primește, în mod convențional valoarea unitară .

Sarcina unitară sau factorul de intrare este definit atât pentru nivelul logic 1 la intrare, cât și pentru nivelul logic 0 la intrare. La poarta fundamentală TTL sarcina unitară prezintă valorile:

$$\begin{aligned} FI_L &= 1, \text{ atribuit unui curent de intrare } I_{IL} = -1,6 \text{ mA}, \\ FI_H &= 1, \text{ atribuit unui curent de intrare } I_{IH} = 40 \mu\text{A}. \end{aligned}$$

Se consideră convențional semnul pozitiv curentul absorbit de circuitul integrat și semnul negativ curentul ce este generat de către circuitul integrat, atât pentru curentul de intrare cât și pentru curentul de ieșire. Valorile curenților de intrare trebuie considerate ca valori maxime, iar valorile curenților de ieșire sunt date ca valori minime ce pot fi generate de circuitul integrat.

Curenții de ieșire au valorile de catalog pentru TTL: $I_{OL} = 16\text{mA}$, $I_{OH} = -0,8\text{mA}$.

Așadar, factorii de încărcare la ieșirea unui circuit integrat TTL sunt exprimați ca raportul dintre curentul de ieșire minim, corespunzător nivelului logic de tensiune corect și curentul de intrare maxim, corespunzător aceluiași nivelului logic de tensiune corect.

$$\begin{aligned} FE_L &= \frac{|I_{OL}|}{|I_{IL}|} = \frac{|16\text{mA}|}{|-1,6\text{mA}|} = 10; \\ FE_H &= \frac{|I_{OH}|}{|I_{IH}|} = \frac{|-0,8\text{mA}|}{|0,04\text{mA}|} = 20 \end{aligned} \tag{10.35}$$

În consecință pentru nivelul logic inferior un circuit integrat TTL poate comanda alte 10 ($FE_L=10$) porți TTL, iar pentru nivelul logic superior poate comanda 20 de intrări TTL ($FE_H=20$). Diferența dintre cele două mărimi se explică prin modul de realizare a intrării porții TTL.

Dacă la intrare se aplică nivelul de tensiune inferior (V_{IL}), curentul de bază al tranzistorului multi-emitor se distribuie uniform prin fiecare joncțiune. Se consideră că acestea sunt identice ca structură. În consecință un circuit integrat TTL ce comandă o poartă TTL va prelua un curent, de la intrarea acestuia, constant. Indiferent de numărul de intrări, ale aceluiași circuit , ce se leagă împreună.

În figurile 10.24 se prezintă sensul curenților de intrare, respectiv ieșire a unei porți TTL, pentru nivelul logic inferior. Se constată că poarta ce comandă este încărcată cu același sarcină(unitară) atât în cazul că comandă o intrare TTL cât și în cazul că trebuie să comande mai

multe intrări TTL ale aceleiași porți TTL. Evident dacă o poartă TTL comandă două sau mai multe porți TTL vor fi percepute două sau mai multe sarcini. Rezultă că pentru nivelul logic inferior pentru calculul factorului de încărcare se vor contoriza doar numărul de porți ce se comandă.

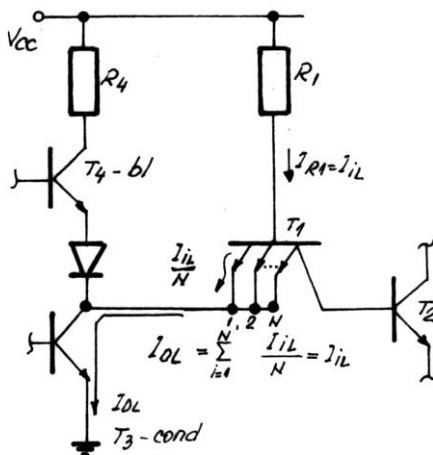


Figura 10.24

Pentru cazul că la intrare se dorește să se fixeze un nivel logic superior (V_{IH}), tranzistorul T_1 se află în regim invers, ceea ce determină ca prin fiecare joncțiune bază-emitor să treacă un curent egal cu : $I_E = \beta_I I_{B1}$. Având în vedere că β_I are o valoare foarte mică (0,01 la 0,04), rezultă că I_{B1} poate furniza câte un curent pentru fiecare intrare, de valoare $I_E = I_{IL}$. În acest caz trebuie să fie luate în considerare numărul de intrări ale circuitelor ce se leagă împreună indiferent că sunt din același circuit integrat sau din circuite integrate diferite.

În tabelul 10.5 se prezintă curenții de intrare în cazul conectării a două sau mai multor intrărilor împreună.

Tabelul 10.5

Număr de intrări legate împreună	Curent total absorbit de circuitul ce comandă pentru o poartă standard	
	$I_{IL} = 1.6\text{mA}$	$I_{IH} = 0,040\text{ mA}$
1	1 x I_{IL}	1 x I_{IH}
2	1 x I_{IL}	2 x I_{IH}
3	1 x I_{IL}	3 x I_{IH}
N	1 x I_{IL}	N x I_{IH}

În figura 10.25 se prezintă sensul curenților de intrare respectiv ieșire a unei porți TTL, pentru nivelul logic superior.

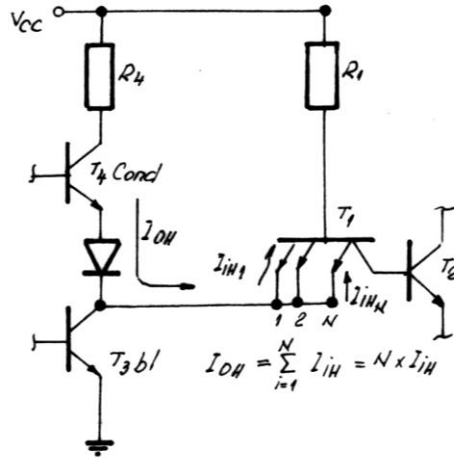


Figura 10.25

Un caz aparte apare când circuitele conectate într-un punct comun fac parte din serii diferite. În această situație problema interconectării a două sau mai multe circuite necesită o analiză particulară pentru fiecare nod de conexiune și anume în fiecare nod curentul de ieșire pentru fiecare nivel logic trebuie să fie mai mare sau egal cu suma curenților de sarcină (intrare).

$$\begin{aligned} I_{OH} &\geq \sum_{j=1}^m I_{IHj} \\ I_{OL} &\geq \sum_{i=1}^n I_{ILi} \end{aligned} \quad (10.36)$$

unde:

m – reprezintă numărul de intrări conectate în nodul respectiv ;

n – reprezintă numărul de porți conectate în nodul respectiv indiferent dacă are una sau mai multe intrări legate împreună.

Rezultă că pentru nivelul superior se vor aduna toți curenții de intrare cu valorile prezentate în catalogul circuitului respectiv, iar pentru nivelul logic inferior se vor însuma câte un singur curent de intrare pentru fiecare poartă.

Numărul de porți ce pot fi conectate într-un nod este dat de numărul minim de porți ce rezultă din cele două relații de mai sus.

Exemplul 10.1 : Presupunem că o poartă TTL din seria standard comandă următoarele circuite: 3 porți SI-NU din seria Schottky (S) cu câte 2 intrări legate împreună; 3 porți SI-NU din seria LS cu patru intrări legate împreună . Se cere să se determine câte porți SI-NU din seria ALS cu trei intrări legate împreună, se mai pot conecta în nodul respectiv.

Cunoscând valoarea curenților de ieșire pentru seria standard: $I_{OH} = 0,8 \text{ mA}$; $I_{OL} = 16 \text{ mA}$, valoarea curenților de intrare pentru seria S: $I_{IL} = 2 \text{ mA}$; $I_{IH} = 50 \mu\text{A}$; pentru seria LS: $I_{IL} = 0,36 \text{ mA}$; $I_{IH} = 20 \mu\text{A}$, respectiv pentru seria ALS: $I_{IL} = 0,4 \text{ mA}$; $I_{IH} = 20 \mu\text{A}$, vom putea determina numărul de porți ce mai pot fi conectate în nodul respectiv conform celor două relații de mai sus:

Pentru cazul când în nod se găsește nivel logic superior, se vor ține cont de toate intrările legate în nodul respectiv

$$I_{OH} \geq (3 \text{ porți} \times 2 \text{ intrări}) I_{IH1} + (3 \text{ porți} \times 4 \text{ intrări}) \cdot I_{IH2} + (N_1 \text{ porți} \times 3 \text{ intrări}) I_{IH3}$$

înlocuind avem:

$$I_{OH} \geq 3 \times 2 \times 50 \mu A + 3 \times 4 \times 20 \mu A + N_1 \times 3 \times 20 \mu A$$

sau :

$$800 \mu A \geq 300 \mu A + 240 \mu A + N_1 \times 3 \times 20 \mu A$$

de unde se poate determina numărul de intrări ce mai pot fi comandate corect în nodul respectiv :

$$N_1 \leq \frac{800 - (300 + 240)}{60} = 4,3$$

Pentru nivelul logic inferior, indiferent de numărul de intrări conectate împreună se vor ține cont doar de numărul de circuite integrate.

$$I_{OL} \geq 3 \text{ porți. } I_{IL1} + 3 \text{ porți } I_{IL2} + N_2 \text{ porți } I_{IL3}$$

sau :

$$16 \text{ mA} \geq 3 \cdot 2 \text{ mA} + 3 \cdot 0,36 \text{ mA} + N_2 \cdot 0,4 \text{ mA}$$

în continuare se determină numărul de circuite ce pot fi conectate în nodul respectiv :

$$N_2 = \frac{16 - (6 + 1,08)}{0,4} = 22,3$$

rezultă că numărul maxim de porți ce mai pot fi plasate în modul respectiv este:

$N = \min. (N_1; N_2)$ este de 4 porți din seria ALS ce pot totaliza un număr maxim de 22 intrări.

Pentru cazul nostru porțile sunt cu 3 intrări, rămânând o rezervă de: $0,3 \times 60 \mu A = 18 \mu A$ ce poate fi utilizată la comanda altei sarcini.

Prin interconectarea unui număr mai mare circuite decât cel permis de factorul de încărcare pot fi afectați mai mulți parametri simultan:

- poarta(circuitul integrat) ce comandă nu mai poate asigura curentul de sarcină necesar, ce conduce conform caracteristicii de ieșire la degradarea nivelului logic furnizat(potențial mai mare pentru nivelul logic inferior, respectiv un potențial mai mic pentru nivelul logic superior)
- degradarea nivelelor logice conduce la scăderea marginii de zgomot, și implicit la scăderea siguranței în funcționare.

Acest lucru rezultă din analiza caracteristicilor de ieșire pentru cele două nivele logice . Din cele două caracteristici se poate constata că o poartă TTL poate furniza un curent mai mare la ieșire, dar acest lucru se obține în detrimentul degradării nivelelor logice și deci a marginii de zgomot.

O altă consecință a forțării unui curent de ieșire mai mare decât cel recomandat în catalog îl constituie faptul că pentru nivelul logic inferior la ieșirea porții rezultă că tranzistorul T_3 ce se găsește în regim saturat, poate genera un curent de colector foarte mare (mai mare de 50 mA), ceea ce face ca dreapta de sarcină să prezinte o pantă ce tinde spre infinit (figura 10.18). În această situație punctul de funcționare al tranzistorului T_3 se deplasează spre o tensiune de ieșire de V_{cc} , care la rândul său conduce implicit la creșterea puterii disipate ale acestui tranzistor. În cazul circuitelor integrate puterea maximă disipată de un tranzistor TTL nu este mai mare de $25 \div 50 \text{ mW}$. Rezultă că o creșterea a curentului de ieșire, pentru nivelul inferior, poate duce la distrugerea tranzistorului T_3 , prin supraîncălzire. Trebuie arătat că distrugerea se poate produce și în cazul unor creșteri momentane a puterii disipate.

Rezultă că orice creștere a curentului de ieșire pentru nivelul logic inferior sau forțării unui potențial la ieșire, când ieșirea este pe "0" logic, mai mare $V_{OL \text{ max}}$ duce la distrugerea

tranzistorului T_3 de la ieșirea porții TTL, deci implicit la distrugerea porții respective. Această distrugere are loc și pentru creșteri accidentale de durată foarte scurtă ($10 \div 20$ ns).

Pentru nivelul logic superior la ieșire, distrugerea tranzistorului T_4 nu are loc, deoarece acest tranzistor este protejat de către rezistența $R_4 = 130 \Omega$. Și în acest caz, dacă la ieșire se forțează un potențial diferit de cel oferit de circuitul integrat, pot apărea curenții relativ mari ($I_{os}=55\text{mA}$), dar limitați ca valoare de către rezistența R_4 . Această particularitate poate fi exploatată în testarea circuitelor integrate fără întreruperea conexiunilor cu circuitele vecine (cablajul). Testarea se poate face fie static, fie dinamic.