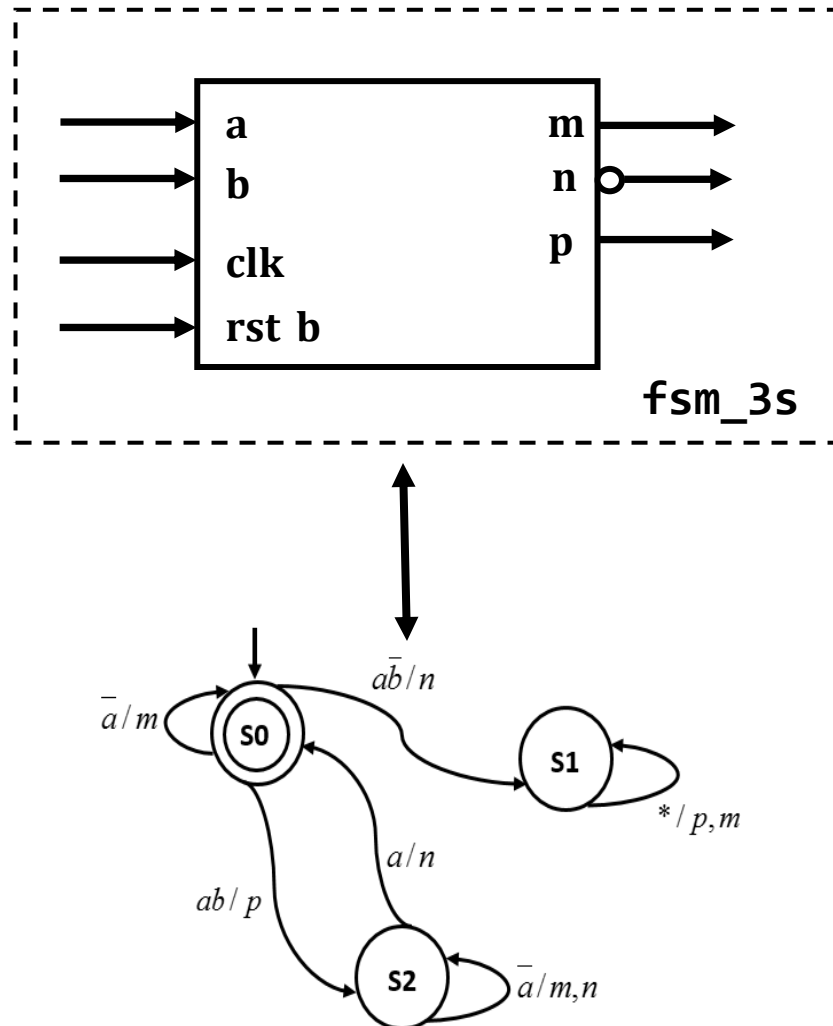


Laborator S8 AC

Proiectarea mașinilor cu stări finite în Verilog

P.8.1 Să se implementeze în limbajul Verilog structura unui **FSM** cu trei stări, urmând pașii de proiectare descriși în materialul de laborator. Arhitectura corespunzătoare mașinii cu 3 stări interne este ilustrată mai jos:



```

module fsm_3s ( input clk, rst_b,
                input a, b,
                output reg m,n,p );

// Pasul 1
localparam S0 = 2'd0;
localparam S1 = 2'd1;
localparam S2 = 2'd2;
// Pasul 2
reg [1:0] st;
reg [1:0] st_next;
// Pasul 3
always @ (*) begin
st_next = S0;
    case (st)
        S0: if (!a)
            st_next = S0;
            else
                if (!b)
                    st_next = S1;
        S1: st_next = S1;
        S2: if (a)
            st_next = S0;
            else
                st_next = S2;
    endcase
end

```

```

// Pasul 4

always @ (*) begin
    m = 1'd0 ;
    n = 1'd1 ;
    p = 1'd0 ;
    case (st)
S0: if (!a)
        m = 1'd1 ;
        else
            if (!b)
                n = 1'd0 ;
S1: begin
            m = 1'd1 ;
            p = 1'd1 ;
        end
S2: if (!a) begin
            m = 1'd1 ;
            n = 1'd0 ;
        end
        else
            n = 1'd0 ;
    endcase
end

```

```
// Pasul 5
always @ (posedge clk, negedge rst_b) begin
    if (!rst_b)
        st <= S0 ;
    else
        st <= st_next ;
end
endmodule
```

P.8.2 Să se redacteze în limbajul Verilog un testbench pentru verificarea funcționalității modulului *fsm_3s* implementat anterior.

```
module fsm_3s_tb ( output reg clk, rst_b, a, b,
                  output m,n,p
);
    fsm_3s DUT (.a(a), .b(b), ,clk(clk), .rst_b(rst_b), .m(m), .n(n),
    .p(p) );
    initial begin
        rst_b = 1'd1;
        #5 rst_b = 1'd0;
        #5 rst_b = 1'd1;
```

```
initial begin
clk = 1'd0;
forever #50 clk = ~ clk;
end
initial begin
// Completati cu cod aici
end
endmodule
```