

Задания на разработку рабочей модели СУЦВМ (I семестр: ДЗЗ\РКЗ; Защита ЛР4)

Задание 1: Разработать модель специализированной СУЦВМ, использовать ИС малой и средней степени интеграции из библиотеки элементов Proteus VSM. УА Процессора необходимо синтезировать, тип УА для своего варианта определить из приведенных ниже таблиц, в качестве ОА использовать 1804BC1 или 589 ИК02, или синтезировать оригинальный ОА. Разработать микропрограммы для разработки системы команд Процессора. На базе системы команд процессора разработать программы для выполнения вычислительных алгоритмов из приведенного списка заданий и алгоритма управления ВУ из РК2.
Рассчитать и определить опытным путем быстродействие разработанного процессора.

Управляющие автоматы:

- | | |
|---|---------------------------------------|
| 1 | МПА Уилкса |
| 2 | МПА с принудительной адресацией |
| 3 | МПА с сокращенным тактом |
| 4 | МПА с частичной записью адреса |
| 5 | МПА с естественной адресацией I типа |
| 6 | МПА с естественной адресацией II типа |
| 7 | МПА со стеком |

Алгоритмы, для выполнения ЛР4 и моделирования (РКЗ).

В заданиях 1-3 разработать микропрограмму, которая выполняет операции с разрядами POH_i и POH_j , нумерация разрядов регистров i и j - сквозная:

- 1) определяет разряды с 1 в коде регистров POH_i и POH_j и выдает список номеров этих разрядов;
- 2) определяет разряды с 0 в коде регистров POH_i и POH_j и записывает А в регистры с номерами соответствующими номерам «единичных» разрядов;
- 3) (m) регистра POH_i и (n) регистра POH_j ;

В заданиях 4, 5 разработать микропрограмму, которая после загрузки регистров POH_i и POH_j изменяет их содержимое:

- 4) перемещая все 0 в X- сторону и вытесняя единицы в Y-сторону;
- 5) сохраняя в коде одну 1 с X-стороны;

Разработать микропрограмму преобразования:

- 6) 8-разрядного двоичного числа без знака в двоично-десятичное;
- 7) 8-разрядного двоичного кода в унитарный код.

Разработать микропрограмму, которая определяет:

- 8) сумму ряда нечетных чисел;
- 9) наибольшее из N чисел;
- 10) наименьшее из N чисел
- 11) сортировать N чисел по убыванию
- 12) сортировать N чисел по возрастанию
- 13) выбрать из N чисел только четные
- 14) выбрать из N чисел только нечетные
- 15) выбрать из N чисел только которые делятся на три без остатка
- 16) выбрать из N чисел только которые делятся на пять без остатка
- 17) значение разряда N на входной шине данных D процессора;

Разработать микропрограмму, выполняющую сдвиг в X-сторону 8-разрядного кода на число разрядов равных количеству:

- 18) единиц в коде;
- 19) нулей в коде.

Разработать микропрограмму моделирования:

- 20) 8-разрядного суммирующего счетчика;
- 21) 8-разрядного вычитающего счетчика;

Таблица для выбора типа Управляющего автомата и его синтеза в составе CPU по вариантам:

#	УА	ИУ8-61			ИУ8-62			ИУ8-63			ИУ8-64			ИУ8-65		
1	МПА Уилкса	1	8	15	2	9	16	3	10	17	4	11		5	12	1
2	МПА с ПА	2	9	16	3	10	17	4	11	18	5	12		6	13	2
3	МПА с СТ	3	10	17	4	11	18	5	12	19	6	13		7	14	3
4	МПА с ЧЗА	4	11	18	5	12	19	6	13	20	7	14		8	15	4
5	МПА с ЕА I	5	12	19	6	13	1	7	14	1	8	15		9	16	
6	МПА с ЕА II	6	13	20	7	14		8	15	2	9			10	17	
7	МПА со стекком	7	14	21	8	15		9	16		10			11	18	

Задание 2: Управляющий алгоритм для реализации в структуре системы команд Процессора использовать из заданий на РК2.

Для управления внешними устройствами необходимо реализовать систему внешних шин (Addr, Data, Control). Набор команд Процессора должен содержать, также, команды работы с внешними устройствами.

Для функционирования СУЦВМ необходимо организовать хранение Программы и данных, выполняемой Процессором в памяти Программ и памяти Данных, формируя все необходимые сигналы Yx, при выполнении Процессором последовательности команд из ПП.

Список микросхем для моделирования в Proteus VSM SDK (API):

Микросхемы разбиты на группы, каждая строчка в которых это задание на 1 студента, если стоит коэффициент, например, xN, то это означает, что одно задание может выполняться N студентами одновременно.

Стрелка указывает порядок заполнения заявок на разработку модели, заявки заполняются начиная с первой группы, первой строки, без пропусков!

Разработка модели функционального блока (.dll) выполняется вместо разработки своего варианта модели Процессора.

I группа Модель СУЦВМ на база БИС комплекта am2900

(1804BC1 v 1804BC2)+(1804BY1 v 1804BY2) x0

(1804BP1, 1804BP2) x1

(1804BY3, 1804BY4) x1

(1804BH1, 1804BP3) x1

(1804BA1, 1804BA2, 1804BA3) x1

ИТОГ: СУЦВМ (am29000) x4

II группа Модель СУЦВМ на база комплекта i3000

- 589ИК01 x2

- (589ИК02, 589ИК03) x2

- (589ИК14, 589ИР12, 589АП16, 589АП26) x2

ИТОГ: СУЦВМ (i3000) x6

III группа (i580)

580BB51 x1

580BB55 x1

580BB79 x1

580BI53 x1

580BT57 x1

Ссылки на ресурсы по разработке моделей функциональных элементов:

1. [Proteus VSM SDK \(Create Your Own Models for Use with Proteus VSM\) \(30 10 2000\)](#)
2. [Creation VSM Models of electronic components for Proteus. Part I. Digital models.Introduction](#)
3. [Creation VSM Models of electronic components for Proteus. Program interface VSM SDK](#)
4. [PROTEUS. Описание VSM API. \(Версия 20180317\)](#) - "шпаргалка" от ProtAS-13
5. [Proteus C++ DLL's](#) (автор Lavr)
6. [Анимированная dll-библиотека Proteus для EDUC-8](#) (автор VituZz)
7. [Пример создания цифровой модели 1-wire Debugger for Proteus](#) (автор Lexx09)
8. [Модель задержки, управляемой напряжением](#) (автор OldDriver)
9. [Cycle accurate Z80 emulator for Labcenter Proteus](#) (автор MockbaTheBorg)

Примеры реализации и другие ресурсы

<http://purebasic.mybb.ru/viewtopic.php?id=496>

<http://www.nedopc.org/forum/viewtopic.php?t=10110>

!

<https://drive.google.com/drive/folders/1UPIBSMFzKaoEkLobp4rRXbsERzzfRDhQ?usp=sharing>

Приложение 1

i3000 Family*

Part	Description
3001	Microprogram control unit
3002	CPU(ALU)
3003	Carry-lookahead adder
3205	1 of 8 binary decoder
3207	Quad Bipolar-to-MDS Level Shifter and Driver
3208	Hex Sense Amplifier for MOS Memories
3210	TTL-to-MOS Level Shifter and High Voltage Clock Driver
3211	ECL-to-MOS Level Shifter and High Voltage Clock Driver
3212	Multimode latch buffer
3214	Priority interrupt unit
3216	Noninverting bidirectional bus driver
3222	Refresh Controller for 4K NMOS DRAMs
3226	Inverting bidirectional bus driver
3232	Address Multiplexer and Refresh Counter for 4K DRAMs
3235	Quad Bipolar-to-MOS Level Shifter and Drive
3242	Address Multiplexer and Refresh Counter for 16K DRAMs
3245	Quad Bipolar TTL-to-MOS Level Shifter and Driver for 4K
3246	Quad Bipolar ECL-to-MOS Level Shifter and Driver for 4K
3404	High-performance 6-bit Latch
3408	Hex Sense Amp and Latch for MOS Memories
3601	256x4-bit programable read-only memory
3604	512x8-bit programable read-only memory
3301A	256x4-bit read-only memory
3304A	512x8-bit read-only memory