



**Министерство образования Российской Федерации**  
**МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ**  
**УНИВЕРСИТЕТ**  
**им. Н.Э. БАУМАНА**

Факультет: Информатика и системы управления

Кафедра: Информационная безопасность (ИУ8)

**Аппаратные средства вычислительной техники**

**Лабораторная работа №1**

“Исследование функций процессора”

**Преподаватель:** Рафиков Андрей Гыязович

**Студент:** Соколов Константин Андреевич

**Группа:** ИУ8-62

Москва 2023г.

Цель работы: изучение устройства МТ1804; изучение структуры, принципа действия и функций процессорного элемента К1804ВС1; программирование и выполнение линейных микропрограмм.

### Теоретическая часть

Структурная схема МТ1804:

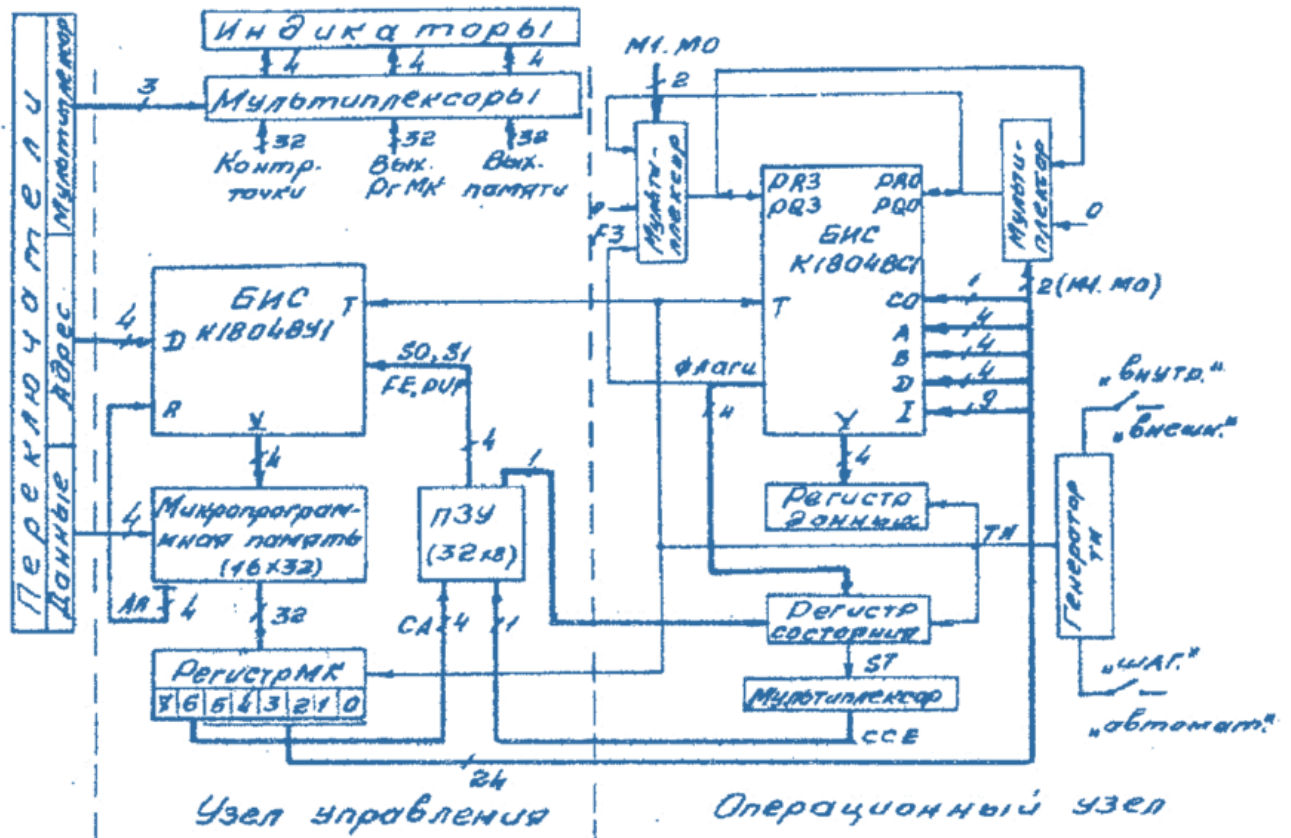


Рис. I

Операционный автомат логической секции:

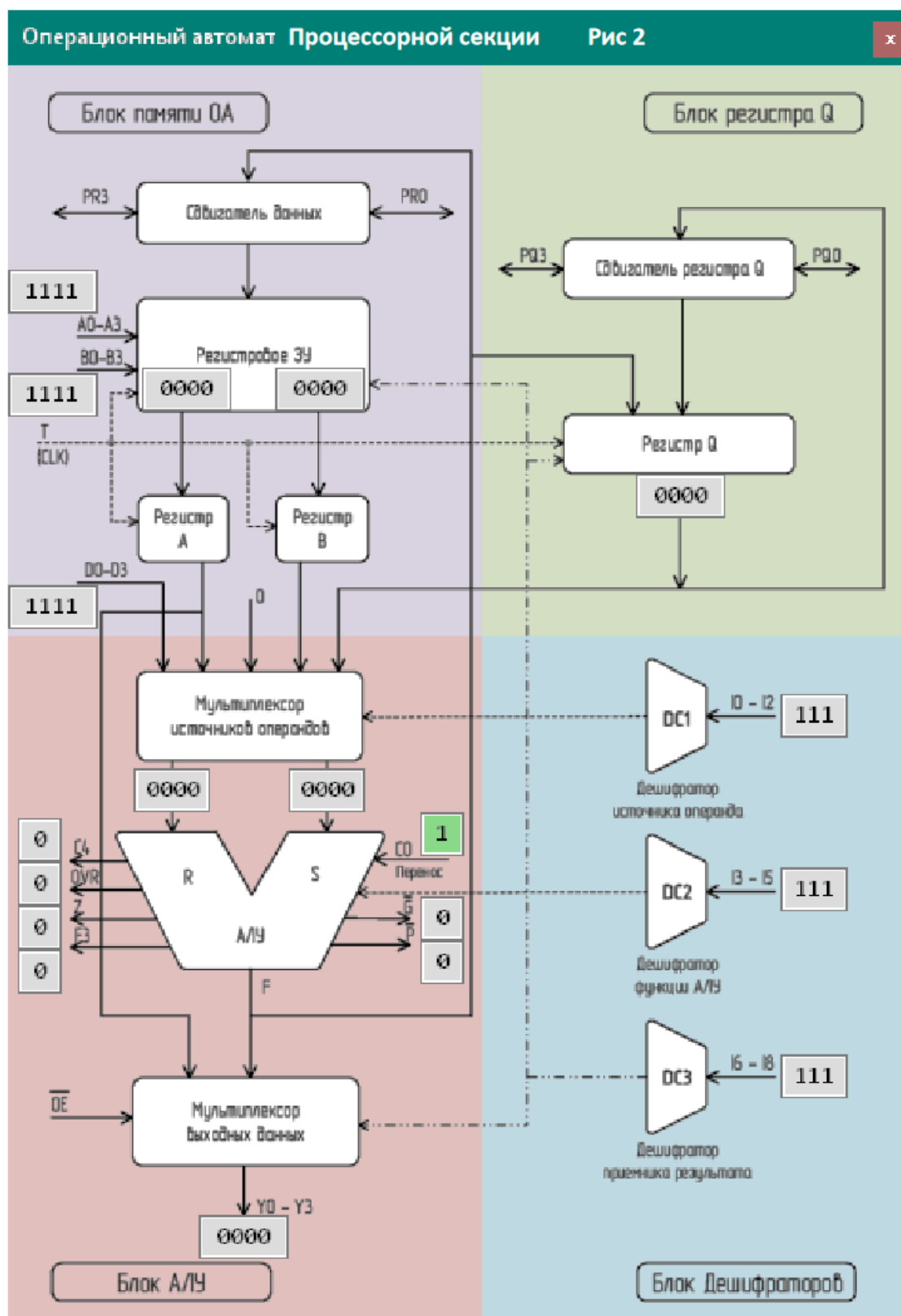


Таблица 1. Выбор функции АЛУ:

I5-3	Функция АЛУ ( $F$ )
000	$R+S+CO$
001	$S-R-I+CO$
010	$R-S-I+CO$
011	$R \vee S$
100	$R \cdot S$
101	$\bar{R} \cdot S$
110	$R \oplus S$
111	$\overline{R \oplus S}$

Таблица 2. Выбор источников операндов:

I2-0	Источники операндов	
	$R$	$S$
000	$POH(A)$	$PQ$
001	$POH(A)$	$POH(B)$
010	0	$PQ$
011	0	$POH(B)$
100	0	$POH(A)$
101	$D$	$POH(A)$
110	$D$	$PQ$
111	$D$	0

Таблица 3. Выбор приемника результата:

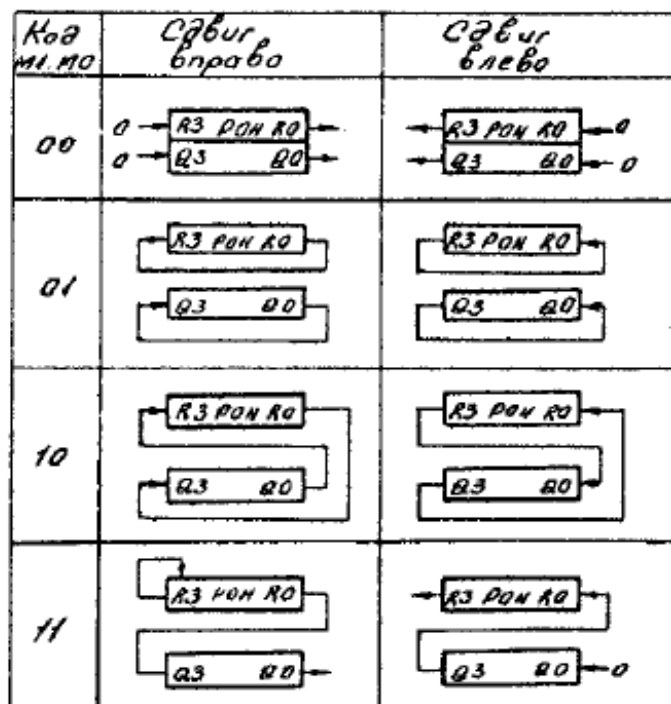
I8-6	Тип загрузки	Выход $Y$
000	$F \rightarrow PQ$	$F$
001	Нет загрузки	$F$
010	$F \rightarrow POH(B)$	$A$
011	$F \rightarrow POH(B)$	$F$
100	$F/2 \rightarrow POH(B)$ , $Q/2 \rightarrow PQ$	$F$
101	$F/2 \rightarrow POH(B)$	$F$
110	$2F \rightarrow POH(B)$ , $2Q \rightarrow PQ$	$F$
111	$2F \rightarrow POH(B)$	$F'$

Таблица 5. Формат 32-битных микрокоманд

Номер тетрад ы	Номер бита	Назначение бита	Функция
0	0	<i>D0</i>	Данные для D-шины
	1	<i>D1</i>	
	2	<i>D2</i>	
	3	<i>D3</i>	
1	4	<i>B0</i>	Адрес РОН на входах В
	5	<i>B1</i>	
	6	<i>B2</i>	
	7	<i>B3</i>	
2	8	<i>A0</i>	Адрес РОН на входах А
	9	<i>A1</i>	
	10	<i>A2</i>	
	11	<i>A3</i>	
3	12	<i>I3</i>	Функция АЛУ
	13	<i>I4</i>	
	14	<i>I5</i>	
	15	<i>CO</i>	Значение входного переноса в АЛУ
4	16	<i>I0</i>	Указатель операндов в АЛУ
	17	<i>I1</i>	
	18	<i>I2</i>	
	19	<i>M0</i>	Нулевой бит управления мультиплексорами сдвига
5	20	<i>I6</i>	Определение приемника результата операции
	21	<i>I7</i>	
	22	<i>I8</i>	
	23	<i>M1</i>	Первый бит управления мультиплексорами сдвига
6	24	<i>CA0</i>	Управление выборкой адреса следующей микрокоманды
	25	<i>CA1</i>	
	26	<i>CA2</i>	
	27	<i>CA3</i>	

7	28	AR0	Адрес перехода
	29	AR1	
	30	AR2	
	31	AR3	

Таблица 4. Реализация сдвигов:



00 - логический сдвиг, 01 - циклический сдвиг,  
10 - циклический сдвиг двойной длины,  
11 - арифметический сдвиг двойной длины

Рис. 4

## Практическая часть

### Задание 1.

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR- CA	M1.18- 6	M0.12- 0	CO.15- 3	A	B	D	
0		0011	0111	0011		0000		Загрузка РОН 0
1		0001	0011	0011		0000		Чтение РОН 0
2		0001	0010	0011		0000		Загрузка PQ
3		0001	0011	0011		0000		Чтение PQ
4		0000	0011	0100		0000		Установка 0 в PQ
5		0101	0011	0011		0000		Сдвиг РОН 0 вправо
6		0111	0011	0011		0000		Сдвиг РОН 0 вправо
7		1110	0011	0011		0000		Двойной сдвиг влево
8		1100	0011	0011		0000		Двойной сдвиг вправо
9		0011	0011	1000		0000		РОН 0+1 -> РОН 0
10		0011	0011	0001		0000		РОН 0-1 -> РОН 0
11		0101	0011	1000		0000		Сложение со сдвигом вправо
12		0111	0011	1000		0000		Сложение со сдвигом влево

Задание 2.

А) Микропрограмма очистки регистра РОН(i)

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.18-6	M0.12-0	CO.15-3	A	B	D	
0		0011	0111	0011		0101	0001	Загрузка единицы в РОН(5)
1		0001	0011	0100		0101		Очистка РОН (5)

Б) Обмен данными регистров РОНi и РОНj(PQ):

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.18-6	M0.12-0	CO.15-3	A	B	D	
0		0011	0111	0011		0101	0101	Загрузка числа 5 в РОН(5)
1		0011	0111	0011		0001	0011	Загрузка числа 3 в РОН(1)
2		0000	0100	0011	0101	0000		Копирование РОН(5) в PQ
3		0011	0100	0011	0001	0101		Копирование РОН(1) в РОН(5)
4		0011	0010	0011		0001		Копирование PQ в РОН(1)



В,Д) Алгебраическое сложение/вычитание в дополнительном/обратном коде:

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.18-6	M0.12-0	CO.15-3	A	B	D	
0		0011	0111	0011		0000	1011	Загрузка числа 11 в РОН(0)
1		0011	0111	0011		0001	0001	Загрузка 1 в РОН(1)
2		0001	0001	0000	0001	0000		Сложение РОН(0) и РОН(1)

Г) Изменение знака

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.18-6	M0.12-0	CO.15-3	A	B	D	
0		0011	0111	0011		0000	0001	Загрузка единицы в РОН(0)
1		0011	0101	0110		0000	1111	XOR с 1111 в РОН(0)
2		0011	0011	1000		0000		Прибавление единицы в РОН(0)

### Вывод

В данной работе мы изучили устройства МТ1804; структуры, принципа действия и функций процессорного элемента КИ804ВCI; программирование и выполнение линейных микропрограмм.