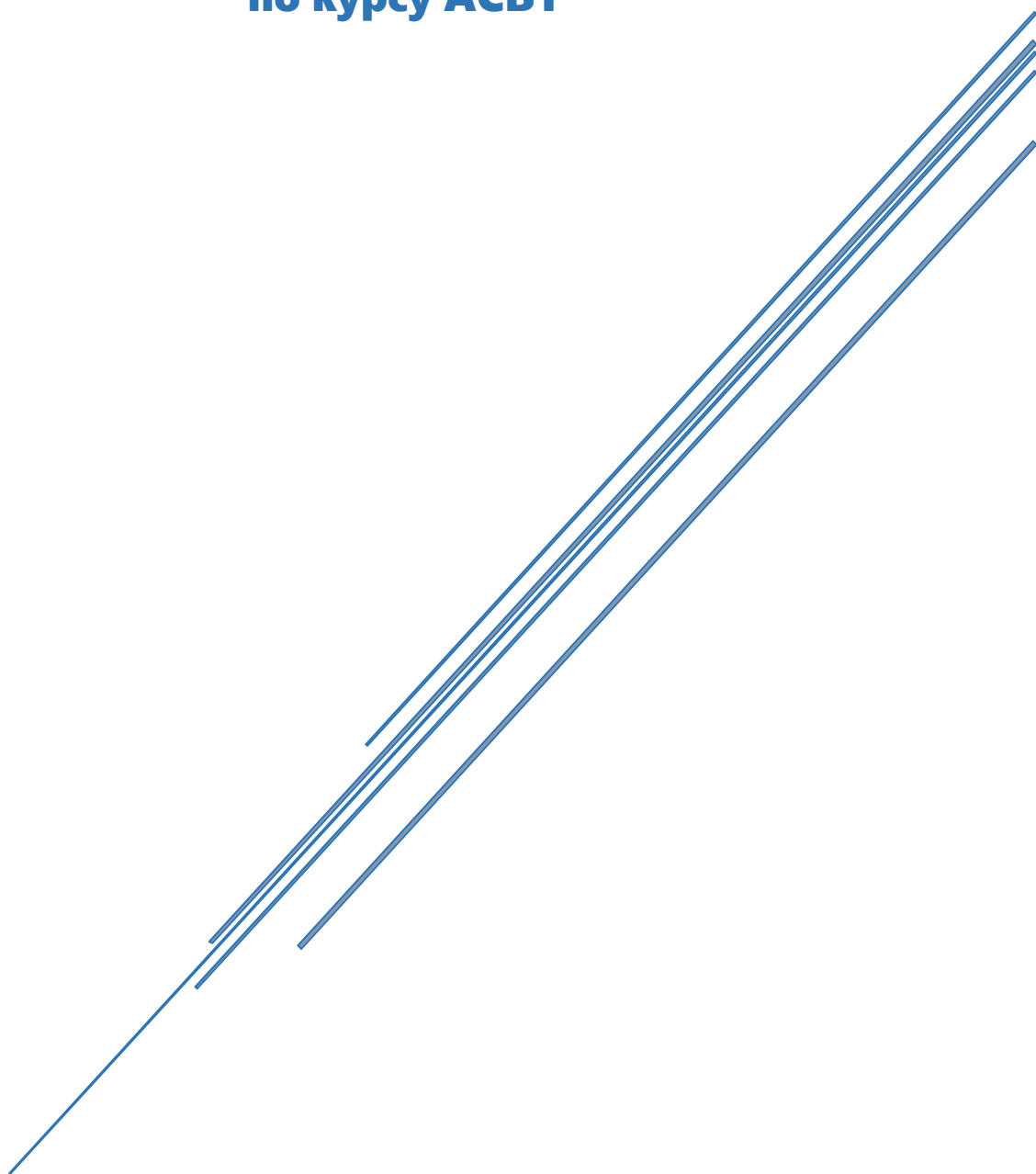


МИКРОПРОЦЕССОРЫ

с микропрограммным управлением

**Методические указания к Лабораторным работам
по курсу АСВТ**



МГТУ им. Н.Э. Баумана
ИУ-8
МОСКВА 2022

Данный практикум предназначен для изучения секционных процессорных элементов, блоков микропрограммного управления, микропрограммирования операций в микропроцессорных системах с разрядно – модульной архитектурой.

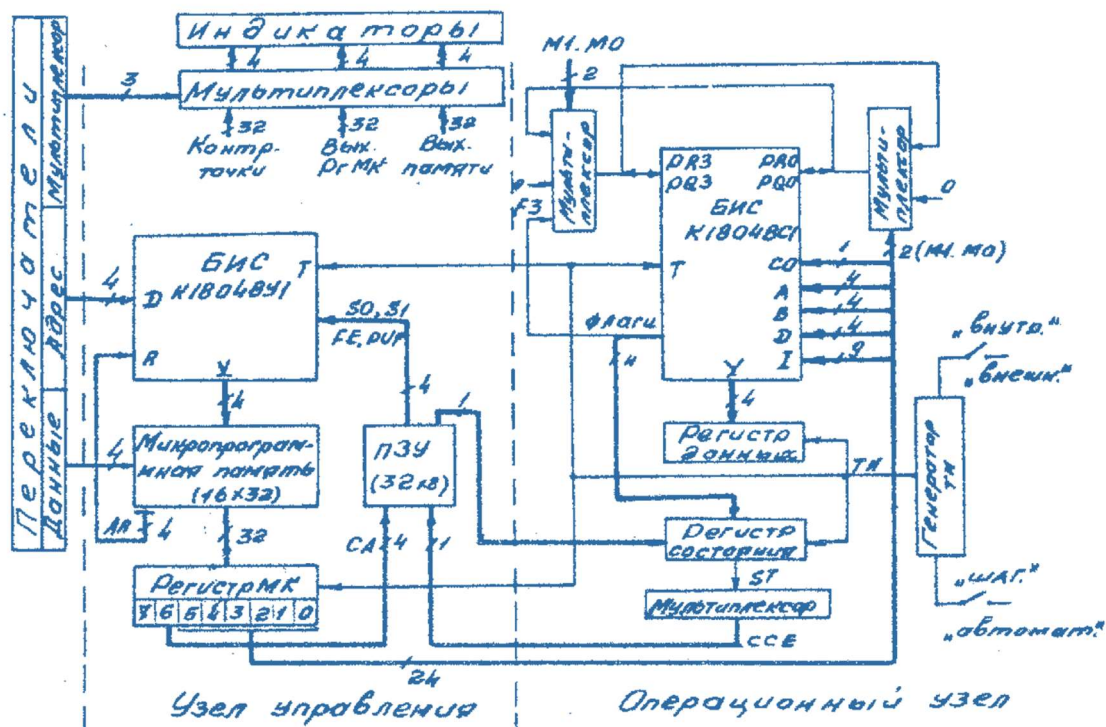
КРАТКОЕ ОПИСАНИЕ УСТРОЙСТВА «МИКРОТРЕНАЖЕР МТ1804» (МТ1804)

1. Назначение и структура

Устройство **МТ1804** предназначено для изучения архитектуры, основ микропрограммирования и применения МПК серии К1804. Для работы устройства необходим источник питания постоянного тока напряжением $+5\text{ В} \pm 5\%$ и максимальным током нагрузки не менее $2,5\text{ А}$.

Структурная схема МТ1804 приведена на рис.1. Функционально устройство делится на узел управления и операционный узел. Узел управления содержит: БИС управления адресом микрокоманды К1804ВУ1, микропрограммную память объемом шестнадцать 32-разрядных слов на микросхемах К155РУ2, 32-разрядный регистр микрокоманд (МК) на микросхемах К1804ИР1, ПЗУ для управления выборкой следующего адреса объемом тридцать два байта на микросхеме К155РЕ3, внутренний тактовый генератор с частотой 1 МГц. Операционный узел содержит: БИС центрального процессора К1804ВС1, мультиплексоры сдвига, регистр выходных данных, регистр состояния и мультиплексор флагов состояния.

Регистр МК, данных и регистр состояния имеют общую линию синхронизации от тактовых импульсов (ТИ). Запись информации в эти регистры происходит по положительному фронту (0/1) ТИ, т.е. в регистры записывается информация, представленная на входах этих регистров к моменту поступления ТИ. По этой причине установка признаков (флагов) в регистре состояния для последующего использования происходит на такт позже по сравнению с моментом их появления на выходах процессора. Выходные данные процессора Y записываются в выходной регистр данных также с задержкой на один такт.



микропрограммной памяти (АДРЕС), записываемого кода данных (ДАННЫЕ), для управления мультиплексорами (МУЛЬТИПЛЕКСОР); кнопки ПУСК и ЗАГРУЗКА.

Для контроля информации в **MT1804** установлено 12 светодиодных индикаторов (3 секции по 4 индикатора в каждой): правая секция - для индикации содержимого адресуемой ячейки микропрограммной памяти, средняя - регистра МК, левая - для индикации данных на основных шинах устройства. Подключение выходов памяти, регистра МК и контрольных точек (шин) к светодиодам осуществляется потетрадно через мультиплексоры. В зависимости от номера, устанавливаемого на переключателях МУЛЬТИПЛЕКСОР, к индикаторам подключается определенная группа разрядов памяти, регистра МК (табл. 1) или контрольных точек (табл. 2).

Таблица 1

Номер тетрады	7	6	5	4	3	2	1	0
Номера разрядов	31-28	27-24	23-20	19-16	15-12	11-8	7-4	3-0

Код	Индикаторы данных				Функция
	3	2	1	0	
000	Y3	Y2	Y1	Y0	Выходы K1804BY1
001	Y3	Y2	Y1	Y0	Выходы KI804BCI
010	C4	OVR	F3	Z	Флаги KI804BCI
011	C4*	CCE	/P	/G	*)
100	ST3	ST2	ST1	ST0	Выходы регистра состояния
101	PQ3	PQ0	PR3	PR0	Входы/выходы сдвига KI804BCI
110	Y3'	Y2'	Y1'	Y0'	Выходы регистра выходных данных
III	Y3	Y2	Y1	Y0	То же

Таблица 2

2. Основные режимы работы MT1804

Устройство **MT1804** может работать в режиме ЗАГРУЗКА для программирования микропрограммной памяти и в режиме РАБОТА для выполнения микропрограммы.

2.1 Для выполнения режима ЗАГРУЗКА необходимо:

- переключатель режима установить в положение ЗАГРУЗКА,
- переключателями АДРЕС набрать код адреса ячейки,
- переключателями МУЛЬТИПЛЕКСОР установить двоичный номер тетрады,
- переключателями ДАННЫЕ набрать код, записываемый в указанную тетраду ячейки,
- нажав кнопку ЗАГРУЗКА, произвести запись,
- для загрузки 32-разрядной ячейки памяти действия в)-д) повторить 8 раз.

Контроль записываемой информации осуществляется по показаниям светодиодов памяти.

2.2. Для запуска программы на микропрограммном уровне необходимо произвести начальную установку регистра МК (инициализацию), т.е. ввести в регистр МК микрокоманду со стартовым адресом программы. Для этого после загрузки всей программы на переключателях АДРЕС нужно установить значение стартового адреса и нажать кнопку ПУСК. При этом из памяти по указанному адресу будет выбрана микрокоманда, помещаемая в регистр МК, в чем можно убедиться с помощью индикаторов регистра МК.

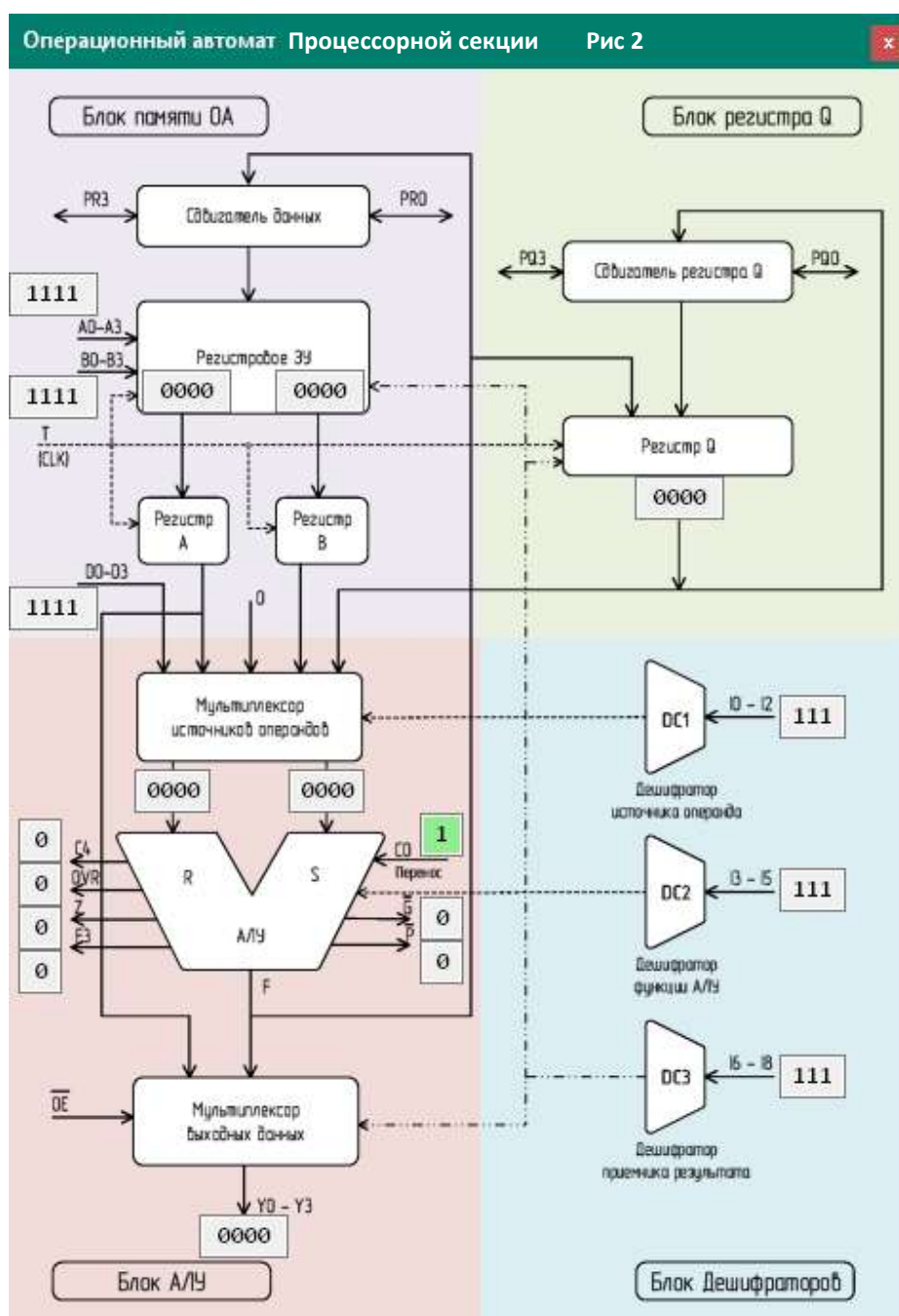
2.3. Для дальнейшего выполнения программы переключатель режима следует перевести в положение РАБОТА. В шаговом режиме при однократном нажатия кнопки ПУСК выполняется одна микрокоманда, в автоматическом режиме - вся программа.

Работа № I. ИССЛЕДОВАНИЕ ФУНКЦИЙ ПРОЦЕССОРА

Цель работы - изучение устройства МТ1804; изучение структуры, принципа действия и функций процессорного элемента (секции АЛУ операционного устройства) - К1804ВС1; программирование и выполнение линейных микропрограмм.

Теоретическая часть

Функционирование ОА процессора рассмотрим по структурной схеме (рис. 2). На схеме можно выделить четыре блока: внутренней памяти, арифметико - логический, регистра Q, управления. Блок внутренней памяти содержит: регистровое запоминающее устройство (РЗУ), имеющее шестнадцать 4-разрядных регистров общего назначения (РОН); сдвигатель данных (СДА), позволяющий записывать в РЗУ информацию без сдвига и со сдвигом вправо или влево на один разряд; два регистра RgA и RgB на выходе блока. Выбор регистров РЗУ как источников информации осуществляется по адресам на входах А и В. Информация из РОНов поступает на регистры RgA, RgB по сигналу логической единицы (1) на тактовом входе Т. При сигнале логического нуля (0) эти регистры находятся в режиме хранения. Запись информации в регистр РЗУ возможна только по адресу В и происходит при поступлении сигнала 0 на вход Т.



РЗУ возможна только по адресу В и происходит при поступлении сигнала 0 на вход Т.

Данные (F) с выхода АЛУ загружаются в РОН без сдвига или со сдвигом влево или вправо по схеме (рис. 3) в зависимости от кода управления на входах I8-6.

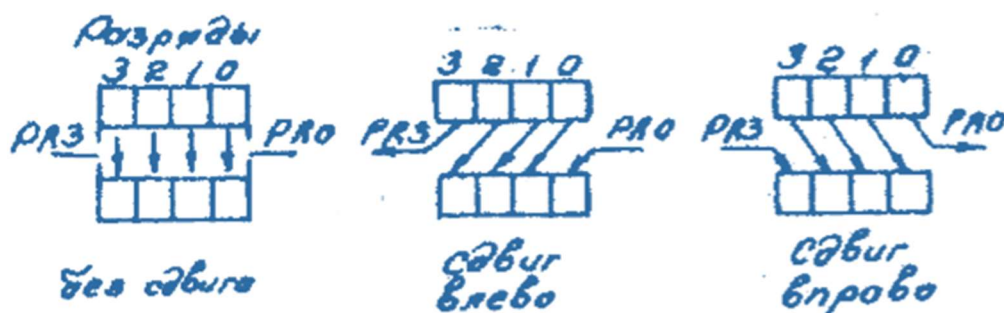


Рис. 3

Арифметико-логический блок содержит арифметико-логическое устройство (АЛУ), выполняющее 8 операций над операндами R и S в зависимости от кода управления на входах I5-3 (табл. 3).

Арифметические операции в АЛУ выполняются с учетом значения сигнала входного переноса CO в дополнительном коде. На выходах АЛУ формируются 4 флага (признака) результата: перенос из старшего разряда C4, переполнение $OVR = C4 \oplus C3$, знак (или содержимое старшего разряда АЛУ) F3 и признак нулевого результата $z=1$, если $F=0$. При выполнении логических операций C4 и OVR вычисляются иначе /см. [1]/.

Кроме того, формируются сигналы генерации G и распространения P переноса из АЛУ, необходимые для организации ускоренного переноса в многоразрядной схеме, построенной из нескольких секций процессора.

Таблица 3

I5-3	Функция АЛУ (F)
000	$R+S+CO$
001	$S-R-I+CO$
010	$R-S-I+CO$
011	$R \vee S$
100	$R \cdot S$
101	$\overline{R} \cdot S$
110	$R \oplus S$
111	$\overline{R} \oplus \overline{S}$

Источниками операндов R и S могут быть регистры РЗУ, внешняя шина данных D, выделенный регистр Q и шина "0". Выбор источников по входам R и S проводится с помощью селектора источника данных (СИД), управляемого кодом 12-0 (табл. 4). Результат операции (F) из АЛУ поступает на селектор выходных данных (СВД), на сдвигатель СДА и регистр Q. Приемник результата (адресуемый по адресу В регистр общего назначения в РЗУ, регистр Q или выходная шина Y) зависит от кода управления на входах I8-6 (табл. 5).

Таблица 4

I2-0	Источники операндов	
	R	S
000	РОН(A)	PQ
001	РОН(A)	РОН(B)
010	0	PQ
011	0	РОН(B)
100	0	РОН(A)
101	D	РОН(A)
110	D	PQ
111	D	0

Таблица 5

I8-6	Приемник результата	
	Тип загрузки	Выход Y
000	PQ	F
001	Нет загрузки	F
010	РОН(B)	A
011	РОН(B)	F
100	F/2→РОН(B) Q/2→PQ	F
101	F/2→РОН(B)	F
110	2F→РОН(B) 2Q→PQ	F
111	2F→РОН(B)	F'

Раздельное управление операциями в АЛУ и приемником результата позволяет реализовать в одной микрокоманде комбинированные операции: сложения-вычитания со сдвигом влево или вправо, логические операции со сдвигом влево или вправо и др. Для организации логического, циклического или арифметического сдвигов влево или вправо при одинарной или двойной длине операндов (рис. 4) необходимо управлять входами/выходами PR0, PR3, PQ0, PQ3 процессора. Это осуществляется путем соответствующей коммутации входов/выходов и линий сигналов логического 0 и F3. Для этой цели в схеме (см. рис. I) используются мультиплексоры, установленные в цепи сдвигов. Управление мультиплексорами осуществляется 2-разрядным кодом (M1, M0) микрокоманды, определяющим тип сдвига, и кодом 18-6, определяющим направление сдвига.

Блок регистра Q состоит из Q - регистра (PQ) и сдвигателя регистра (СДР), который осуществляет сдвиг содержимого PQ вправо или влево на один разряд.

Блок управления вырабатывает управляющие сигналы на остальные блоки процессора в зависимости от кода I8-0 на входах.

В устройстве МТ1801 применяются 32-разрядные микрокоманды. Формат микрокоманды показан в табл. 6. В табл. 7 приведены примеры программирования некоторых операций процессора К1804ВС1. Незаполненные поля в микрокомандах обозначают несущественное значение их для данной операции. XXXX - исходные данные на шине D процессора, устанавливаемые через тетраду 0 регистра МК.

Код м.ко	Сдвиг вправо	Сдвиг влево
00		
01		
10		
11		

00 - логический сдвиг, 01 - циклический сдвиг,
10 - циклический сдвиг двойной длины
11 - арифметический сдвиг двойной длины

Рис. 4

Таблица 6

Номер тетрады	Номер бита	Назначение бита	Функция
0	0	<i>D0</i>	Данные для D-шины
	1	<i>D1</i>	
	2	<i>D2</i>	
	3	<i>D3</i>	
1	4	<i>B0</i>	Адрес РОН на входах В
	5	<i>B1</i>	
	6	<i>B2</i>	
	7	<i>B3</i>	
2	8	<i>A0</i>	Адрес РОН на входах А
	9	<i>A1</i>	
	10	<i>A2</i>	
	11	<i>A3</i>	
3	12	<i>I3</i>	Функция АЛУ
	13	<i>I4</i>	
	14	<i>I5</i>	
	15	<i>CO</i>	Значение входного переноса в АЛУ
4	16	<i>I0</i>	Указатель операндов в АЛУ
	17	<i>I1</i>	
	18	<i>I2</i>	
	19	<i>M0</i>	Нулевой бит управления мультиплексорами сдвига
5	20	<i>I6</i>	Определение приемника результата операции
	21	<i>I7</i>	
	22	<i>I8</i>	
	23	<i>M1</i>	Первый бит управления мультиплексорами сдвига
6	24	<i>CA0</i>	Управление выборкой адреса следующей микрокоманды
	25	<i>CA1</i>	
	26	<i>CA2</i>	
	27	<i>CA3</i>	
7	28	<i>AR0</i>	Адрес перехода
	29	<i>AR1</i>	
	30	<i>AR2</i>	
	31	<i>AR3</i>	

Порядок прохождения микропрограммы в устройстве рассмотрим на примере выполнения последовательности микрокоманд МК0, МК5, МК5 размещенных в памяти по адресам 0, 5 (табл. 7 и табл. 8).

В табл. 8 представлен процесс обработки микрокоманд, учитывающий действия оператора и свойства процессора.

В таблице использованы следующие обозначения: значения тактового импульса ТИ, принимаемые в течение одного такта работы (0/1 - переход из 0 в 1, 1 - уровень логической единицы, 0 - уровень логического нуля); → - операция пересылки; (РОНО) - содержимое регистра общего назначения.

В табл. 9 приведены наблюдаемые состояния шин после выполнения каждой микрокоманды.

Таблица 7

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	I	0	
	<i>AR-CA</i>	<i>M1.I8-6</i>	<i>M0.I2-0</i>	<i>CO.I5-3</i>	<i>A</i>	<i>B</i>	<i>D</i>	
0		011	111	011		0000	XXXX	Загрузка <i>POH 0</i>
I		001	011	011		0000		Чтение <i>POH 0</i>
2		???	???	???				Загрузка <i>PQ</i>
3		???	???	???				Чтение <i>PQ</i>
4		???	???	???				Установка 0 в <i>PQ</i>
5		0 101	0 011	011		0000		Сдвиг <i>POH 0</i> вправо
6		? ???	? ???	???		????		Сдвиг <i>POH 0</i> влево
7		1 110	0 011	011		0000		Двойной сдвиг влево
8		? ???	? ???	???		????		Двойной сдвиг вправо
9		011	011	I 000		0000		$POH 0+1 \rightarrow POH 0$
10		???	???	? ???		????		$POH 0-1 \rightarrow POH 0$
11		0 101	0 011	1 000		0000		Сложение со сдвигом вправо
12		? ???	? ???	? ???		????		Сложение со сдвигом влево

Таблица 8

<i>Пуск по адресу</i>	ТИ	Выполняемая операция
АО	0/1 1 0	$МК0 \rightarrow P_2МК$ (занесение МК0 в регистр МК) $F = D \rightarrow Y$ (на выходе МП значение D) $F = D \rightarrow POH 0$ - (загрузка D в <i>POH 0</i>)
A5	0/1 1 0	$МК5 \rightarrow P_2МК$ $F = (POH 0) \rightarrow Y$ $F/2 = D/2 \rightarrow POH 0$
A5	0/1 1 0	$МК5 \rightarrow P_2МК$ $F = (POH 0) \rightarrow Y$ $F/2 = D/4 \rightarrow POH 0$

Таблица 9

Пуск по адресу	Вых. <i>Y</i> K1804BCI	Флаги	Вых. <i>P₂</i> данных	Вых. <i>P₂</i> сост.
		<i>C4 OVR F3 Z</i>		
A0	0110	?? 00	XXXX	-
A5	0110	?? 00	0110	-
A5	0011	?? 00	0110	-
A5	0001	?? 00	0011	-

Задание для самостоятельной подготовки

1. Ознакомьтесь с описанием и основными режимами работы устройства MT1804, способами контроля информации в MT1804. Изучите структуру микропроцессора K1804BC1 и выполняемые им функции.
2. Запрограммируйте неопределенные поля микрокоманд в табл.7 для выполнения всех указанных операций. Подготовьте в форме табл.8,9 описание заданной преподавателем последовательности операций.
3. Составьте микропрограммы для решения заданий п. 5 (см. порядок выполнения работы).

Порядок выполнения работы

1. Изучить конструкцию устройства. Найти основные блоки узла управления и операционного узла.
2. Подключить к клеммам ХР1 источник питания напряжением +5 В и нагрузочной способностью не менее 2,5 А. Установить переключатель генератора тактовых импульсов в положение ВНУТРЕННИЙ, переключатели режима в положение ЗАГРУЗКА и ШАГ.

Внимание! При выключении источника питания содержимое микропрограммной памяти не сохраняется.

3. Загрузить в память микропрограмму из табл. 7. Выполнить заданную последовательность МК, адресуя их с переключателей адреса в режиме ЗАГРУЗКА. После выполнения каждой МК наблюдать на индикаторах состояния выходов Y и флаги процессора, выходов регистров данных и состояния. Результаты записать в виде табл. 9, сравнивая их с ожидаемыми. Объяснить полученные результаты.

4. Проверить при многократном исполнении действие остальных микрокоманд из табл. 7, предварительно очистив регистр Q.

5. Разработать и выполнить микропрограммы следующих операций:

- а) очистка регистра PОНi;
- б) обмен данными регистров PОНi и PОНj(PQ);
- в) алгебраическое сложение/вычитание в дополнительном коде. Изменяя операнды, получить наибольшее количество возможных комбинаций флагов Z, C4, OVR, F3. Запротоколировать результаты наблюдений;
- г) изменение знака числа;
- д) алгебраическое сложение/вычитание чисел в обратном коде;

Содержание отчета

В отчет должны входить: структурная схема и таблицы функций управления процессорного элемента; описание выполнения заданной последовательности микрокоманд; микропрограммы и результаты наблюдений в виде таблиц.

Содержание отчета

В отчет должны входить:

- структурная схема и таблицы функций управления процессорного элемента;
- описание выполнения заданной последовательности микрокоманд;
- микропрограммы и результаты наблюдений в виде таблиц;
- скриншоты экрана с последовательностью выполнения микропрограмм.
- пошаговые комментарии к микропрограммам

Работа выполняется на эмуляторе – mtemu_1.0.3

Справочная информация на странице - https://ru.bmstu.wiki/Микропенажёр_MT1804

Микротренажер МТ1804

Предназначен для изучения Архитектуры секционных Процессоров, Алгоритмов микропрограмм и получения навыков разработки системы команд Процессора на базе Секционного Процессорного Комплекта К1804

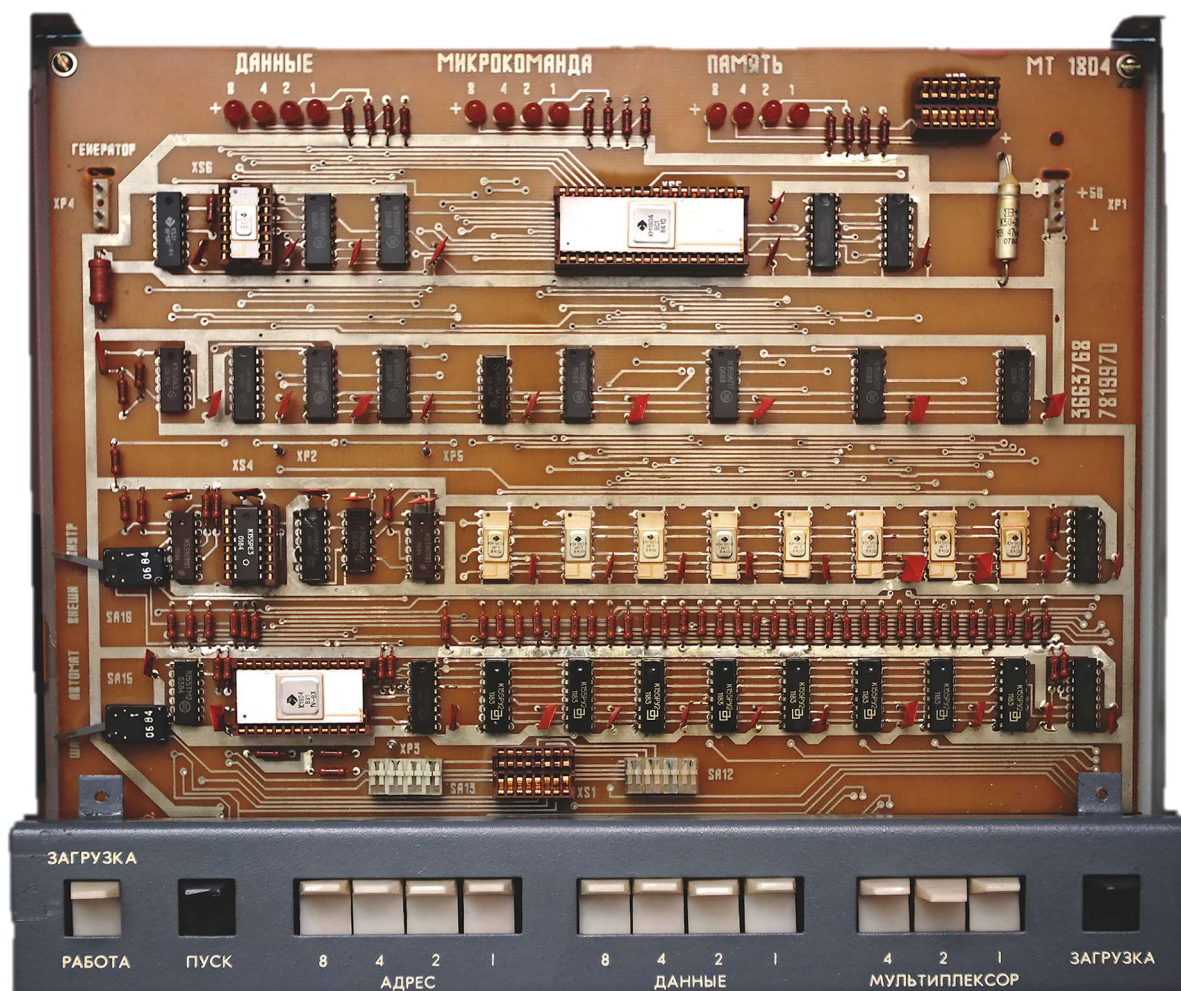


Фото 1 Микротренажер МТ1804

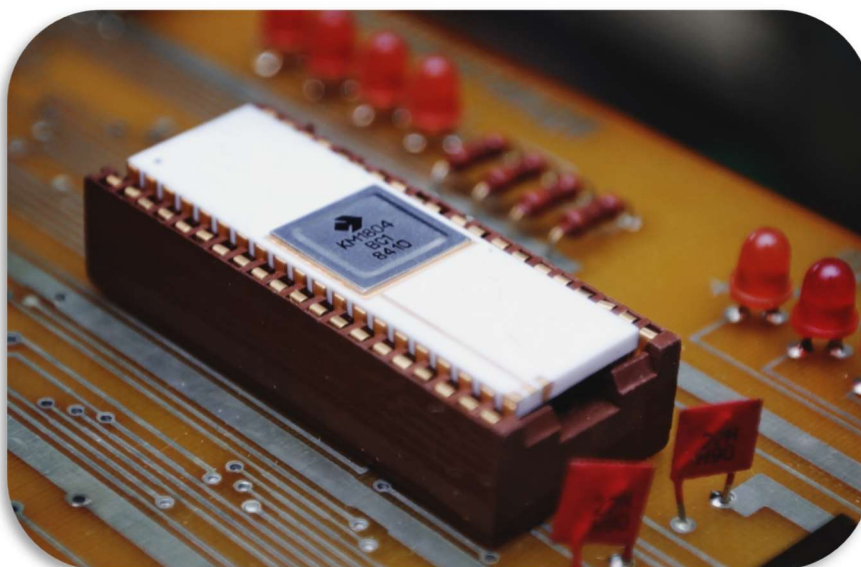


Фото 2 КМ1804BS1