

Sayısal Sistemler-H9CD1

Senkron Sıralı Mantık

Dr. Meriç Çetin
versiyon131120

Bu derste öğreneceklerimiz

5 Synchronous Sequential Logic

}	5.1	Introduction	190
	5.2	Sequential Circuits	190
	5.3	Storage Elements: Latches	193
	5.4	Storage Elements: Flip-Flops	196
	5.5	Analysis of Clocked Sequential Circuits	204
	5.6	Synthesizable HDL Models of Sequential Circuits	217
	5.7	State Reduction and Assignment	231
	5.8	Design Procedure	236

Giriş

- Sayısal cihazlar (cep telefonları, navigasyon alıcıları, bilgisayarlar, kameralar, medya oynatıcılar vb...) ikili formatta temsil edilen bilgileri gönderme, alma, saklama ve işleme becerisine sahiptir.
- Bu cihazları etkinleştiren teknoloji, bilgileri depolayabilen, yani belleğe sahip olan elektronik bileşenlere büyük ölçüde bağlıdır.
- Şimdiye kadar düşünülen kombinasyonel devrelerin çıkışları girişlere bağlıdır, hafızaları yoktur, yani girişlerinin geçmiş değerlerine bağımlılıkları yoktur.
- **Eş-zamanlı ardışık** (synchronous sequential) devreler, depolama yapar ve hafızaya sahiptir.
- Bilgileri depolayabilir, saklayabilir ve daha sonra gerektiğinde geri alabilirler.

Giriş-ardışık devreler

- Ardışık lojik devreler kombinasyonel lojik ve hafıza elemanlarından meydana gelen lojik devrelerdir.
- Bu devrelerin eş-zamanlı ardışık olması demek devrede kullanılan hafıza ünitelerinin tek bir merkez tarafından aynı anda aktif duruma getirilmesi demektir.
- Kontrol mekanizması **periyodik darbeler** üreten bir devre tarafından sağlanır. Darbeler hafıza ünitelerine aynı anda gönderilir ve hafıza ünitelerinin aynı anda çalışması sağlanır.
- Ardışık devreler çıkıştaki değerin girişteki değeri etkilediği devrelerdir.

Giriş-ardışık devreler devam

- Hafıza elemanında depolanan ikili (binary) bilgi verilen herhangi bir zamanda ardışık devrenin durumunu belirler.
- Ardışık devreler ayrıca harici girişlerden de bilgi alabilirler. Bu girişler ve hafıza elemanındaki önceki durum şartları ardışık devrenin çıkış değerini tanımlar.
- Bu tür devreler ikiye ayrılır:
 - Senkron ardışık devreler
 - Asenkron ardışık devreler
- Devre senkronizasyonu periyodik saat (**clock**) darbeleriyle sağlanır. Bu darbeler hafıza ünitelerine aynı anda gönderilir ve hafıza ünitelerinin aynı anda çalışması sağlanır.

Ardışık (Sequential) Devreler

- Ardışık bir devrenin blok diyagramı Şekil 5.1'de gösterilmiştir. Burada devrenin çıktıları; sadece girişlerin değil aynı zamanda depolama elemanlarının mevcut durumunun da bir fonksiyonudur.
- Depolama elemanlarının bir sonraki durumu aynı zamanda harici girişlerin ve mevcut durumlarının bir fonksiyonudur.
- Bu nedenle, ardışık bir devre, giriş, çıkış ve dahili durumlarla belirlenir.

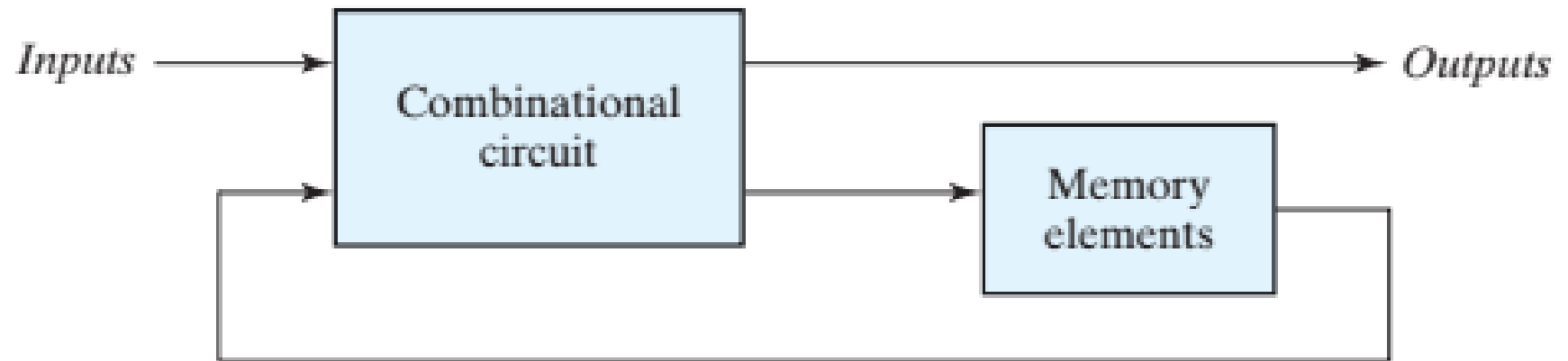


FIGURE 5.1

Block diagram of sequential circuit

- Ardışık devrelerde bir geri besleme yolu oluşturmak için depolama elemanlarının bağlandığı bir kombinasyonel devre kullanılır.
- Depolama öğeleri, ikili bilgileri depolayabilen cihazlardır.
- Bu elemanlarda herhangi bir zamanda depolanan ikili bilgi, o andaki ardışık devrenin durumunu tanımlar.
- Ardışık devre, depolama elemanlarının mevcut durumu ile birlikte, çıktıların ikili değerini belirleyen harici girişlerden ikili bilgiyi alır.
- Bu harici girişler, aynı zamanda, depolama elemanlarındaki durum değiştirme koşulunu da belirler.

Senkron Ardışık Devreler

- Senkron ardışık bir devrede sistem davranışı zamanın farklı anlarındaki sinyallerin bilgisinden tanımlanabilir.
- Senkronizasyon, bir sinyal jeneratörünün ürettiği periyodik saat darbeleri (**clock pulse**) ile elde edilir.
- Saat darbeleri, sistem boyunca, depolama elemanlarının yalnızca her darbenin gelişle etkileneceği şekilde dağıtılır.
- Uygulamada, saat darbeleri devre içinde hesaplama etkinliğinin ne zaman meydana geleceğini belirler. Diğer sinyalleri (harici girişler ve diğerleri), depolama elemanlarını ve çıktıları etkileyen değişikliklerin ne zaman gerçekleşeceğini belirler.
- Eşzamanlı devrelerin tasarımı uygulanabilirdir çünkü nadiren kararsızlık problemleri ortaya çıkarılırlar ve zamanlamaları her biri ayrı ayrı düşünülebilecek bağımsız ayrı adımlara kolayca bölünür.

Eş-zamanlamalı Saat Darbeli Ardışık Devreler

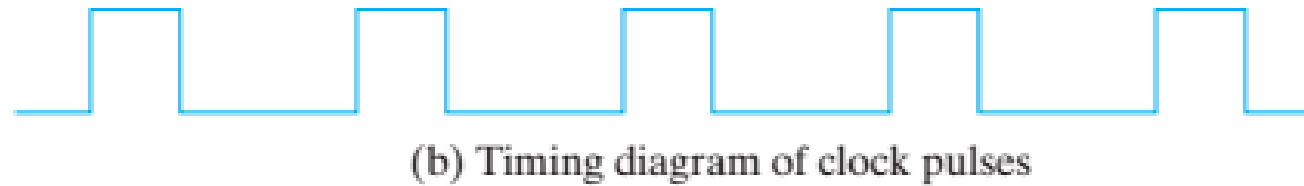
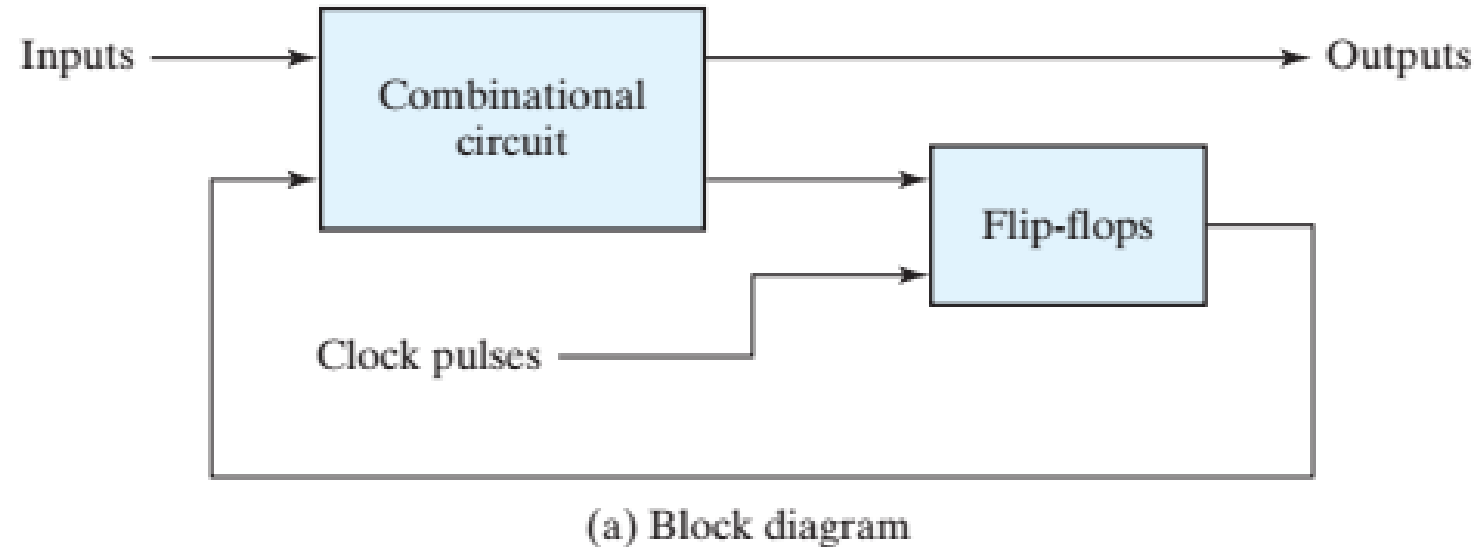


FIGURE 5.2
Synchronous clocked sequential circuit

Flip-flop İçeren Zamanlamalı Ardışık Devreler

- Zamanlamalı ardışık devrelerde kullanılan **depolama elemanlarına (bellek) Flip-Flop** denir.
- Bir flip-flop, bir bitlik bilgiyi depolayabilen bir depolama aygıtıdır.
- Kararlı bir durumda, bir flip-flopun çıkışı 0 veya 1'dir.
- Ardışık bir devre, gerektiği kadar bit depolamak için birçok flip-flop kullanabilir.
- Senkronize zamanlamalı ardışık devrenin blok diyagramı Şekil 5.2'de gösterilmiştir.

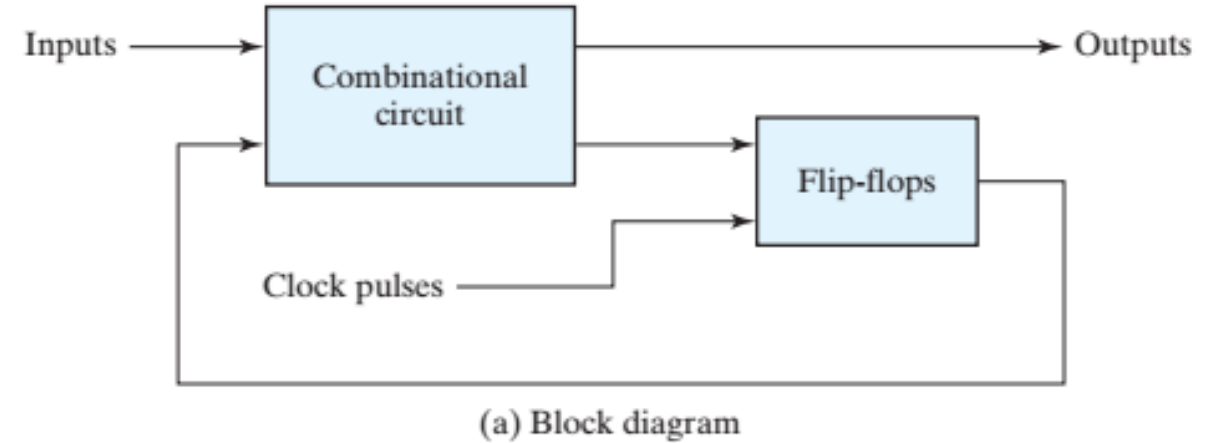
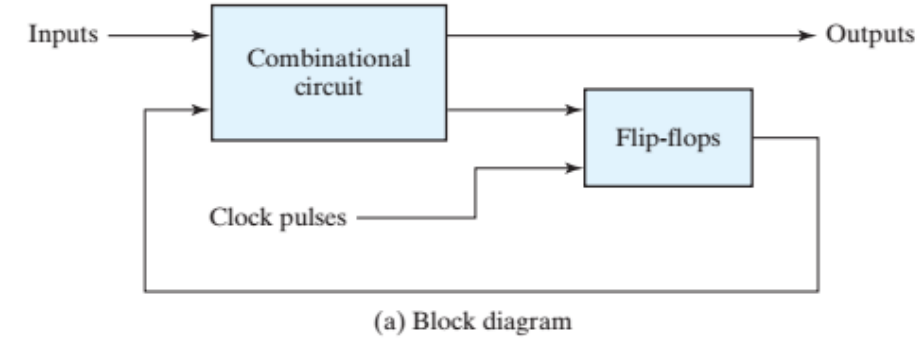


FIGURE 5.2
Synchronous clocked sequential circuit

Flip-flop İçeren Zamanlamalı Ardışık Devreler-devam

- Çıkışlar, devreye girişlerin veya flip-floplarda depolanan değerlerin (veya her ikisinde) bir kombinasyonel mantık fonksiyonu tarafından oluşturulur.
- Saat darbesi oluştuğunda bir flip-flopta saklanan değer, girişler veya flip-flopta halihazırda depolanan değerler (veya her ikisi) tarafından belirlenir.
- Saat sinyalinin bir darbesi ile flip-flop üzerindeki bilgi güncellenir.
- Saat darbeleri, Şekil 5.2'deki zamanlama diyagramında gösterildiği gibi düzenli bir aralığa ulaşırsa, kombinasyonel mantık, bir sonraki darbe gelmeden önce güncellenmek üzere, zaman içinde flip-flop durumundaki bir değişikliğe yanıt vermelidir.

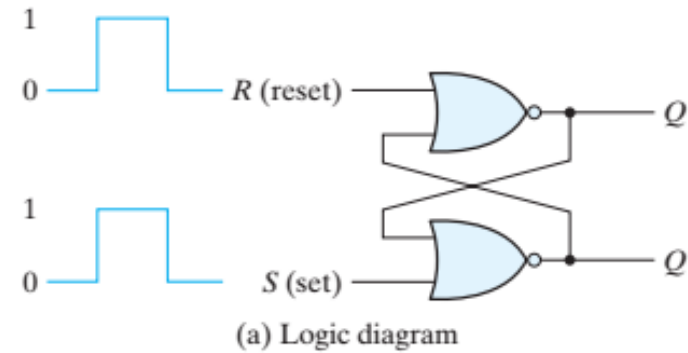


Depolama Elemanları: Flip-Floplar

- Bir sayısal devredeki bir depolama elemanı, durumları değiştirmek için bir giriş sinyali tarafından yönlendirilene kadar ikili bir durumu süresiz olarak koruyabilir.
- Sinyal seviyeleriyle çalışan depolama elemanları saat geçişiyle kontrol edilen flip-floplar’dır.
- Temel flip-flop devreleri NOR veya NAND kapıları kullanılarak tasarlanır.

RS Tipi Flip-Flop

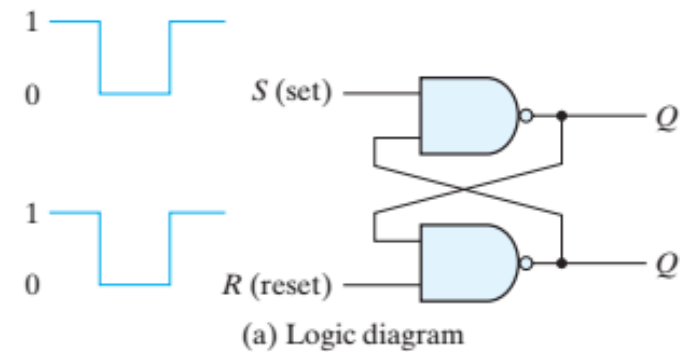
- SR flip-flop, iki çapraz bağlı NOR kapısı veya iki çapraz bağlanmış NAND kapısı ve set için S ve sıfırlama için R olarak etiketlenmiş iki giriş içeren bir devredir.
- Normal koşullar altında, durumun değiştirilmesi gerekmedikçe, flip-flopun her iki girişi de 0'da kalır.
- S girişine anlık 1 uygulanması, flip-flopun ayarlama (set-kurma) durumuna geçmesine neden olur.



S	R	Q	Q'
1	0	1	0
0	0	1	0 (after S = 1, R = 0)
0	1	0	1
0	0	0	1 (after S = 0, R = 1)
1	1	0	0 (forbidden)

(b) Function table

FIGURE 5.3
SR latch with NOR gates



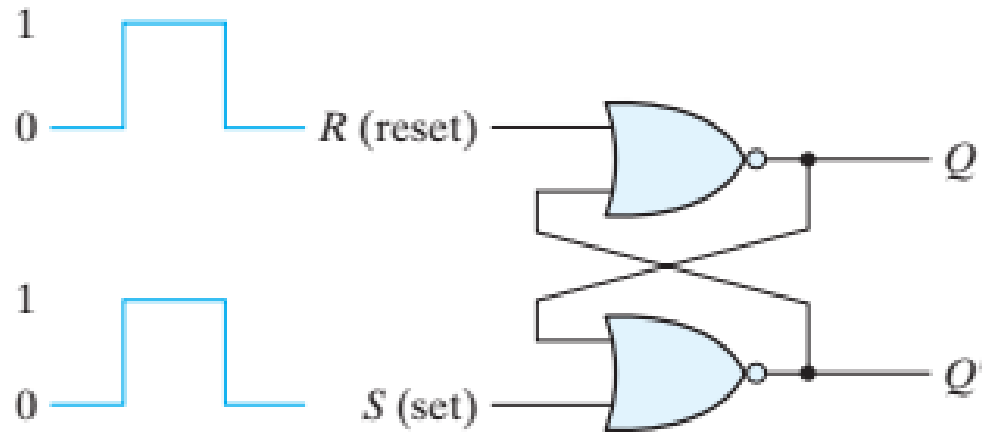
S	R	Q	Q'
1	0	0	1
1	1	0	1 (after $S = 1, R = 0$)
0	1	1	0
1	1	1	0 (after $S = 0, R = 1$)
0	0	1	1 (forbidden)

(b) Function table

FIGURE 5.4
SR latch with NAND gates

NOR kapıları kullanarak RS Flip-Flop

- Normal koşullar altında, durumun değiştirilmesi gerekmedikçe, flip-flopun her iki girişi de 0'da kalır. S girişine anlık 1 uygulanması, flip-flopun ayarlama (set-kurma) durumuna geçmesine neden olur.



(a) Logic diagram

S	R	Q	Q'
1	0	1	0
0	0	1	0 (after $S = 1, R = 0$)
0	1	0	1
0	0	0	1 (after $S = 0, R = 1$)
1	1	0	0 (forbidden)

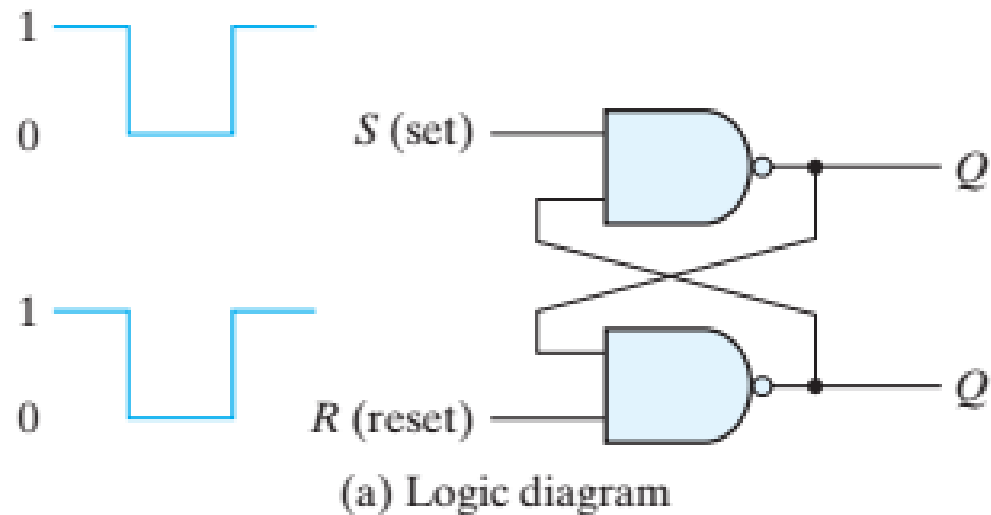
(b) Function table

FIGURE 5.3

SR latch with NOR gates

NAND kapıları kullanarak RS Flip-Flop

- Normal koşullar altında, durumun değiştirilmesi gerekmedikçe, flip-flopun her iki girişi de 0'da kalır. S girişine anlık 1 uygulanması, flip-flopun ayarlama (set-kurma) durumuna geçmesine neden olur.



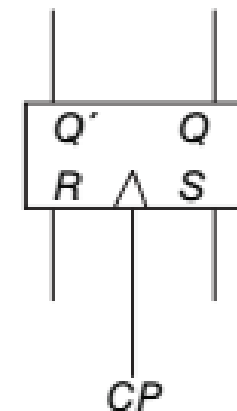
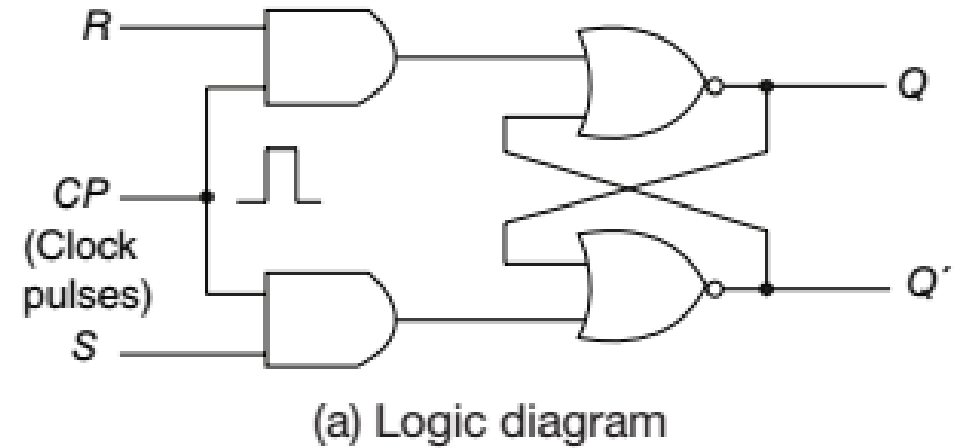
S	R	Q	Q'
1	0	0	1
1	1	0	1 (after $S = 1, R = 0$)
0	1	1	0
1	1	1	0 (after $S = 0, R = 1$)
0	0	1	1 (forbidden)

(b) Function table

FIGURE 5.4
SR latch with NAND gates

RS Flip-Flop

- Flip-flopun hem S hem de R girişlerine 1 uygulanırsa, her iki çıkış da 0'a gider.
- Bu eylem, tanımlanmamış bir sonraki durum oluşturur, çünkü giriş geçişlerinden kaynaklanan durum, bunların 0'a dönme sırasına bağlıdır.
- Ayrıca çıktıların birbirinin tümleyeni olması şartını da ihlal eder.
- Normal çalışmada, bu durum, 1'lerin her iki girişe aynı anda uygulanmadığından önlenir.



RS Flip-Flop Doğruluk Tablosu

Önceki Durum				Sonraki Durum
CP	Q(t)	S	R	Q(t+1)
1	0	0	0	0 (Durum Değiştirmez)
1	0	0	1	0
1	0	1	0	1
1	0	1	1	Tanımsız
1	1	0	0	1 (Durum Değiştirmez)
1	1	0	1	0
1	1	1	0	1
1	1	1	1	Tanımsız

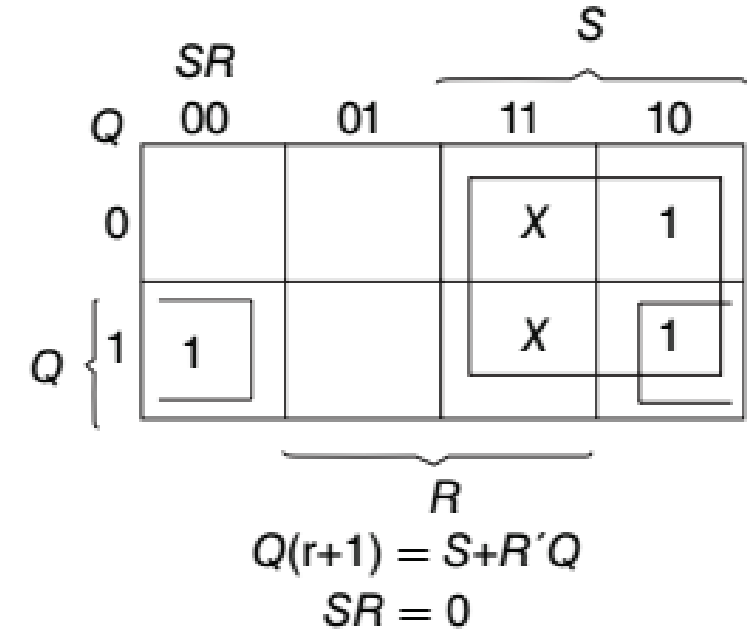
Genel Tablo

Q(t): Önceki Durum, Q(t+1): Sonraki Durum

Q(t)	Q(t+1)	R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X

RS Flip-Flop Doğruluk Tablosu

Önceki Durum				Sonraki Durum
CP	Q(t)	S	R	Q(t+1)
1	0	0	0	0 (Durum Değiştirmez)
1	0	0	1	0
1	0	1	0	1
1	0	1	1	Tanımsız
1	1	0	0	1 (Durum Değiştirmez)
1	1	0	1	0
1	1	1	0	1
1	1	1	1	Tanımsız



(d) Characteristic equation