EHM2141 LOJİK DEVRELER

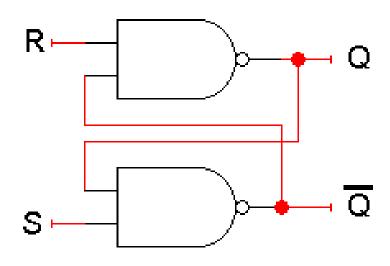
2024-2025 BAHAR DÖNEMİ

HAFTA 9 – DERS 2

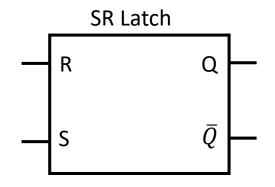
17 Nisan 2025

Dr. Sibel ÇİMEN

SR Latch

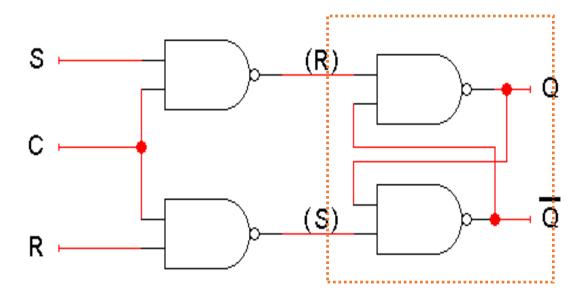


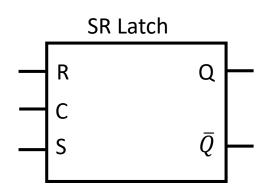
Girişler		Şimdiki Durum	Gelecek Durum		
R	5	Q(n)	Q(n+1)	Q'(n+1)	
0	0	0	1	1	Kullanılmaz
0	0	1	1	1	
0	1	0	1	0	Set
0	1	1	1	0	
1	0	0	0	1	Reset
1	0	1	0	1	
1	1	0	0	1	Saklama
1	1	1	1	0	



R	5	Q(n+1)
0	0	Kullanılmaz
1	0	1 (set)
0	1	0 (reset)
1	1	Q(n) Saklama

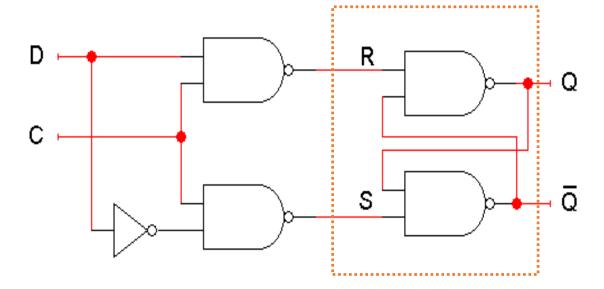
SR Latch



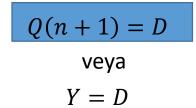


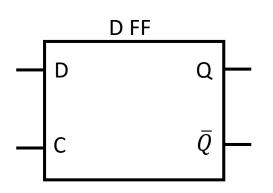
С	S	R	Q(n)	Q(n+1)	
0	×	×	0	0	No change
0	×	×	1	1	(Saklama)
1	0	0	0	0	Saklama
1	0	0	1	1	
1	0	1	0	0	reset
1	0	1	1	0	
1	1	0	0	1	set
1	1	0	1	1	
1	1	1	0	1	Kullanılmaz
1	1	1	1	1	

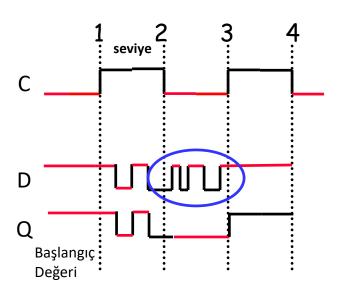
D Flip-Flop (Seviye Tetiklemeli)



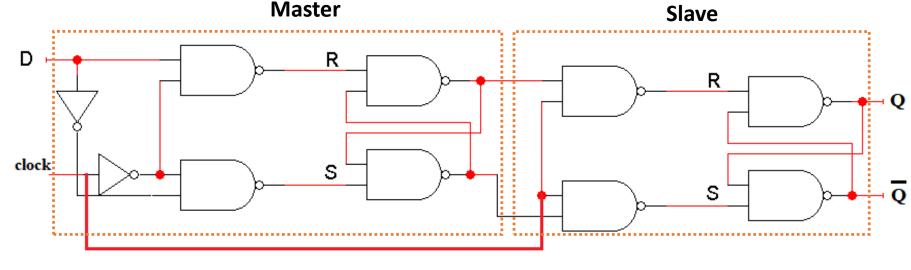
С	D	Q(n+1)		
0	X	Q(n)		
1	0	0		
1	1	1		







D Flip-Flop (Kenar Tetiklemeli)



C = 0 ise:

- master latch enable olur. Ve master latch in çıkışı flip-flop'un D girişini gösterir. Eğer D değişirse master'ın çıkışı da değişir.
- slave latch disable olur.

 Dolayısıyla, D latch'in çıkışı onu etkilemez. Bu durumda slave latch in çıkışı dolayısıyla da flipflop'un çıkışı flip-flop'un şimdiki durumunu gösterir.

Karakteristik Tablosu

D	Q	_
 >	Q	p—

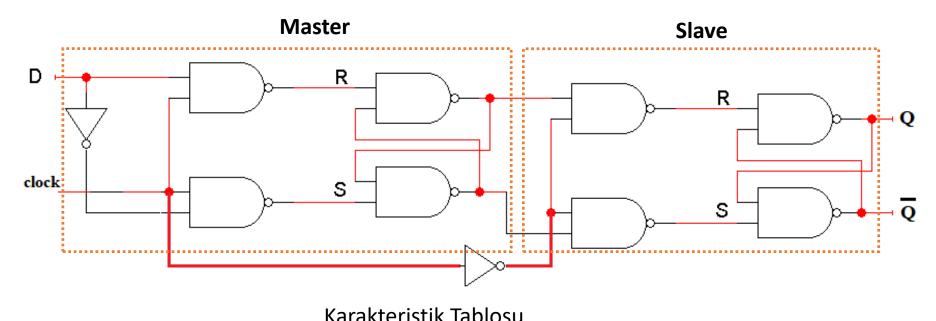
Pozitif kenar (yükselen kenar) tetiklemeli D Flip-Flop

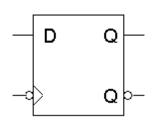
clk	D	Q(n+1)
†	0	0
†	1	1

Ardından C = 1 olurolmaz, (hatta saatin yükselen kenarında)

- ❖ Master disable olur. Çıkışı da C=1 olmadan önceki son D giriş değeri olarak kalır.
- ❖ Disable olduğu için D girişinde olacak olan değişiklikler C = 1 olduğu sürece master latchi etkilemez.
- Slave enable olur. S ve R nin değerine göre slave in çıkışı ve dolayısıyla da flipflop'un çıkışı belirlenir.

D Flip-Flop (Kenar Tetiklemeli)

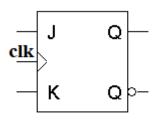




- Nai a	Rafakteristik Tabiosa					
clk	٥	Q(n+1)				
+	0	0				
↓	1	1				

Negatif kenar tetiklemeli D Flip-Flop

JK Flip-Flop

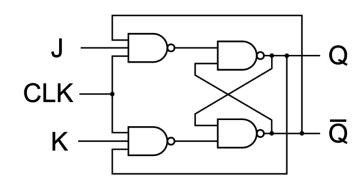


Karakteristik Tablosu

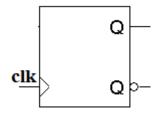
clk	J	K	Q(n+1)		
0	X	X	Q(n)		
1	X	X	Q(n)		
1	0	0	Q(n) (Saklama)		
1	0	1	0 (reset)		
 	1	0	1 (set)		
<u> </u>	1	1	Q'(n)		

$$Q(n+1) = J.\overline{Q(n)} + \overline{K}.Q(n)$$
 veya

$$Y = J.\,\bar{y} + \overline{K}.\,y$$



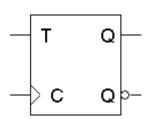
T Flip-Flop



Kara	kte	ricti	k Tab	losu
Naia	KLE	บระเท	KIAD	เบรน

clk	Q(n+1)		
0	Q(n)		
1	Q(n)		
†	Q'(n)		

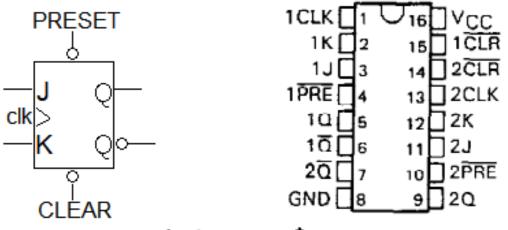
$$Q(n+1) = \overline{Q(n)}$$



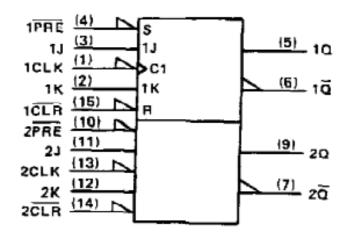
clk T		Q(n+1)		
0	X	Q(n)		
†	0	Q(n)		
↑	1	Q'(n)		

$$Q(n+1) = T.\overline{Q(n)} + \overline{T}.Q(n)$$

74LS112- (Dual JK Flip-Flop)



lagic symbol*

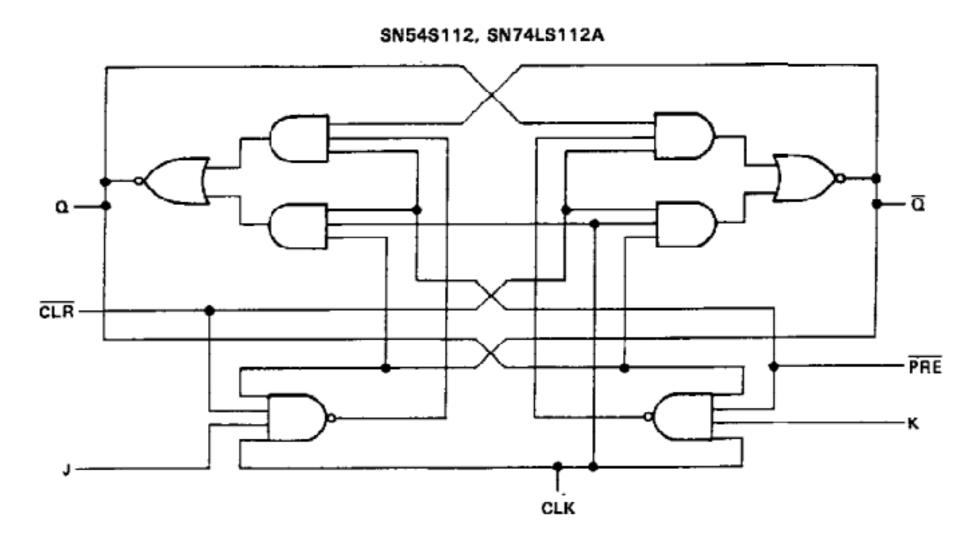


FUNCTION TABLE (each flip-flop)

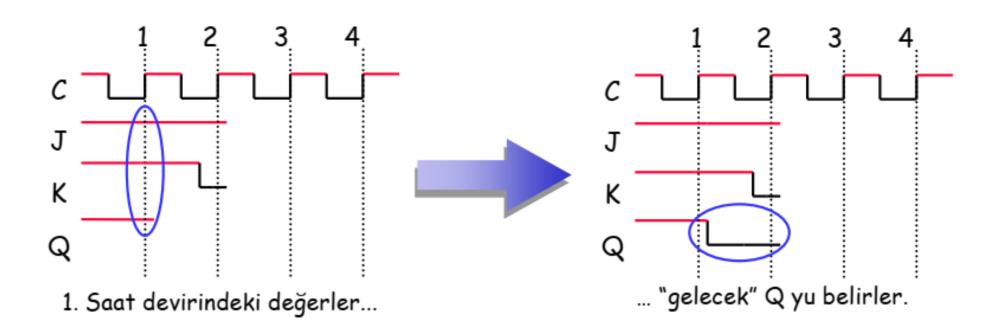
	ı <u>N</u>	ไอบท	PUTS			
PRE	RE CLK CLK J K				a	ā
L	н	×	X	×	н	L
н	L	×	Х	X	Ļ	Н
L	L	x	X	X	Нţ	H [†]
н	Н	1	L	L.	Ω0	\overline{a}^{0}
Н	Н	1	Н	L	Н	L
н	H	1	L	Н	L	н
н	H 1		н	н	TOG	GLE
н	_ H	<u>H</u>	X	х	_0O_	₫ο

[‡]This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

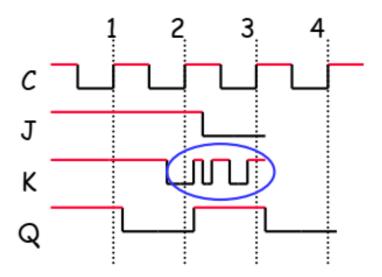
74LS112- (Dual JK Flip-Flop)



- JK flip-flop zamanlama diyagramı örneği: 1. pozitif saat kenarında J=1, K=1 ve
 Q(1) = 1. O halde gelecek durum Q(2) = Q(1)' = 0 oluyor.
- Q(2) 1. pozitif saat kenarının hemen ardından 0 değerini alır. Artık bu değer şimdiki durumdur ve 2. pozitif saat kenarına kadar değişmez.



- Eğer flip-flop pozitif kenar tetiklemeli ise, çıkışlar sadece girişlerin pozitif kenardaki değerlerine göre değişir. Aşağıdaki diyagramda bu konu incelenmektedir:
 - K ikinci ve üçüncü pozitif kenarlar arasında birden fazla kere değişmektedir.
 - Ancak, K'daki bu değişimden bağımsız olarak, üçüncü pozitif kenardaki giriş değerleri olan K=1, J=0 ve Q=1 değerleri bir sonraki durumu etkileyecek ve Q nun değeri 0'a değişecektir.



 Saat çıkışı sürekli olarak belirli bir periyot ile 0 ve 1 arasında değişen özel bir devre elemanıdır.



- Saat'in 1'den 0'a değişmesi ile başlayan ve tekrar 1 oluncaya kadar geçen süreye saat periyotu, veya saat devir süresi denilir.
- Saat frekansı saat periyotunun tersidir. Birimi ise hertz dir.
- Saatler genellikle devrelerin senkronizasyonu için kullanılır. Devrelerde belli işlemlerin başlaması için tetikleme amaçlı kullanılırlar. Örneğin, latch'e yazma işlemi gibi.
- Birden fazla devre aynı saati kullanırsa senkronizasyon sağlanmış olur. Bu, insanların senkronizasyon için saat kullanmalarına benzer bir durumdur.
- Saat, belleğe yazacağımız zamanı bildirir.
- Flip-flop ise, kesin olarak belirlenen zamanda belleğe yazma işlemini gerçekleştirmeyi sağlar.
- Bu ikisi birlikte kullanılırsa, bellek zamanlaması problemini göz ardı ederek devrelerimizi tasarlayabiliriz.

REFERANSLAR:

- 1. 'Lojik Devreler', Tuncay UZUN Ders Notları, http://tuncayuzun.com/Dersnot_LDT.htm, 2020.
- 2. 'Lojik Devre Tasarımı', Taner ASLAN ve Rifat ÇÖLKESEN, Papatya Yayıncılık, 2013.
- 3. M. Morris Mano, Sayısal Tasarım (Çeviri), Literatür Yayıncılık: İstanbul, 2003.