

Relatório — JTAG e SWD com J-Link v9 no STM32F072RB

Bernardo Farinon

1 Introdução

Este relatório apresenta um estudo teórico e prático sobre o funcionamento do padrão **JTAG** (IEEE 1149.1) e sua alternativa **SWD** (Serial Wire Debug), amplamente utilizada em microcontroladores ARM.

O trabalho inclui:

- uma explicação detalhada da arquitetura interna do JTAG, seus registradores e sinais de operação;
- uma análise conceitual do SWD e suas diferenças em relação ao JTAG;
- uma demonstração prática utilizando um **J-Link v9** conectado à placa **STM32F072RB**, explorando leitura de registradores, controle da execução e manipulação da memória.

2 Motivação para JTAG

A complexidade crescente dos circuitos integrados tornou extremamente difícil a inspeção física com sondas tradicionais, devido ao grande número de pinos e às interconexões internas não acessíveis externamente. Isso motivou a criação de um padrão capaz de:

- testar interconexões internas sem acesso físico;
- verificar soldas e continuidade em placas complexas;
- depurar sistemas embarcados sem interferir no funcionamento da CPU;
- padronizar o acesso a dispositivos durante testes de fábrica.

Assim surgiu o **JTAG — Joint Test Action Group**, oferecendo um mecanismo de acesso eletrônico interno ao chip para fins de teste e depuração.

3 Arquitetura e Funcionamento do JTAG

A interface JTAG utiliza 4–5 sinais externos (TCK, TMS, TDI, TDO e TRST) e controla uma estrutura interna composta por registradores de instrução, registradores de dados e uma máquina de estados denominada **TAP Controller**. A Figura 1 ilustra essa arquitetura integrada ao chip.

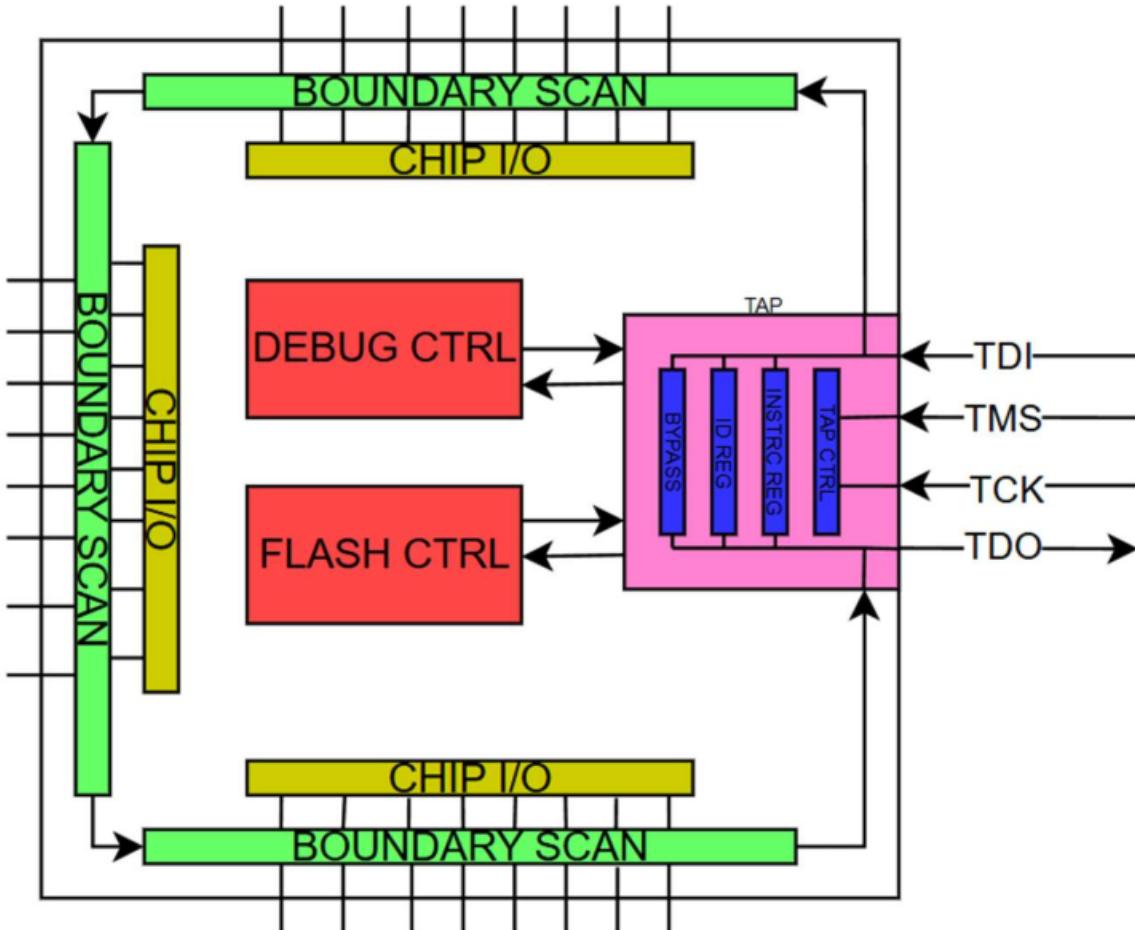


Figure 1: Arquitetura interna do JTAG no chip

3.1 Descrição da Figura

Na imagem apresentada:

- As regiões em **verde** representam o **Boundary Scan**, composto por várias Boundary Scan Cells conectadas em série ao redor dos pinos físicos do chip. Esse conjunto forma o *Boundary Scan Register*, utilizado para teste físico de placas.
- As regiões em **vermelho** (“Debug CTRL” e “Flash CTRL”) correspondem a módulos internos da CPU que podem ser acessados via JTAG, dependendo da implementação. Esses blocos permitem depuração e programação da memória Flash.

- A região em **rosa** representa o **TAP** (Test Access Port), contendo:
 - o **TAP Controller** (máquina de estados controlada por TMS);
 - o **Instruction Register (IR)**;
 - os **Data Registers (DR)**, como BYPASS, IDCODE e o próprio Boundary Scan.

O TAP atua como “roteador” interno, conectando o caminho **TDI → IR/DR → TDO** conforme a instrução selecionada.

3.2 Sinais JTAG

- **TCK**: clock da interface.
- **TMS**: controla as transições da máquina de estados.
- **TDI**: entrada serial de instruções e dados.
- **TDO**: saída serial de instruções e dados.
- **TRST** (opcional): reset assíncrono do TAP.

3.3 TAP Controller

O **TAP Controller** é uma máquina de estados síncrona que coordena todo o fluxo de operação. Ele controla:

- o carregamento de instruções no IR;
- a seleção dos Data Registers;
- captura e atualização de valores;
- habilitação das operações de boundary scan.

3.4 Instruction Register (IR)

O IR define qual **Data Register (DR)** participará da scan-chain. Exemplos de instruções:

- **IDCODE**: retorna o identificador do chip;
- **BYPASS**: reduz a cadeia para 1 bit, útil em cadeias multiprocessadas;
- **EXTEST / SAMPLE**: utilizam o Boundary Scan.

3.5 Boundary Scan

As células de boundary scan são inseridas entre o pino físico e a lógica interna do chip. Elas permitem:

- Capturar estados dos pinos sem interrupção do funcionamento normal;
- Injetar valores para teste de trilhas e conexões externas;
- Testar placas com encapsulamentos BGA, onde sondagem física é inviável.

Esse mecanismo é fundamental em **DFT — Design for Testability**.

4 SWD: Diferenças e Funcionamento

O **Serial Wire Debug (SWD)** é uma alternativa desenvolvida pela ARM para substituir o JTAG em microcontroladores Cortex. Enquanto o JTAG possui foco em testabilidade e depuração, o SWD concentra-se exclusivamente na depuração da CPU.

4.1 Características do SWD

- Utiliza apenas **dois fios**: SWCLK e SWDIO.
- Mantém as mesmas capacidades de depuração do JTAG.
- Permite leitura/escrita de registradores, memória e periféricos.
- Permite controle total da CPU: breakpoints, *halt*, *step*, *reset*.
- Não possui boundary scan.

5 Aplicação prática do SWD com J-Link v9 no STM32F072RB

A seguir apresenta-se a demonstração prática utilizando o J-Link v9 e o microcontrolador STM32F072RB.

5.1 Pinout JTAG do J-Link v9

Vref	3.3		1		2		Vref	3.3
nTRST	---		3		4		GND	
TDI	---		5		6		GND	
RMS	SWIO		7		8		GND	
TCK	SWCK		9		10		GND	
RTCK	---		11		12		GND	

TDO	SWO	13		14	GND
RESET		15		16	GND
DBGRO	---	17		18	GND
5v supply		19		20	GND

5.2 Pinout SWD da placa STM32 (CN4)

Nucleo CN4	J-Link/SWD
Pin 2 (TCK)	<--> Pin 9 (SWCLK / TCK)
Pin 3 (GND)	<--> Pin 4 (GND)
Pin 4 (TMS)	<--> Pin 7 (SWDIO / TMS)
Pin 5 (NRST)	<--> Pin 15 (nRST)
Pin 6 (SWO)	<--> Pin 13 (SWO / TDO)
Vdd	<--> Pin 1 (VTref)

5.3 Configuração do J-Link

```
JLinkExe
Device> STM32F072RB
TIF> S
Speed> 4000
```

5.4 Identificação do núcleo ARM

```
mem32 0xE000ED00 1
E000ED00 = 410CC200
```

Saida:

- 0x41 → ARM
- 0x0C → Cortex-M0
- 0xC2 → Revisao
- 0x00 → Variante

5.5 Status do módulo de debug (DHCSR)

```
halt
mem32 0xE000EDF0 -> 00030003
```

```
go
mem32 0xE000EDF0 -> 01000001
```

5.6 Tamanho da Flash

```
mem32 0xFFFFF7CC 1  
1FFFF7CC = FFFF0080
```

Saida:

- Bits superiores: reservados
- Bits 15:0 = 0x0080 = **128 KB**

5.7 Unique ID

```
mem32 0x1FFFF7AC 3  
1FFFF7AC = 003B004D 53465710 20343231
```

5.8 Leitura de registradores da CPU

```
regs  
PC, LR, SP, R0..R12, XPSR...
```

5.9 Leitura da RAM

```
mem32 0x20001000 1  
20001000 = 12345BD8
```

5.10 Pausa da CPU

```
halt  
20001000 = 12345BFA  
20001000 = 12345BFA
```

5.11 Escrita manual na RAM

```
w4 0x20001000 00000000  
20001000 = 00000000
```

6 Conclusão

O JTAG permanece essencial para testabilidade estrutural, principalmente pelo uso do boundary scan. O SWD, por outro lado, simplifica a depuração de microcontroladores ARM ao reduzir o número de pinos, mantendo as mesmas capacidades de acesso ao núcleo.

O trabalho integra conceitos de DFT, depuração moderna e uso real de ferramentas profissionais como o J-Link v9, consolidando teoria e prática de maneira eficiente.