

EsD1: Caratterizzazione di porte logiche e semplici circuiti logici.

Gruppo 1.AC
Matteo Rossi, Bernardo Tomelleri
7 aprile 2022

Misura componenti dei circuiti

Resistenze [Ω]	R	σR
R_{pot1}	9.53 k	0.08 k
R_{pot2}	9.78 k	0.08 k

Tabella 1: Valori di resistenza misurati per i componenti passivi dei circuiti studiati.

Riportiamo per completezza anche il valore della tensione continua di alimentazione per i circuiti integrati misurata con il multmetro

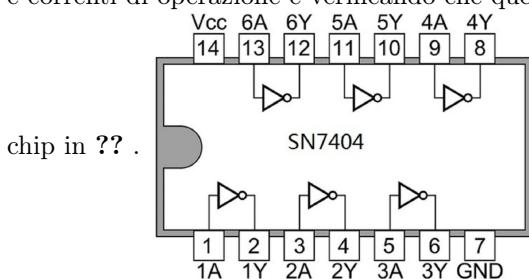
$$V_{CC} = 4.99 \pm 0.03V$$

Nota sul metodo di fit

Per determinare i parametri ottimali e le rispettive covarianze si è implementato in Python un algoritmo di fit basato sui minimi quadrati mediante la funzione *curve_fit* della libreria SciPy.

Parte A: Caratteristiche fisiche delle porte logiche

Si studia il comportamento delle porte NOT TTL contenute nel circuito integrato SN7404 misurando le tensioni e correnti di operazione e verificando che queste rientrino nelle specifiche tecniche riportate nel Data-Sheet del



1 Tensioni di operazione

Per prima cosa misuriamo i valori delle tensioni di soglia in ingresso e in uscita (e verifichiamo che rispettino le specifiche di buon funzionamento del DS) da cui è possibile ottenere una misura del Noise Margin delle porte.

Dalle specifiche del DS si ha che i valori attesi sono: (riportati in tabella 2)

in cui V_O e V_I sono definite come le tensioni in uscita e in ingresso dalla porta logica (le altre diciture indicano se la grandezza a cui facciamo riferimento corrisponde a uno stato logico alto (H) o basso (L) e quali sono i massimi o minimi valori garantiti dal costruttore).

Parameter	min	typ	max	[Unit]
V_{CC}			7	V
V_I			5.5	V
V_{OH}	2.4	3.4		V
V_{OL}		0.2	0.4	V
V_{IH}	2			V
V_{IL}			0.8	V
I_{IH}			40	μA
I_{OH}			-0.4	mA

Tabella 2: Valori delle tensioni e correnti di operazione indicati sul datasheet dell'integrato SN7404.

1.a Misura delle tensioni di soglia dal grafico $V_{out}(V_{in})$

Generiamo una rampa di tensione compresa tra 0-5 V e la inviamo all'ingresso di una porta NOT per osservare i segnali generati in uscita, così da ottenere un grafico di V_{out} in funzione di V_{in} .

Abbiamo quindi utilizzato i cursori per misurare V_{OH} e V_{OL} , cioè la tensione che raggiunge l'uscita in saturazione per valore logico H e L rispettivamente, mentre per misurare V_{IL} e V_{IH} abbiamo misurato le tensioni in ingresso per cui inizia e finisce la commutazione dell'uscita secondo lo schema in fig. 1:

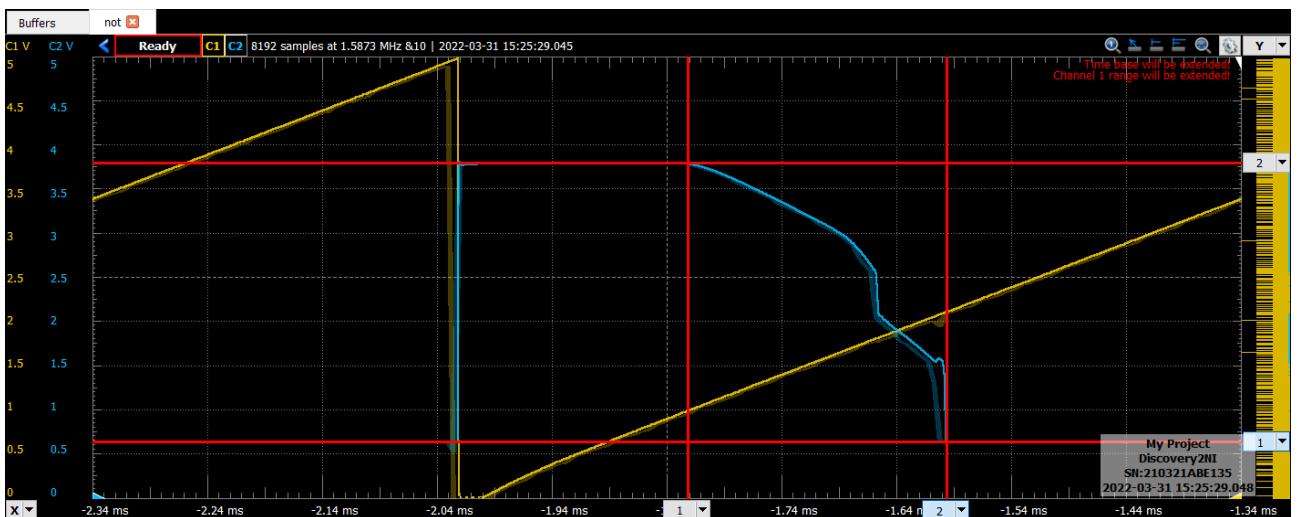


Figura 1: Schema di come sono stati utilizzati i cursori per misurare le tensioni V_{OH} , V_{OL} (cursori orizzontali) e V_{IH} , V_{IL} (aiutandosi con i cursori verticali a individuare la fase di transizione H->L)

$$\begin{aligned} V_{OH} &= 3.78 \pm 0.03 \text{ V} \\ V_{OL} &= 632 \pm 4 \text{ mV} \\ V_{IH} &= 2.10 \pm 0.02 \text{ V} \\ V_{IL} &= 979 \pm 9 \text{ mV} \end{aligned}$$

$$\begin{aligned} V_{OH} &= 3.76 \pm 0.03 \text{ V} \\ V_{OL} &= 341 \pm 3 \text{ mV} \\ V_{IH} &= 1.81 \pm 0.02 \text{ V} \\ V_{IL} &= 772 \pm 8 \text{ mV} \end{aligned}$$

Sempre con i cursori abbiamo misurato $V_{OH,\min}$ dato che il valore minimo per lo stato alto dell'uscita risultava più basso di quanto misurato prima; di conseguenza abbiamo spostato il cursore nel punto in cui la tensione in uscita cambia in maniera più repentina: Successivamente si sono utilizzati gli altri valori presi in precedenza per completare le misure. Per il primo integrato:

$$\begin{aligned} V_{OH,\min} &= 2.53 \pm 0.03 \text{ V} \\ V_{IH,\min} &= 2.10 \pm 0.02 \text{ V} \end{aligned}$$

$$\begin{aligned} V_{IL,\max} &= 979 \pm 9 \text{ mV} \\ V_{OL,\max} &= 632 \pm 4 \text{ mV} \end{aligned}$$

mentre per il secondo:

$$\begin{aligned} V_{OH,\min} &= 2.40 \pm 0.03 \text{ V} \\ V_{IH,\min} &= 1.81 \pm 0.02 \text{ V} \end{aligned}$$

$$\begin{aligned} V_{IL,\max} &= 772 \pm 8 \text{ mV} \\ V_{OL,\max} &= 341 \pm 3 \text{ mV} \end{aligned}$$

Da cui troviamo le nostre stime dei valori delle soglie di rumore (Noise Margin High e Low) per le porte NOT studiate, definite come

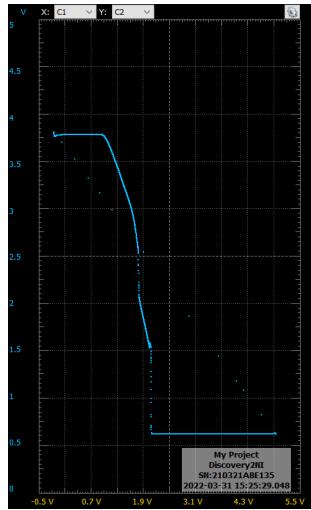


Figura 2: Grafico XY di V_{out} in funzione di V_{in}

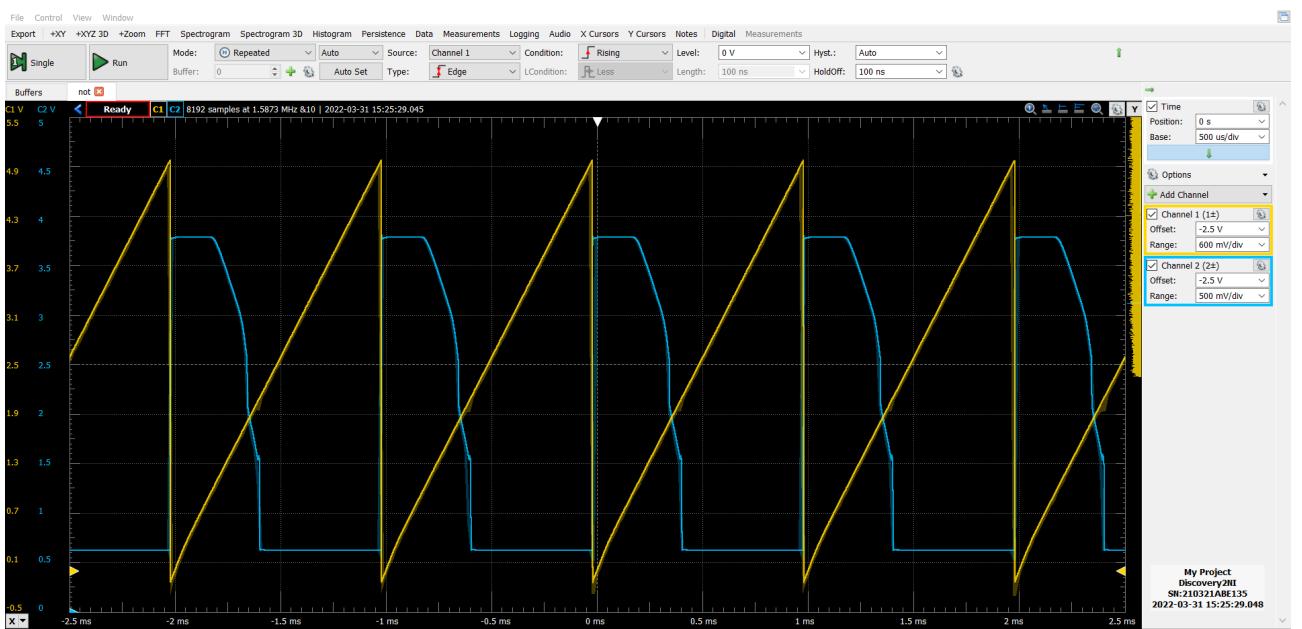


Figura 3: Grafico in funzione del tempo di V_{in} (in giallo, una rampa da 0 a 5 V di frequenza pari a 1 kHz) e V_{out} (in blu)

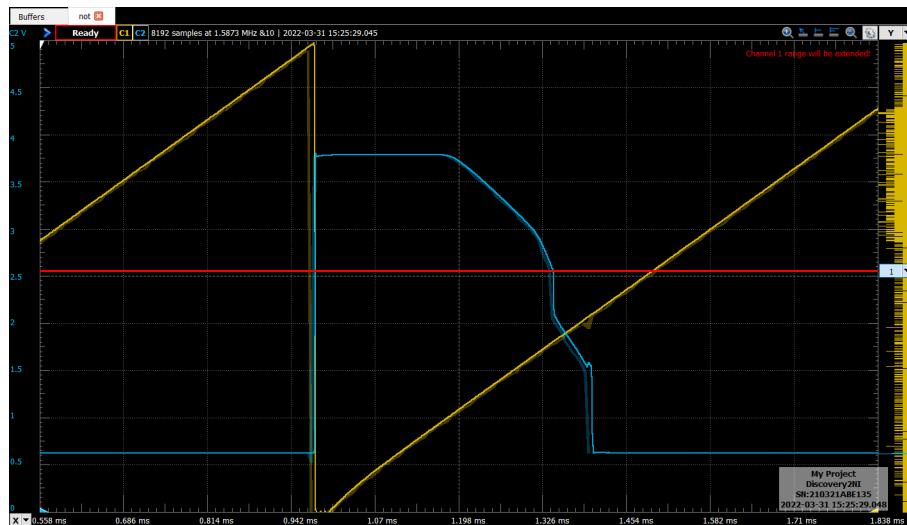


Figura 4: Schema di come è stata presa la misura di $V_{OH,min}$ tramite l'utilizzo dei cursori: è stato scelto come valore minimo la tensione dell'uscita subito prima del primo cambio repentino.

$$NM_H = V_{OH,min} - V_{IH,min} = (0.43 \pm 0.04) \text{ V} \\ = (0.60 \pm 0.03) \text{ V}$$

$$NM_L = V_{IL,max} - V_{OL,max} = (0.35 \pm 0.02) \text{ V} \\ = (0.43 \pm 0.02) \text{ V}$$

1.b Valori attesi per le soglie di rumore

Estrapolando i corrispettivi valori dal datasheet, e assumendo che ogni porta logica abbia i medesimi parametri delle altre presenti nello stesso integrato possiamo allora ricavare i valori attesi dei Noise Margin High e Low:

$$NM_H = 2.4 - 2 = 0.4 \text{ V} \\ NM_L = 0.8 - 0.4 = 0.4 \text{ V}$$

1.c Confronto dei risultati

Le nostre misure risultano compatibili con le aspettative entro gli intervalli ammessi dal datasheet per il buon funzionamento del componente, dunque anche le grandezze derivate risultano in accordo con le aspettative.

2 Misura (statica) del Fan-out

Chiamiamo Fan-Out il massimo numero di porte che una singola porta è in grado di pilotare rimanendo entro le specifiche di funzionamento del datasheet, lo si è definito come

$$FO = \left| \frac{I_{IH,max}}{I_{OH,max}} \right|$$

2.a Misura della corrente in ingresso alla porta NOT nello stato alto

Misuriamo la corrente $I_{IH,max}$ per entrambi gli integrati collegando l'amperometro in serie tra l'ingresso della porta logica e l'uscita del canale WaveGen1 dell'AD2, quindi generando in questo canale una tensione continua di livello alto pari a 5 V, da cui si trova

$$I_{IH,1} = 16 \pm 1 \mu\text{A} \\ I_{IH,2} = 10 \pm 1 \mu\text{A}$$

Che risultano essere compatibili entro i limiti del datasheet.

2.b Misura della corrente in uscita dalla porta NOT per VOH tipico

Successivamente abbiamo inviato all'ingresso della porta un segnale DC a 0 V (sempre utilizzando il canale WG1) e abbiamo inserito un potenziometro da 10 kΩ in serie all'uscita di questa per misurare la corrente che scorre attraverso questa “resistenza di carico” regolabile in modo da avere quando una tensione in uscita dalla porta corrispondente al valore tipico di $V_{OH} = 3.40 \pm 0.03$ V.

$$I_{OH,1} = 495 \pm 4 \mu\text{A} \\ I_{OH,2} = 315 \pm 3 \mu\text{A}$$

2.c Misura della corrente in uscita dalla porta NOT per VOH tipico

2.d Misura indiretta del fan-out

Dalle misure di corrente sui due integrati ricaviamo finalmente che:

$$FO_1 = 31 \pm 2 \\ FO_2 = 32 \pm 3$$

2.e Valore del fan-out atteso e confronto

Dalle specifiche del DS elencate sopra in 2 risulta che

$$\begin{aligned} I_{IH,\max} &= -0.4 \text{ mA} \\ I_{OH,\max} &= 40 \mu\text{A} \\ FO &= 10 \end{aligned}$$

I valori da noi trovati risultano sensibilmente più alti delle aspettative e non compatibili con queste, ma perlomeno rimangono compatibili tra di loro.

3 Tempi di propagazione

Vogliamo ora misurare i tempi di propagazione della porta logica NOT osservando (tramite un oscilloscopio da banco) l'andamento nel tempo dei segnali nei pin di ingresso uscita della porta durante le transizioni di stato per poi paragonarli ai valori riportati sul datasheet in analogia a quanto fatto finora.

3.a Definizione e valori attesi dei tempi di propagazione

Dal datasheet TI fornito le misure di tempi di propagazione per la commutazione dell'uscita tra gli stati alto->basso t_{PHL} e basso->alto t_{PLH} sono definite come l'intervallo di tempo tra il passaggio della forma d'onda in ingresso e di quella in uscita dal livello di tensione iniziale al punto medio tra lo stato iniziale e finale, secondo lo schema in

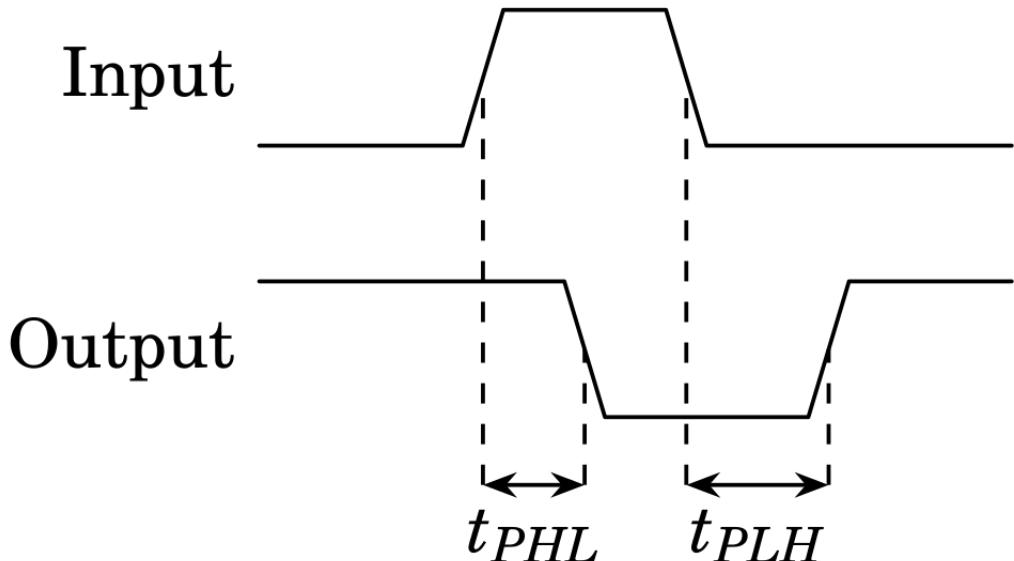


Figura 5: Diagramma dei tempi di propagazione per una porta NOT

Prendiamo quindi come definizione di tempo di propagazione il lasso di tempo che trascorre tra quando V_{in} diventa pari a $V_{I,med}$ e V_{out} diventa pari al suo $V_{O,med}$, dove i valori medi tra stato basso e stato alto rispettivamente per l'ingresso e per l'uscita sono definiti intuitivamente dalle formule

$$\begin{aligned} V_{O,med} &= \frac{V_{OH} + V_{OL}}{2} \\ V_{I,med} &= \frac{V_{IH} + V_{IL}}{2} \end{aligned}$$

Dal datasheet si ricavano come tempi di propagazione attesi:

$$\begin{aligned} t_{PHL,max} &= 22 \text{ ns} \\ t_{PLH,max} &= 15 \text{ ns} \end{aligned}$$

3.b Misura dei tempi con l'oscilloscopio

Come visto anche nella sezione 1, inviando in ingresso un'onda quadra compresa tra 0 e 5 V, all'uscita della porta troviamo la stessa onda compresa tra $V_{OH} \approx 3.6$ V e $V_{OL} \approx 0.3$ V; infatti misurando con i cursori e con l'oscilloscopio troviamo come

$$V_{O,\text{med}} = 1.95 \pm 0.02$$

$$V_{I,\text{med}} = 2.50 \pm 0.03$$

Quindi, una volta collegati i due canali all'ingresso (CH1) e all'uscita (CH2) del not gate, abbiamo scelto come evento di trigger il passaggio del segnale di ingresso per $V_{I,\text{med}}$, abbiamo dunque cambiato il fronte tra salita/discesa per scegliere se misurare il tempo di propagazione H->L o L->H.

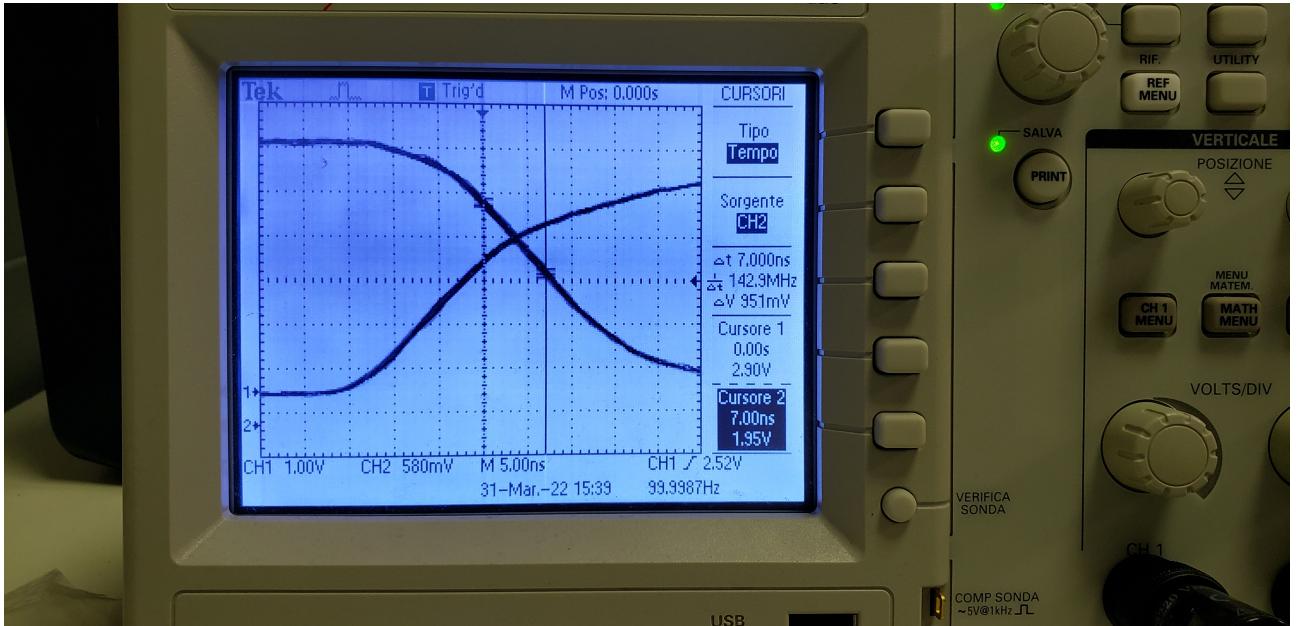


Figura 6: Acquisizione tramite oscilloscopio digitale della transizione da L a H per il primo integrato

Dalla misura fatta con i cursori sull'oscilloscopio si ricava

$$t_{PLH} = 5.2 \pm 0.2 \text{ ns}$$

$$t_{PHL} = 25.0 \pm 0.2 \text{ ns}$$

$$t_{PLH} = 7.0 \pm 0.2 \text{ ns}$$

$$t_{PHL} = 22.0 \pm 0.2 \text{ ns}$$

3.c Confronto con i valori attesi

Dobbiamo però constatare la presenza di capacità parassite presenti nelle basette e circuito, infatti aumentando la scala dei tempi ci rendiamo conto che tutti i grafici prodotti dall'oscilloscopio rispecchiano qualitativamente il grafico della carica e scarica del condensatore (figura sezione 3.c); per questo motivo si sono ottenuti in alcuni casi dei tempi di propagazione poco più alti delle aspettative, per cui non abbiamo ragione di credere che le nostre misure non siano compatibili con le aspettative. Possiamo quindi concludere che le misure sono in linea con quanto dichiarato nel datasheet.

Parte B: Circuiti logici elementari con sole porte NAND

La caratteristica più fondamentale delle porte NAND è la loro universalità, infatti è possibile realizzare qualsiasi tipo di circuito logico tramite combinazione di sole porte NAND (o NOR). In questa parte intendiamo costruire e verificare il funzionamento di circuiti equivalenti a porte OR, XOR e multiplexer a partire da soli chip NAND SN74LS00.

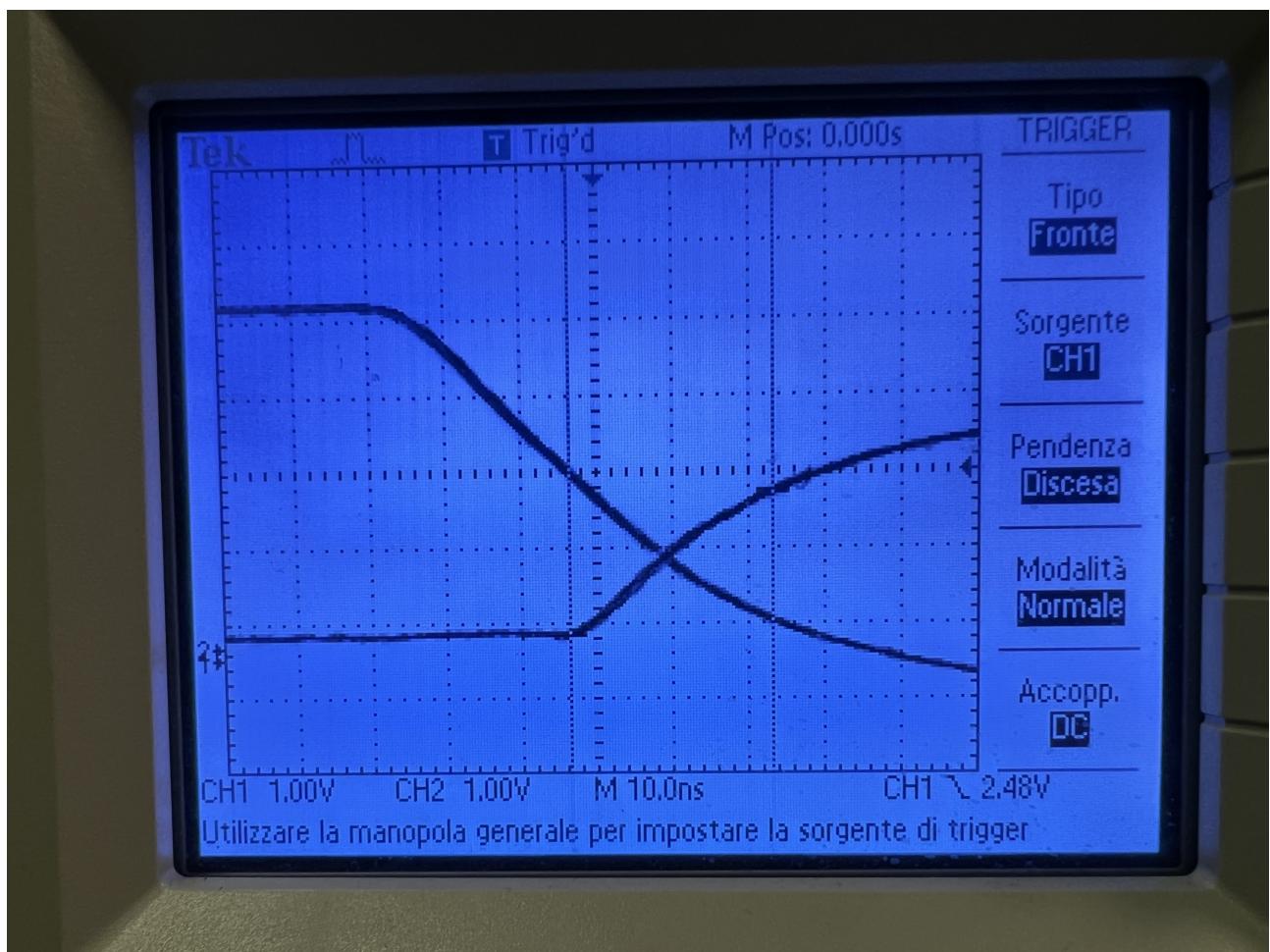


Figura 7: Acquisizione tramite oscilloscopio digitale della transizione da L a H per il secondo integrato

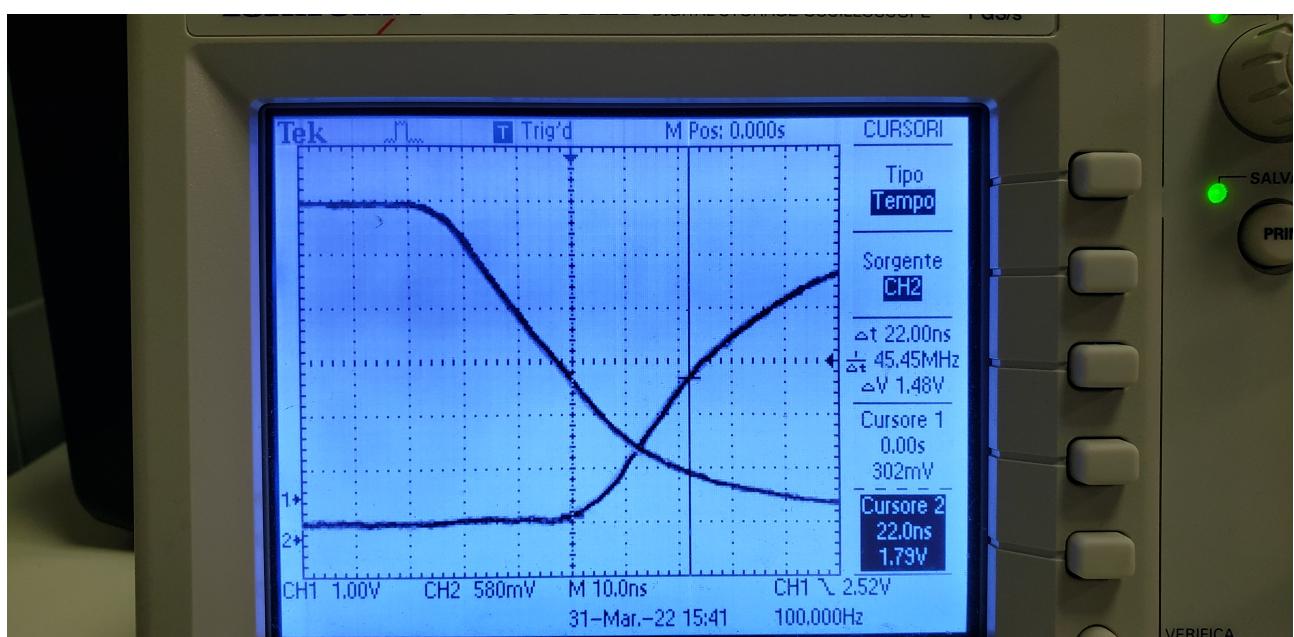


Figura 8: Acquisizione tramite oscilloscopio digitale della transizione da H a L per il primo integrato

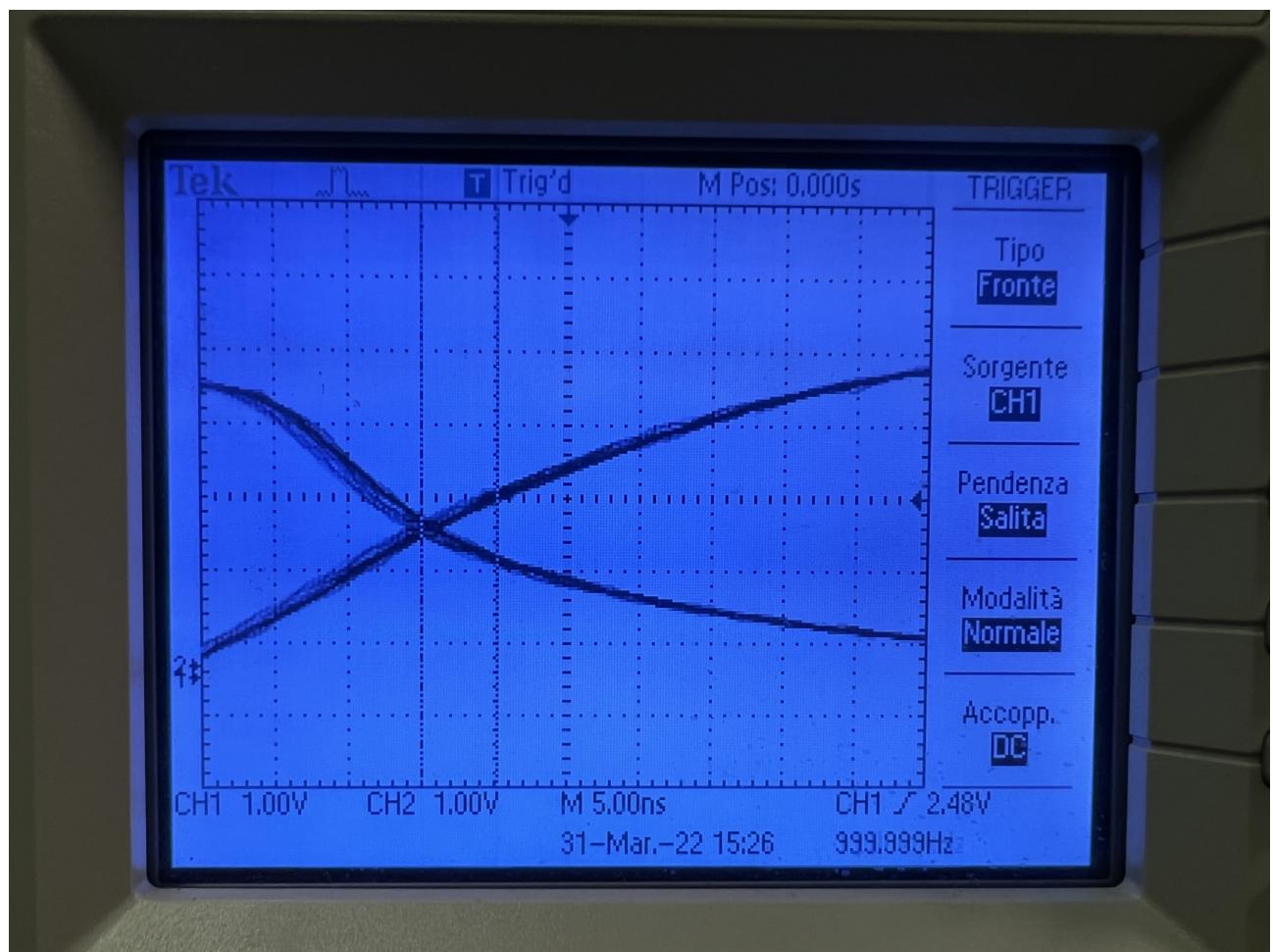


Figura 9: Acquisizione tramite oscilloscopio digitale della transizione da H a L per il secondo integrato

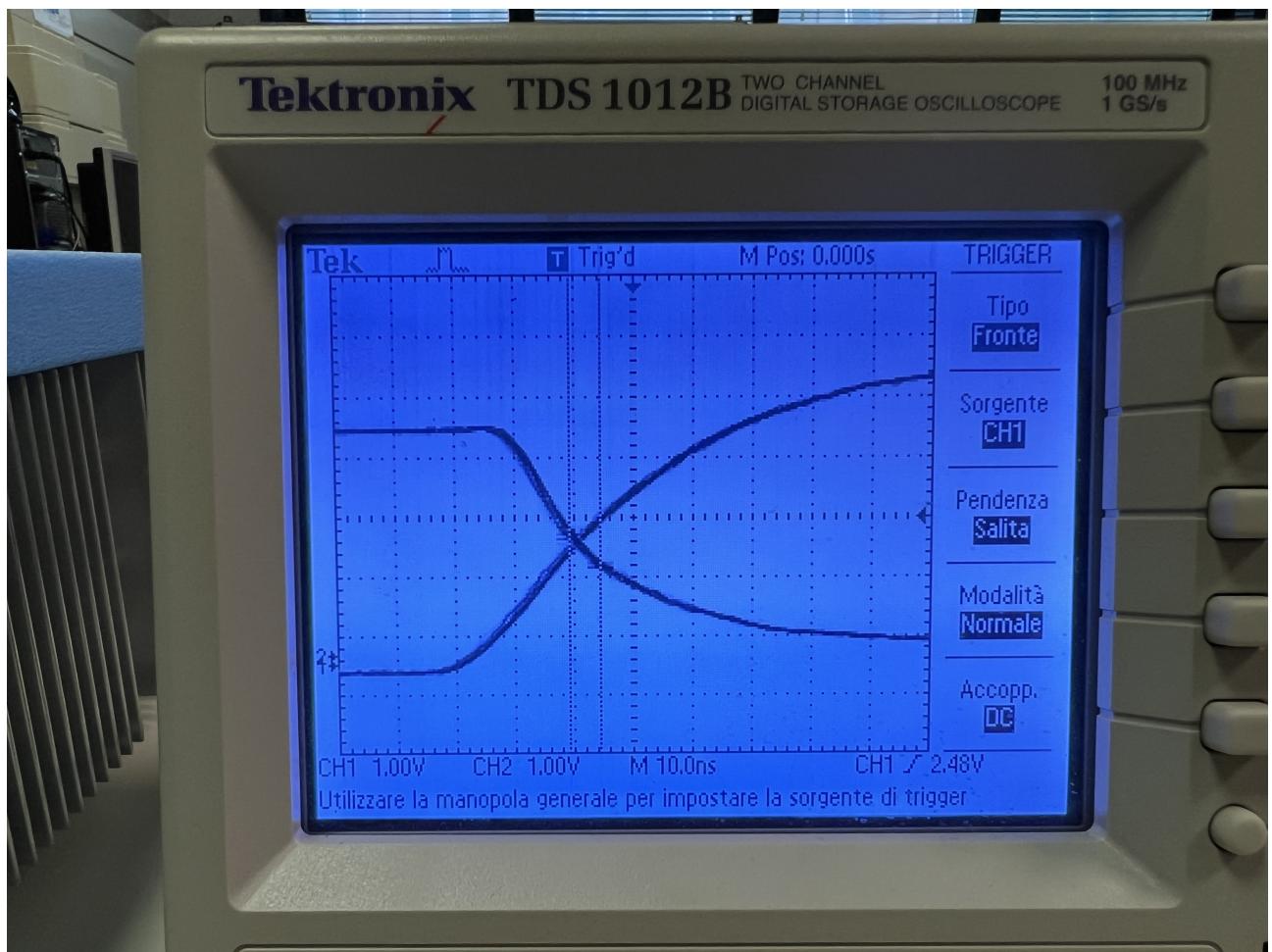


Figura 10: Acquisizione con oscilloscopio digitale con un fondo scala dei tempi più grande, in modo da osservare qualitativamente come la propagazione del segnale assomigli molto al grafico della tensione ai capi di un condensatore durante il ciclo di carica/scarica

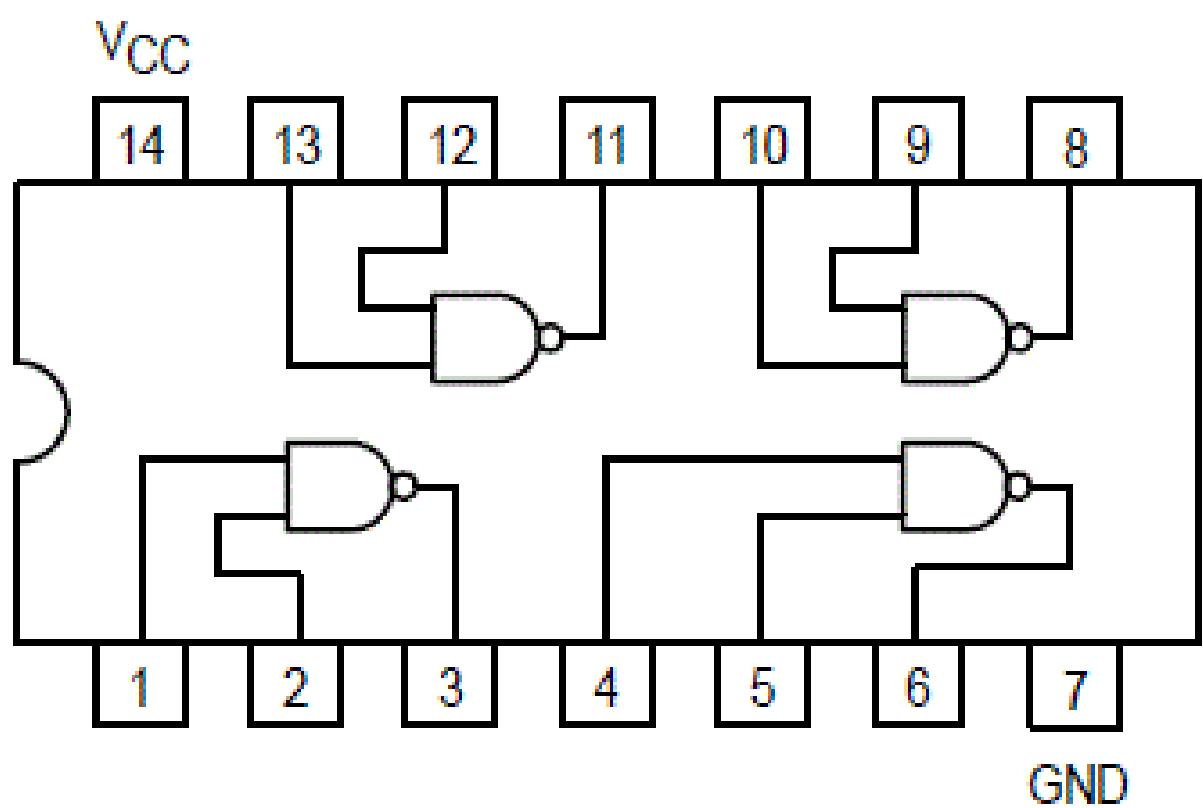


Figura 11: Schema circuitale del circuito integrato SN74LS00

4 Tabella di verità

4.a Verifica statica della tabella di verità NAND

4.b Verifica del funzionamento dinamico con Logic Analyzer

Definiamo dentro lo strumento Patterns (generator) di WaveForms 2 segnali di clock rispettivamente a 100 Hz (in uscita dalla porta DIO0 e in ingresso al pin 1 dell'integrato) e l'altro a 200 Hz (in uscita dalla porta DIO1 e in entrata nel pin 2) per esplorare tutte le possibili coppie di valori in ingresso alla porta NAND.

Dunque abbiamo usato lo strumento Logic (Analyzer) per acquisire l'andamento nel tempo dei segnali presenti nei pin della porta logica utilizzata (1,2 e 3).

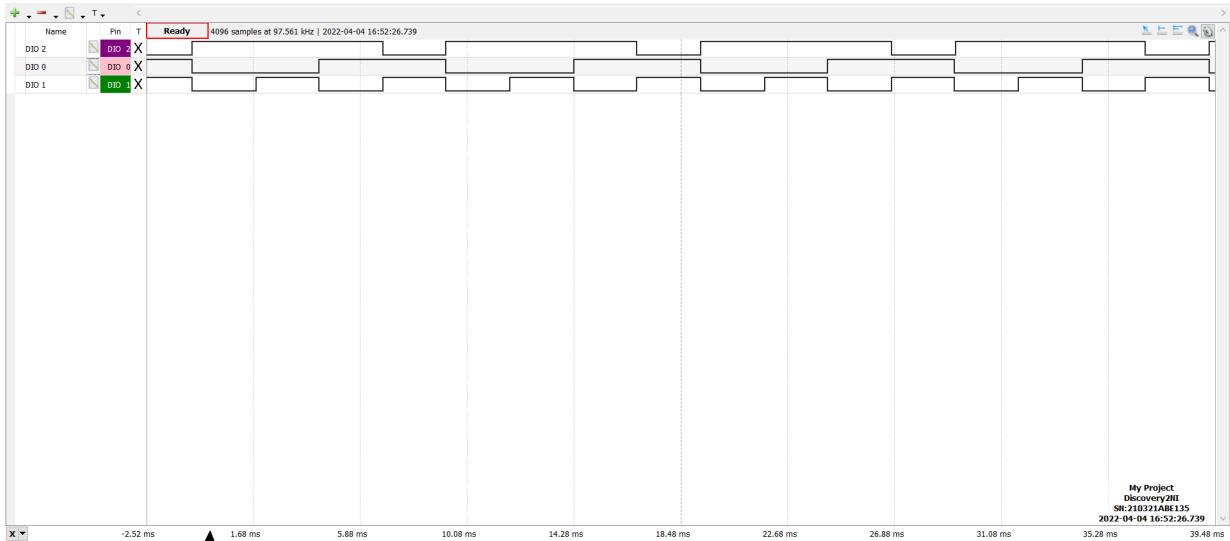


Figura 12: Acquisizione di Logic di una porta nand guidata da due segnali da DIO0 (100 Hz) e DIO1 (200 Hz); in uscita viene letto da DIO2

Il circuito risulta essere funzionante e l'output risulta essere L se e solo se i pin 1 e 2 valgono entrambi H, proprio come da aspettative.

5 Costruzione di circuiti con porte NAND

5.a Porta OR

Come primo circuito costruiamo una porta OR: detti A e B gli ingressi e Y l'uscita, nella notazione dell'algebra booleana si ha

$$Y = A + B$$

Sfruttando la legge di De Morgan si ottiene

$$Y = A + B = \overline{\overline{A} \cdot \overline{B}}$$

che descrive la relazione OR in termini del NAND.

Nota la relazione per ottenere un NOT utilizzando porte NAND, riportiamo lo schema del circuito

Utilizzando le funzioni pattern e logic abbiamo inviato tramite i pin DIO0 e DIO1 2 segnali di clock di frequenza 50 e 100 Hz e abbiamo utilizzato la porta DIO2 per verificare l'output del circuito Si vede quindi che il circuito ha il funzionamento aspettato con l'output L se e solo se i due input sono entrambi L.

5.b Circuito selettore a due vie (multiplexer)

Realizziamo un circuito che permetta di assegnare all'uscita il valore di uno dei due ingressi a singolo bit tramite il valore di un terzo ingresso. Indichiamo con A , B e C gli ingressi e con Y l'uscita;

$$\begin{cases} C = 0 \implies Y = A \\ C = 1 \implies Y = B \end{cases}$$

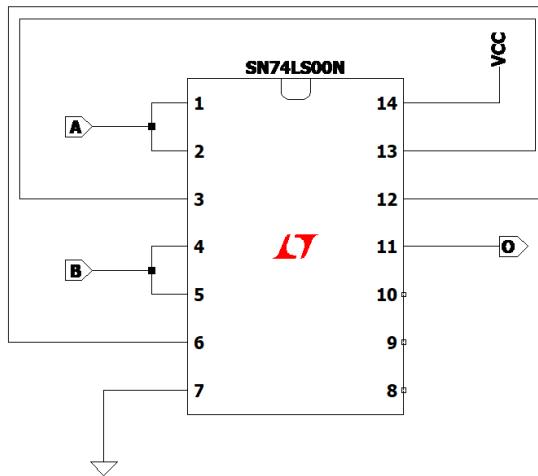


Figura 13: Schema circuitale utilizzato per costruire un OR GATE: A e B sono i segnali di input, mentre O è l'output

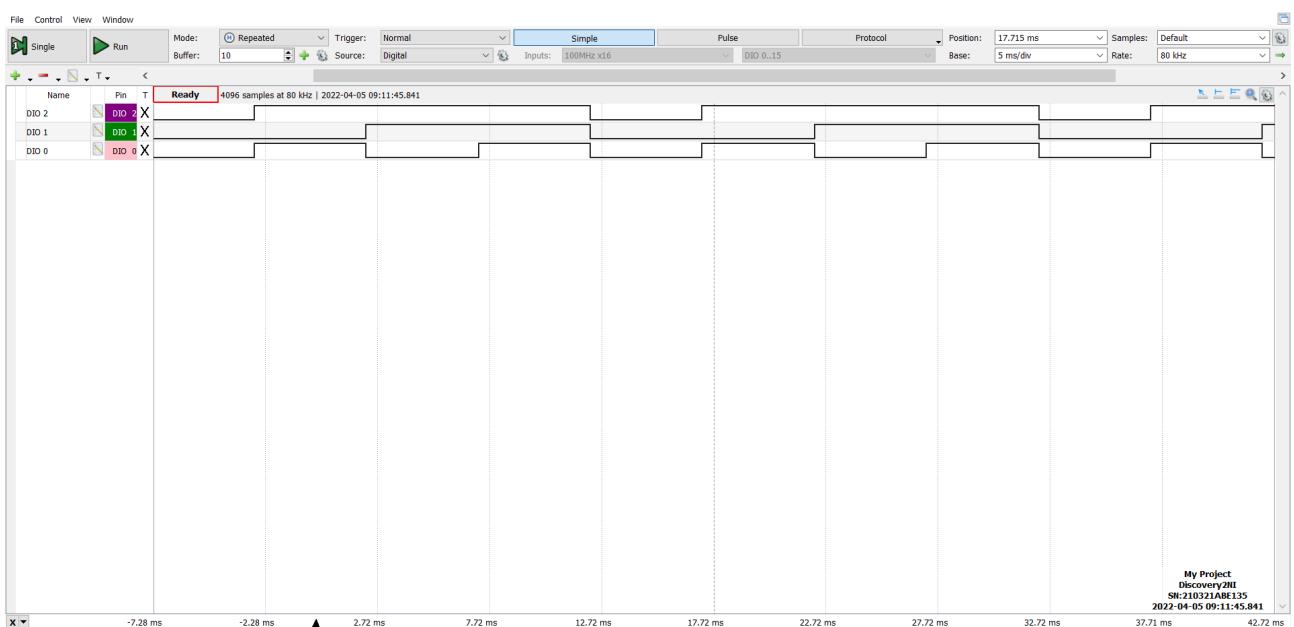


Figura 14: Acquisizione Logic per il circuito OR costruito tramite NAND: DIO0 e DIO1 sono i segnali in input, DIO2 è l'output

C	AB	00	01	11	10
		0	0	1	1
0		0	1	1	0
		1	0	0	1

il funzionamento del nostro circuito può essere descritto dalla tabella di Karnaugh riportata sotto

da cui si ricava facilmente la seguente relazione per il circuito

$$Y = A \cdot \bar{C} + B \cdot C$$

e, sempre sfruttando De Morgan, si ha

$$Y = A \cdot \bar{C} + B \cdot C = \overline{(A \cdot \bar{C})} \cdot \overline{(B \cdot C)}$$

Riportiamo sotto lo schema del circuito

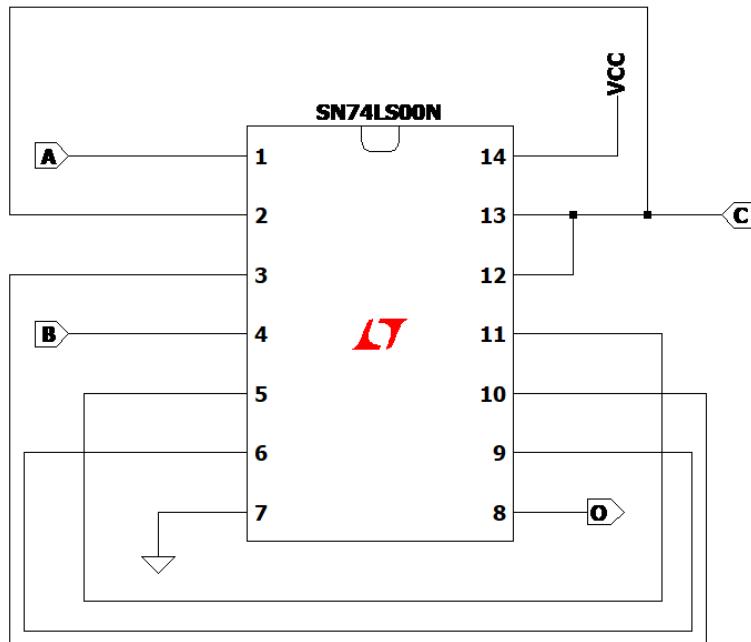


Figura 15: Schema circuitale per costruire un multiplexer a 2 input, controllato dal valore logico C

Per dimostrare il corretto funzionamento del circuito riportiamo le acquisizioni di Pattern, in cui è possibile comprendere come sono stati impostati gli ingressi, e Logic, da cui si può verificare il corretto funzionamento del circuito. Abbiamo inviato al circuito tramite la funzione pattern un segnale di clock a 100 Hz a B, uno a 50 Hz a A e infine uno a 25 Hz a C. Si ricava quindi che il circuito funziona come da aspettative, restituendo

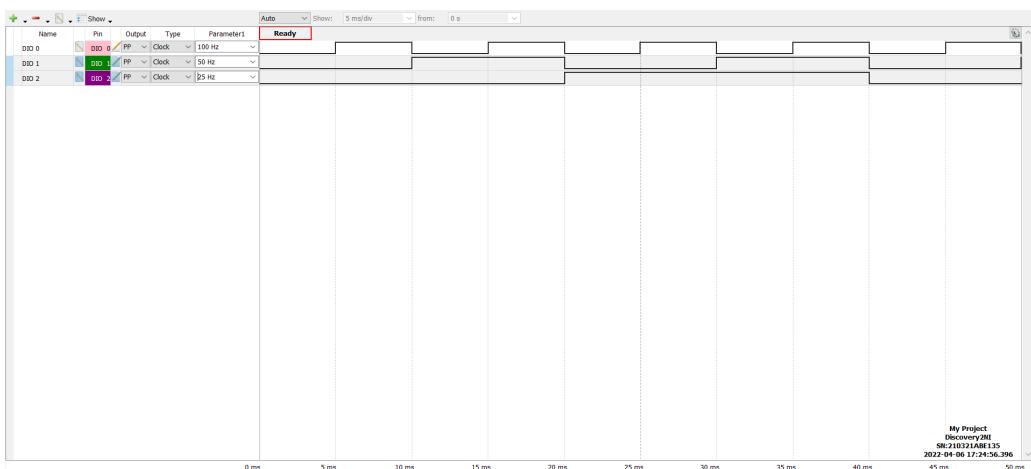


Figura 16: Logic: DIO 0 \equiv B, DIO 1 \equiv A, DIO 2 \equiv C

il segnale di A nel caso in cui C=0 e il segnale B quando C=1.

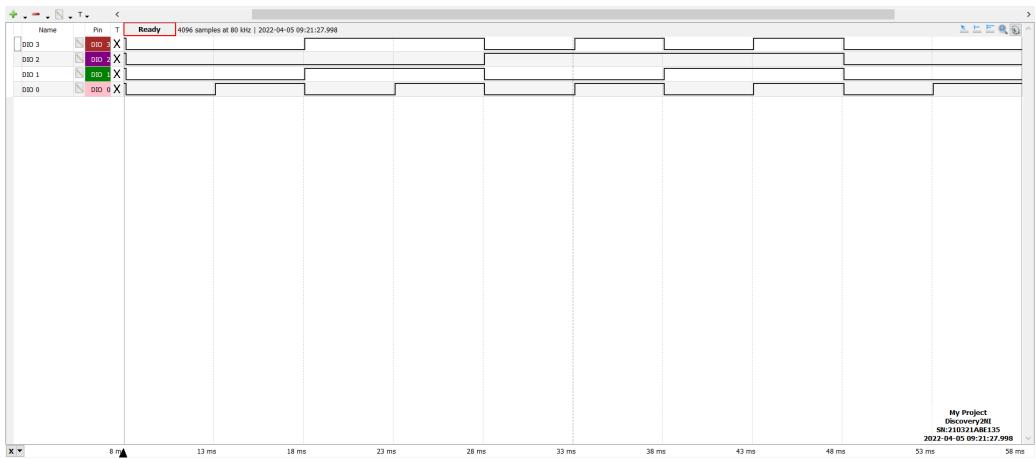


Figura 17: Logic: $\text{DIO } 0 \equiv B$, $\text{DIO } 1 \equiv A$, $\text{DIO } 2 \equiv C$, $\text{DIO } 3 \equiv Y$

5.c Porta XOR

Un circuito XOR si può realizzare con 4 porte NAND partendo dalla sua equazione caratteristica e manipolandola con le leggi di De Morgan:

$$\begin{aligned} A \oplus B &= (A \cdot \overline{B}) + (\overline{A} \cdot B) = (A \cdot \overline{A} + A \cdot \overline{B}) + (B \cdot \overline{B} + \overline{A} \cdot B) \\ &= A \cdot (\overline{A} + \overline{B}) + B \cdot (\overline{B} + \overline{A}) = A \cdot \overline{(A \cdot B)} + B \cdot \overline{(B \cdot A)} \end{aligned}$$

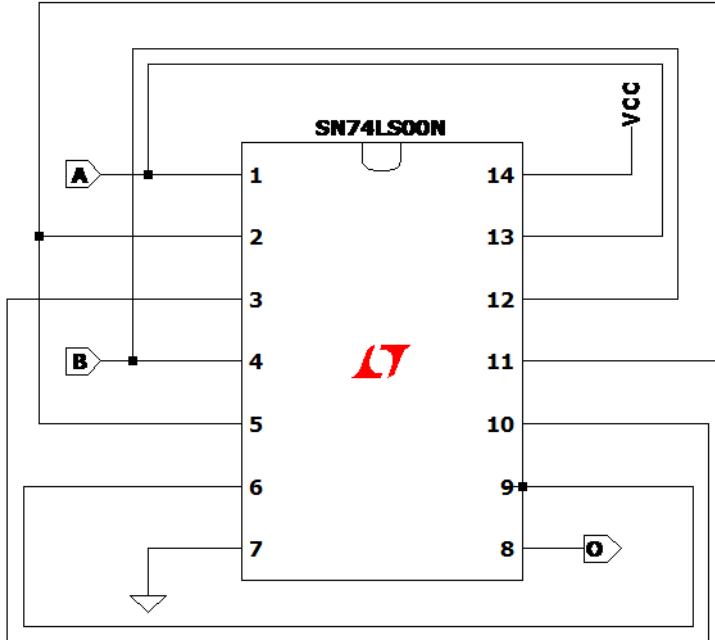


Figura 18: Schema circuitale utilizzato per costruire uno XOR GATE tramite NAND

Se ne deduce che il circuito ha il funzionamento aspettato e che quindi l'output risulta essere L se e solo se entrambi gli input A e B hanno lo stesso valore.

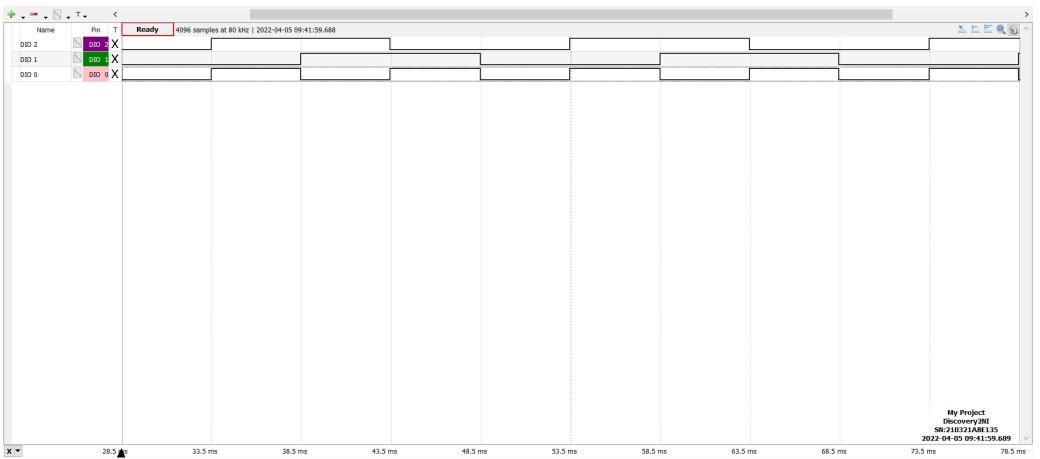


Figura 19: Acquisizione Logic della Porta XOR: DIO0 e DIO1 sono i segnali di input, DIO2 è l'uscita dallo XOR

Parte C: Circuiti logici complessi a più chip

6 Convertitore Gray-Binario

Come ultima cosa vogliamo realizzare un circuito in grado di convertire un valore a 4 bit dalla codifica Gray in Binario utilizzando un solo integrato di tipo SN74LS86 a porte XOR, descritto nella figura a lato.

Un convertitore Gray-Binario può essere schematizzato come in Figura (20): il nostro obiettivo è quello di verificare che tale circuito si comporti come atteso.

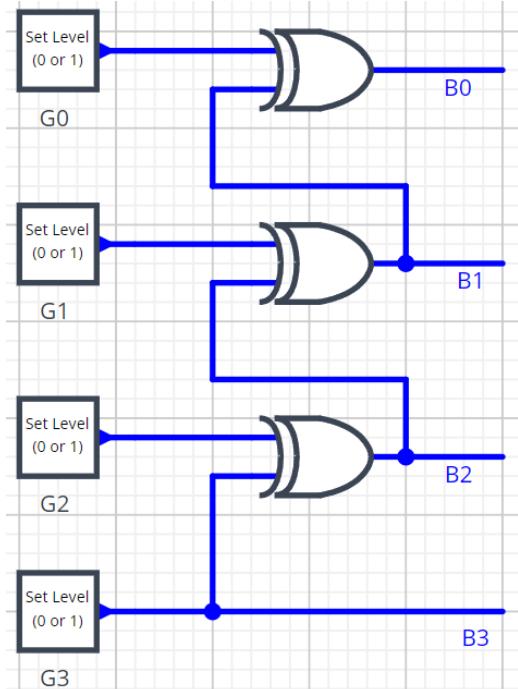
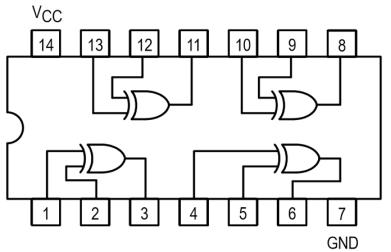


Figura 20: Schema convertitore Gray-Binario

Il codice Gray differisce dal codice binario in quanto si passa da un intero al successivo modificando un solo bit per volta.

Calcoliamo l'uscita del circuito per alcuni valori in ingresso:

Confrontando le uscite ottenute con i valori riportati in tabella 3 affermiamo che il circuito si comporta correttamente come convertitore Gray-Binario. Come conferma, riportiamo un'acquisizione.

Per una scala dei tempi molto stretta, si registra che i tempi di propagazione non sono istantanei, distinguendo

Codice binario	Codice Gray
0000	0000
0001	0001
0010	0011
0011	0010
0100	0110
0101	0111
0110	0101
0111	0100
1000	1100
1001	1101
1010	1111
1011	1110
1100	1010
1101	1011
1110	1001
1111	1000

Tabella 3: Conteggio a 4 bit nei due codici.

G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0
0	0	0	0	0	0	0	0
1	1	1	1	1	0	1	0
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

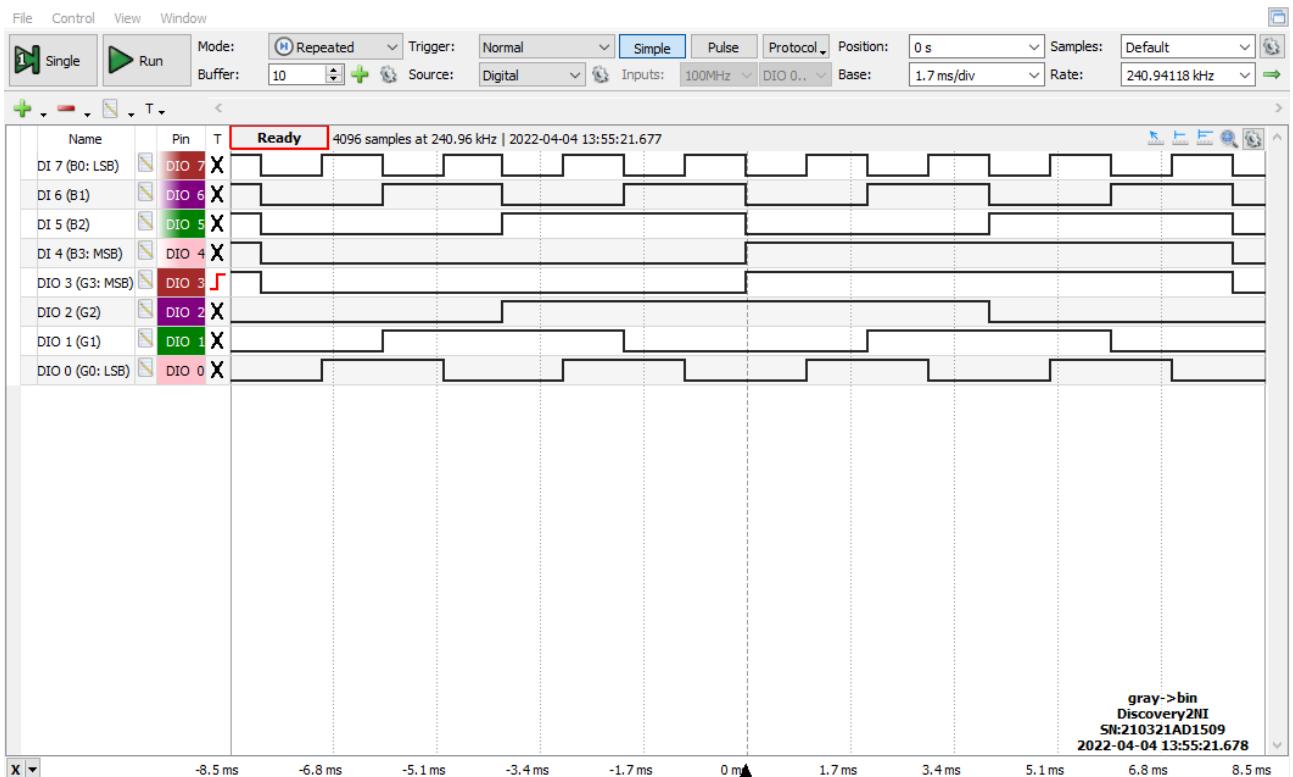


Figura 21: Acquisizione di un ciclo completo (frequenza 1 kHz) con Logic Analyzer dei segnali in ingresso e in uscita dal convertitore Gray-binario.

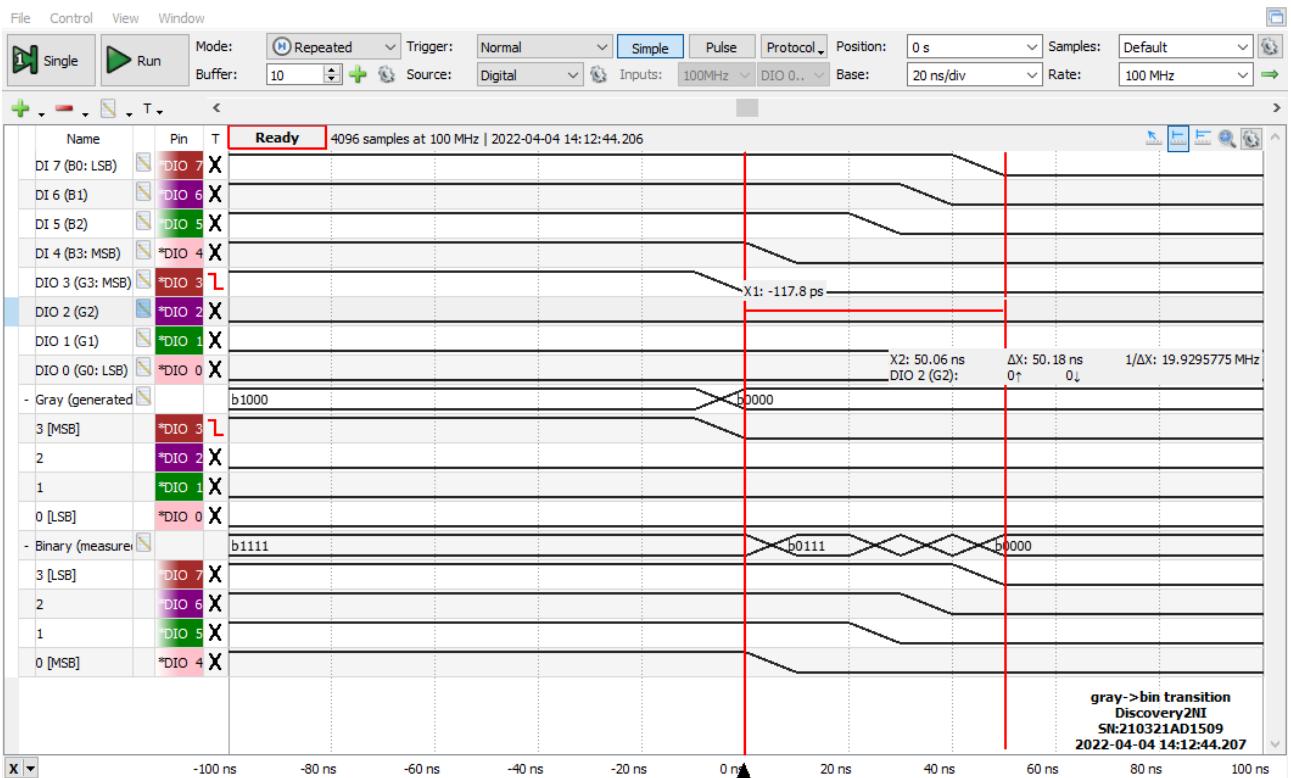


Figura 22: Acquisizione del Logic Analyzer durante la transizione dal numero 15 al numero 0 su scala dei tempi pari a 20 ns.

dei glitch sui canali di uscita.

(verificate il funzionamento del circuito utilizzando Pattern per generare un contatore a 4 bit con la codifica opportuna e osservando l'uscita con Logic (come ai punti precedenti);

7 Sommatore a 2 bit

Vogliamo costruire un sommatore a due bit utilizzando le dovute porte logiche. Utilizzeremo i chip SN74LS08 (quad-AND), SN74LS32 (quad-OR), SN74LS86 (quad-XOR). Il circuito da montare è riportato in fig. 26.

Verifichiamo il funzionamento mandando in ingresso tutte le possibili combinazioni di due numeri a due bit. Per fare ciò mandiamo ai 4 ingressi del circuito un segnale che conta in binario. Il risultato è mostrato in fig. 27.

Aggiungiamo al circuito 4 led verdi e un led rosso: questi sono pilotati da 5 nuovi cavi dell'AD2. Per controllare il loro funzionamento aggiungiamo a *Patterns* una tabella delle verità, riportata in fig. 28, che faccia in modo che ad ogni step si illuminino un numero di led pari al valore della somma. Il led rosso verrà usato per controllare l'overflow, ovvero la possibilità che il risultato sia maggiore o uguale a 4.

Conclusioni e commenti finali

Si è riusciti a verificare il corretto comportamento delle porte TTL studiate caratterizzandone le tensioni, correnti di operazione e tempi caratteristici di circuiti integrati come il SN7404. Inoltre, è stato possibile verificare il funzionamento di circuiti logici di diversa complessità costruiti con porte NAND, XOR, e OR e si è riusciti ad apprezzare l'effetto dei tempi di propagazione delle porte nella conversione dalla codifica Gray al binario.

Dichiarazione

I firmatari di questa relazione dichiarano che il contenuto della relazione è originale, con misure effettuate dai membri del gruppo, e che tutti i firmatari hanno contribuito alla elaborazione della relazione stessa.

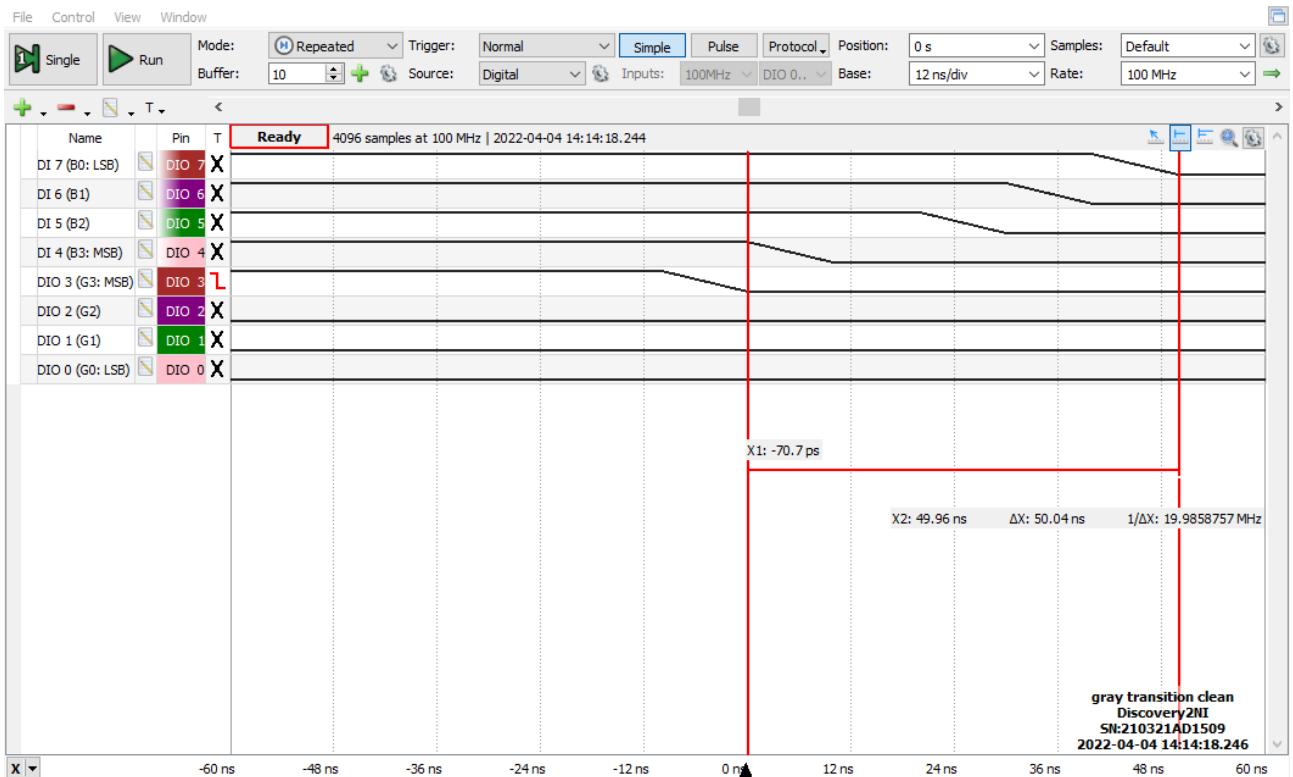


Figura 23: Transizione dal 15 allo 0 su scala temporale pari a 10 ns.

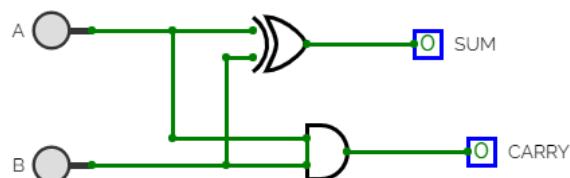


Figura 24: Schema circuitale di un half adder

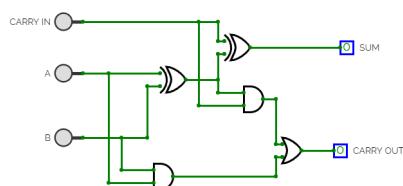


Figura 25: Schema circuitale di un full adder.

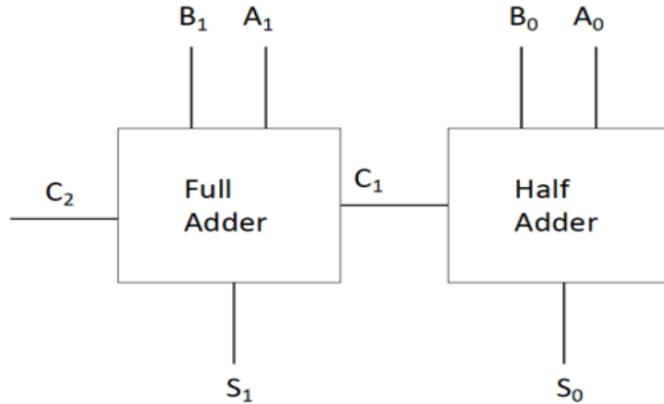


Figura 26: Schema circuitale di un sommatore a 2 bit

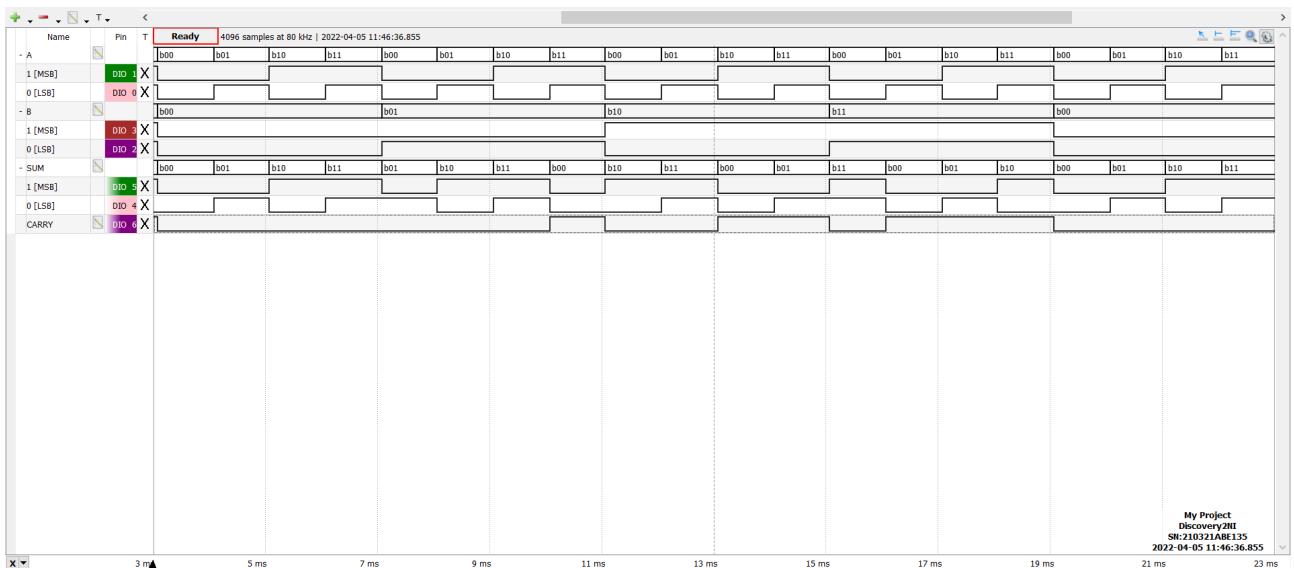


Figura 27: Acquisizione Logic per il sommatore a 2 bit: DIO0 e DIO1 rappresentano il numero A; DIO2 e DIO3 rappresentano B; DIO4, DIO5 e DIO6 rappresentano invece rispettivamente il risultato della somma (con DIO4 il LSB) e il bit di overflow

	DIO 6	DIO 5	DIO 4	DIO 11	DIO 10	DIO 9	DIO 8	DIO 7
1	1	X	X	1	0	0	0	0
2	0	0	0	0	0	0	0	0
3	0	0	1	0	0	0	0	1
4	0	1	0	0	0	0	1	1
5	0	1	1	0	0	1	1	1
6								

Figura 28: Tabella delle verità usata per il controllo dei led.