

EsD4 ADC-DAC: Convertitore sigma-delta

Gruppo 1.AC

Matteo Rossi, Bernardo Tomelleri

13 maggio 2022

Misura componenti dei circuiti

Resistenze [Ω]	R	σR	Capacità [nF]	C	σC
R_1	992	8	C_1	99	4
R_2	994	8			
R_3	993	8			
R_4	994	8			
R_5	996	8			

Tabella 1: Valori di resistenza e capacità misurate con il multimetro dei componenti del primo circuito.

Resistenze [Ω]	R	σR	Capacità [nF]	C	σC
R_1	995	8	C_1	109	4
R_2	999	8			
R_3	998	8			
R_4	998	8			
R_5	996	8			

Tabella 2: Valori di resistenza e capacità misurate con il multimetro dei componenti del secondo circuito

Riportiamo per completezza anche i valori delle tensioni di alimentazione continue per i circuiti integrati misurate con il multimetro

$$V_{CC} = 4.99 \pm 0.03 \text{ V}$$

$$V_{EE} = -4.99 \pm 0.03 \text{ V}$$

Per tutto il resto della trattazione come ampiezze dei segnali si intendono misurate non “picco - picco”, a meno che non venga esplicitato altrimenti.

1 Analisi e costruzione del circuito

1.a Costruzione del circuito

Si è costruito il circuito secondo lo schema riportato in fig. 1, alimentando con $V_{CC} = 5 \text{ V}$ il D Flip-Flop e gli OpAmp alla medesima V_{CC} e $V_{EE} = -5 \text{ V}$ con l'AD2. Dunque abbiamo collegato l'ingresso analogico **V3** del circuito al canale 1 del Waveforms (generator) e il pin CLK del FF ad un segnale di clock di frequenza $f_{\text{clk}} = 50 \text{ kHz}$ generato in DIO 0 con Patterns (generator). Con i canali 1 e 2 dell'oscilloscopio si osservano gli andamenti nel tempo del segnale in ingresso e del segnale di uscita (OUT) dall'ultimo amplificatore **U4**, al contempo si registra il valore logico assunto dall'uscita Q del Flip-Flop **U3A** con Logic (analyzer).

1.b Verifica del funzionamento

Per verificare il corretto funzionamento del circuito si è inviata all'ingresso analogico del circuito una sinusoide di bassa frequenza ($f = 10 \text{ Hz} \ll f_{\text{clk}}$) con ampiezza di 2.5 V e media nulla. Riportiamo l'acquisizione con l'oscilloscopio di qualche periodo dell'onda sinusoidale su CH1 e dell'uscita di U4 su CH2 in fig. 2.

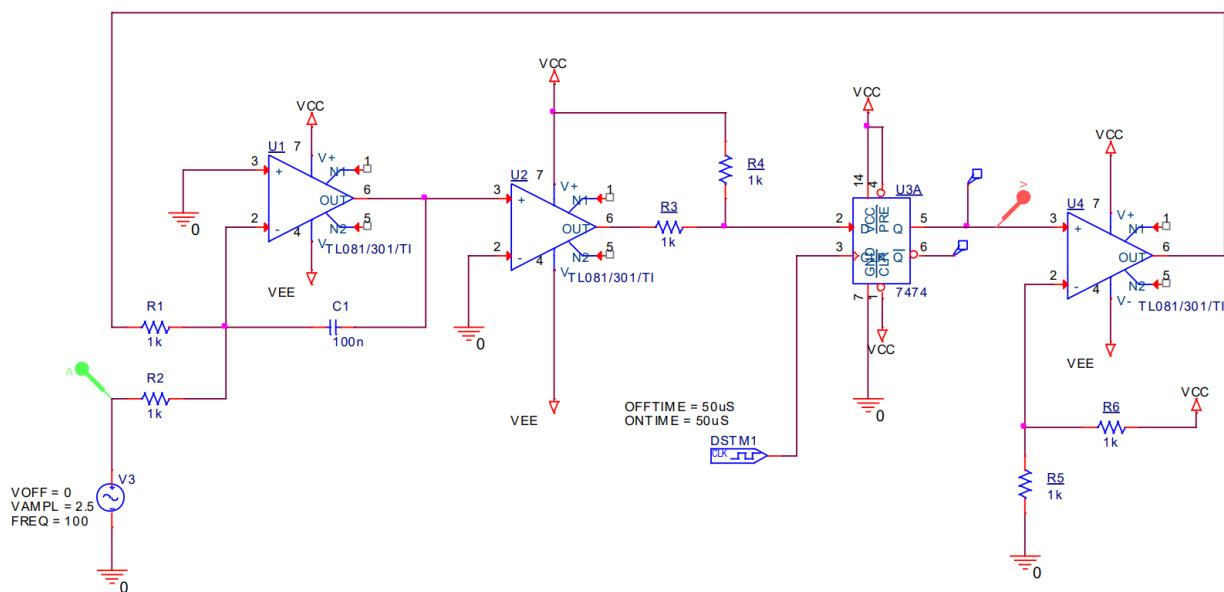


Figura 1: Schema elettrico del circuito convertitore analogico digitale sigma-delta studiato

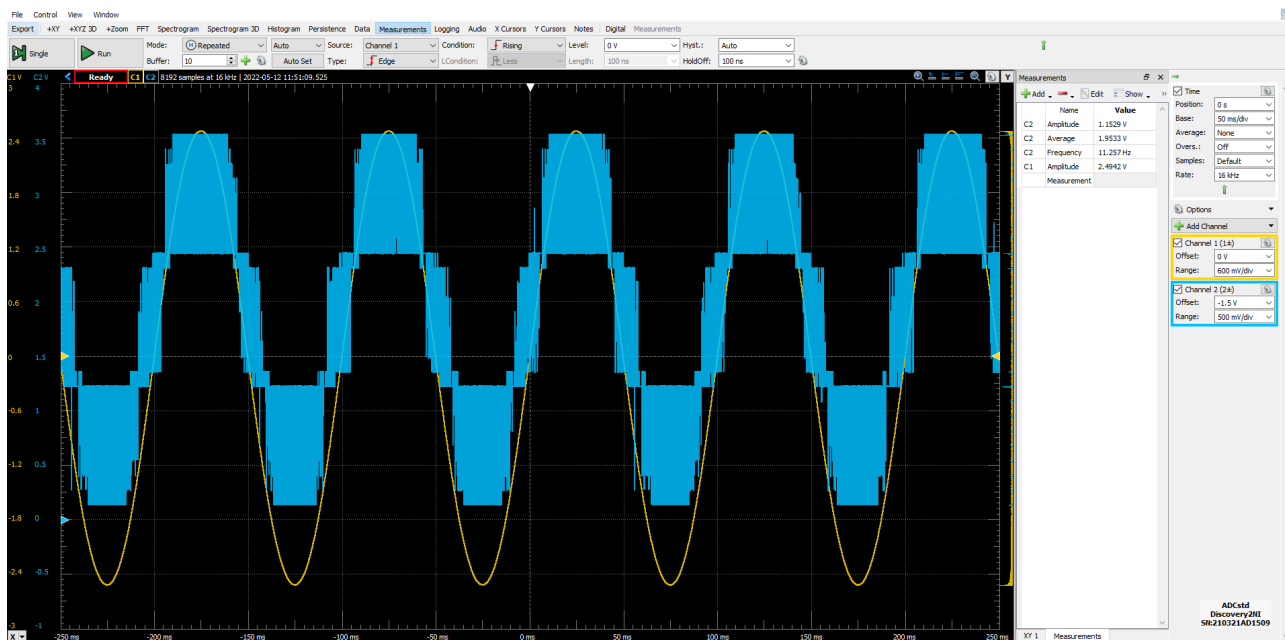


Figura 2: Acquisizione dell'andamento temporale del segnale in ingresso (CH1) e del segnale in uscita (CH2) dall'ADC

1.c Analisi qualitativa del funzionamento del circuito

Possiamo dividere il circuito in 3 sezioni principali: basandoci sullo schema mostrato in fig. 1 individuiamo da sinistra verso destra un circuito sommatore e integratore invertente, un comparatore semplice e un flip flop che faranno da convertitore A->D a 1 bit, e infine un convertitore D->A anch'esso da 1 bit. Il compito del sommatore e integratore è quello di fare la media nel tempo del segnale di feedback sommato a quello analogico in ingresso all'ADC, in modo che l'uscita dell'integratore sia >0 quando la media del segnale di feedback è inferiore a V_{in} e viceversa. L'uscita dell'integratore viene poi inviata all'ingresso di un comparatore la cui uscita sarà $V_{sat,+} \approx 3.5V$ nel caso in cui l'uscita dell'integratore sia positiva, e $V_{sat,-} \approx -3.5V$ nel caso opposto. A questo punto si vuole modificare il segnale in modo che l'ingresso del flip flop possa interpretarlo correttamente come segnale digitale; per questo utilizzeremo un partitore di tensione tra l'uscita del comparatore e V_{CC} in modo che H e L del segnale siano rispettivamente $4.25V$ (che risulta essere maggiore del valore nominale di V_{IH}) e $0.75V$ (minore del valore nominale di V_{IL}). L'uscita dal flip flop sarà quindi l'uscita digitale del nostro DAC. Infine l'uscita digitale passerà attraverso un ultimo comparatore (che compara il segnale digitale con $2.5V$, e nel caso in cui sia maggiore, all'uscita avrà $V_{sat,+}$ e viceversa) che avrà la funzione di convertitore Digitale->Analogico ad un singolo bit, la cui uscita sarà inviata al circuito sommatore+integratore come segnale di feedback.

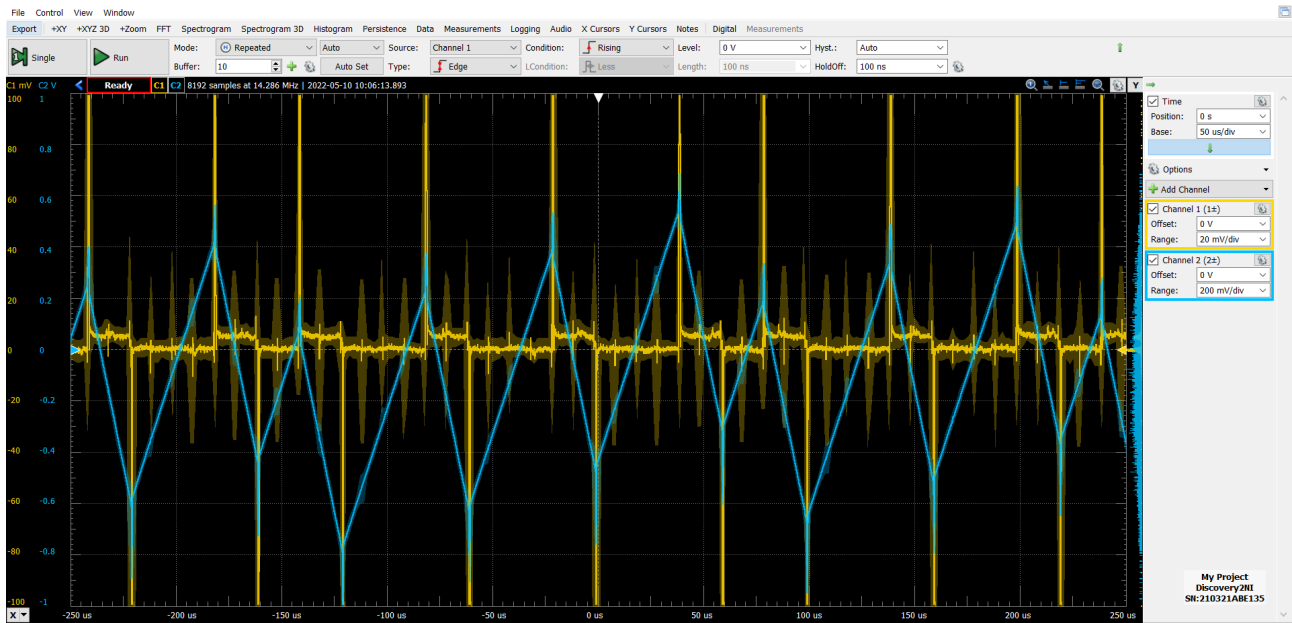


Figura 3: Acquisizione dei segnali all'ingresso invertente (CH1) e uscita (CH2) del circuito solo integratore U1

Dalle acquisizioni fatte con l'oscilloscopio di Waveform, ci accorgiamo che ogni componente del circuito si comporta come atteso. Si procede quindi alla verifica del funzionamento del convertitore A->D: per farlo, dopo aver alimentato ogni componente del circuito, inviamo un segnale di clock al flip flop di frequenza pari a 50 kHz , e un'onda sinusoidale di ampiezza $2.5V$ e frequenza 10 Hz all'entrata analogica; ci concentriamo quindi sui segnali in uscita dal Flip Flop. Dopo ciò che si è detto prima, ci aspettiamo in uscita dal flip flop un segnale simile ad un'onda quadra con duty cycle medio $\approx 50\%$ quando l'onda vale circa 0 V , e che il Duty Cycle aumenti quando l'onda raggiunge il minimo e viceversa. Dalle acquisizioni possiamo concludere che il circuito ha il comportamento atteso.

1.d Risposta del convertitore al variare dei parametri del seno

Modificando i valori di offset e ampiezza dell'onda in ingresso si nota immediatamente come il segnale in uscita venga tosato ai livelli di saturazione basso $V_{OL} = 138 \pm 2\text{ mV}$ e alto $V_{OH} = 3.52 \pm 0.02\text{ V}$ quando il segnale in ingresso raggiunge valori di tensione pari a circa $V_s \approx \pm 3\text{ V}$ per via della portata limitata del nostro convertitore.

Si riporta la risposta del circuito per un'onda della stessa ampiezza (2.5 V) e offset $= 2\text{ V}$ in fig. 10 e per un'onda di ampiezza maggiore (5 V) e offset $= 0\text{ V}$ in fig. 11.

Quanto trovato risulta compatibile con il massimo intervallo di tensioni che il segnale analogico di ingresso può assumere senza rischiare saturazioni nel nostro circuito $\approx 7\text{ V}$, assumendo che il valore di uscita del nostro DAC risulti essere $-V_{sat}$ in corrispondenza di uno 0 logico e $V_{sat} \approx 3.5\text{ V}$ in corrispondenza di un 1.

Aumentando la frequenza f del segnale in ingresso al circuito si nota come l'informazione in uscita sull'onda da ricostruire (proporzionale al numero di punti campionati/alla densità di fronti d'onda) diminuisce man mano che f si avvicina alla frequenza massima di campionamento f_{clk} , come si mostra in fig. 12 per $f = 100\text{ Hz}$. e in

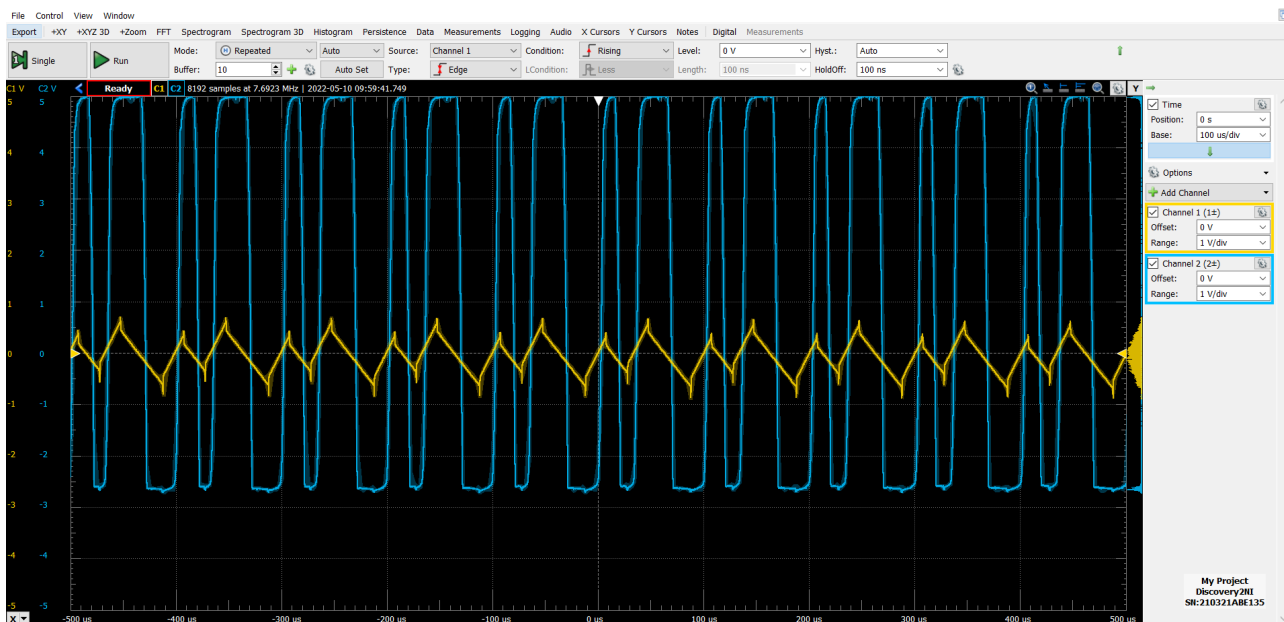


Figura 4: Acquisizione del segnale nell'ingresso non invertente (canale 1) e dell'uscita (canale 2) del circuito comparatore semplice

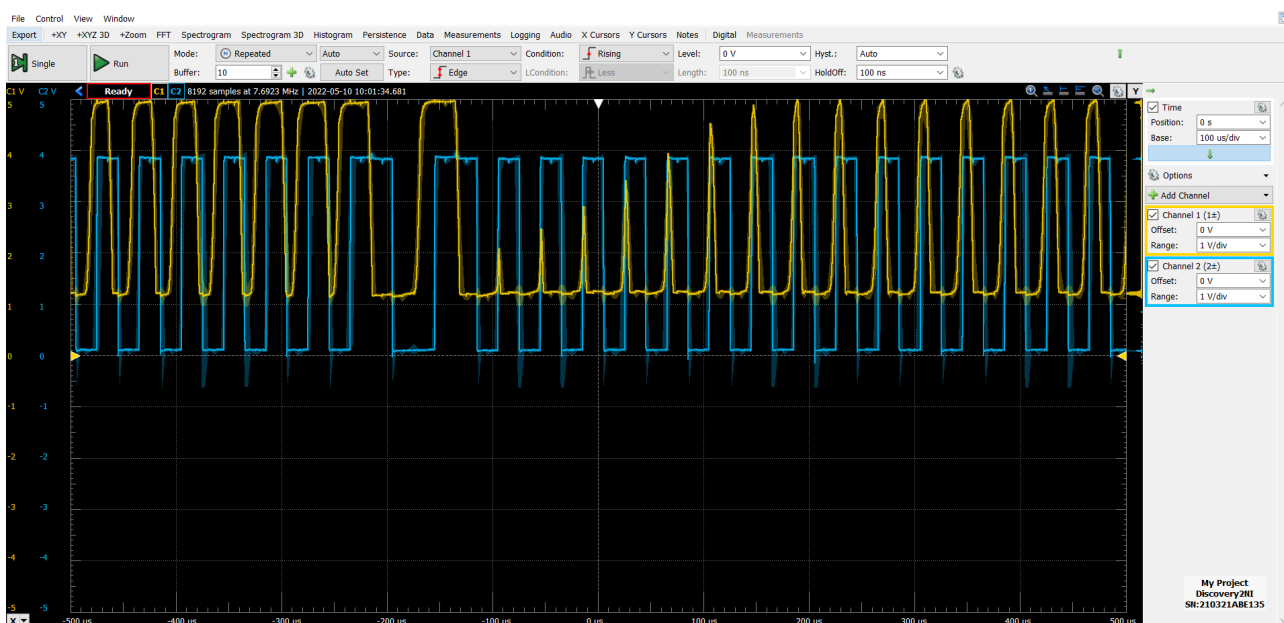


Figura 5: Acquisizione del segnale in ingresso (canale 1) e in uscita (canale 2) dal Flip Flop

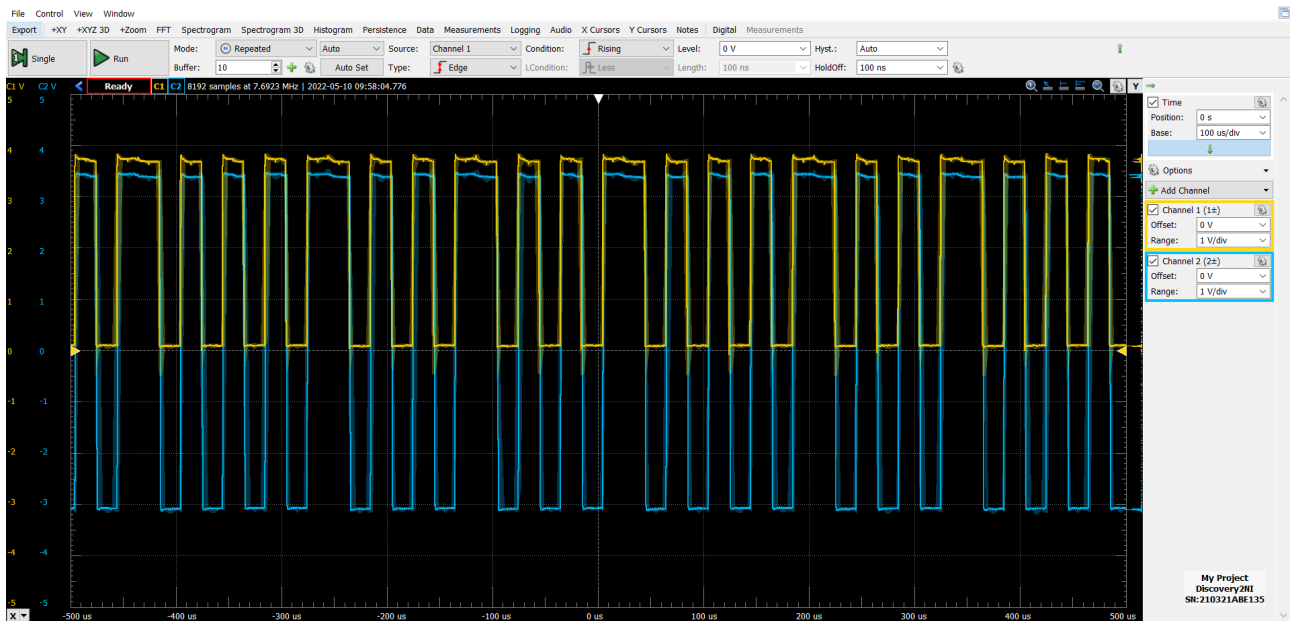


Figura 6: Acquisizione del segnale in uscita dal pin Q del Flip Flop(canale 1) e in uscita dal DAC (canale 2)

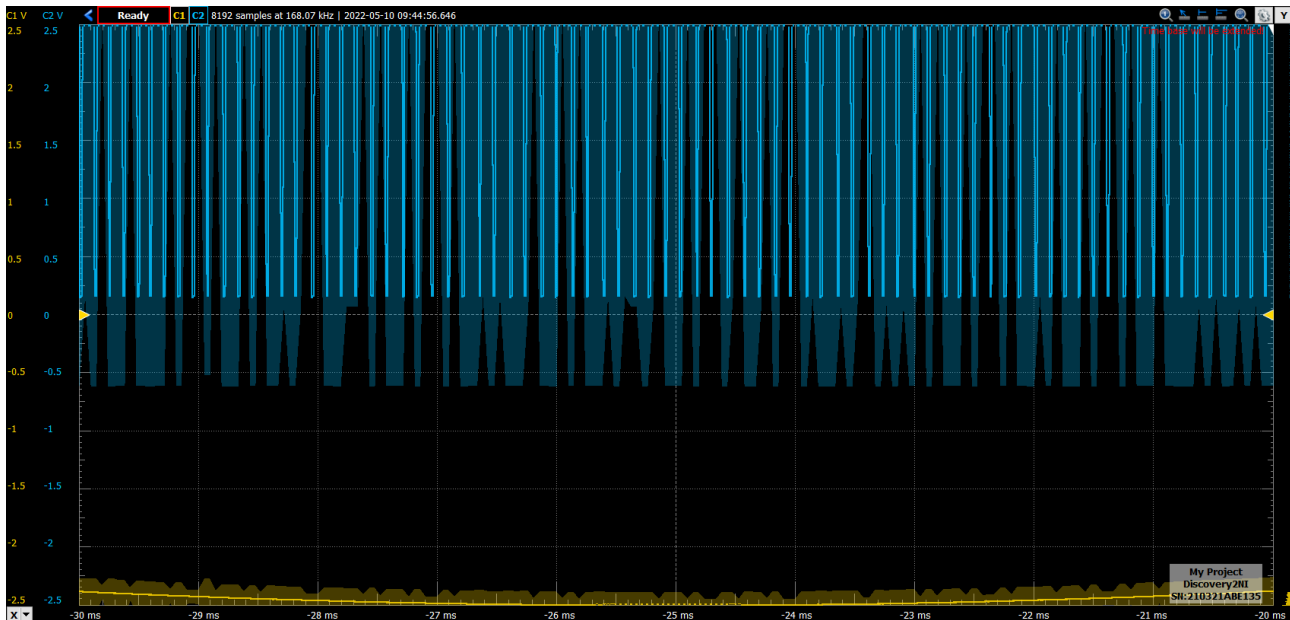


Figura 7: Acquisizione del segnale analogico in ingresso (un'onda sinusoidale di frequenza pari a 10 Hz e ampiezza pari a 2.5V) e del segnale logico in uscita dal pin Q del Flip-Flop durante il minimo del segnale



Figura 8: Acquisizione del segnale analogico in ingresso (un'onda sinusoidale di frequenza pari a 10 Hz e ampiezza pari a 2.5V) e del segnale logico in uscita dal pin Q del Flip-Flop durante il massimo del segnale

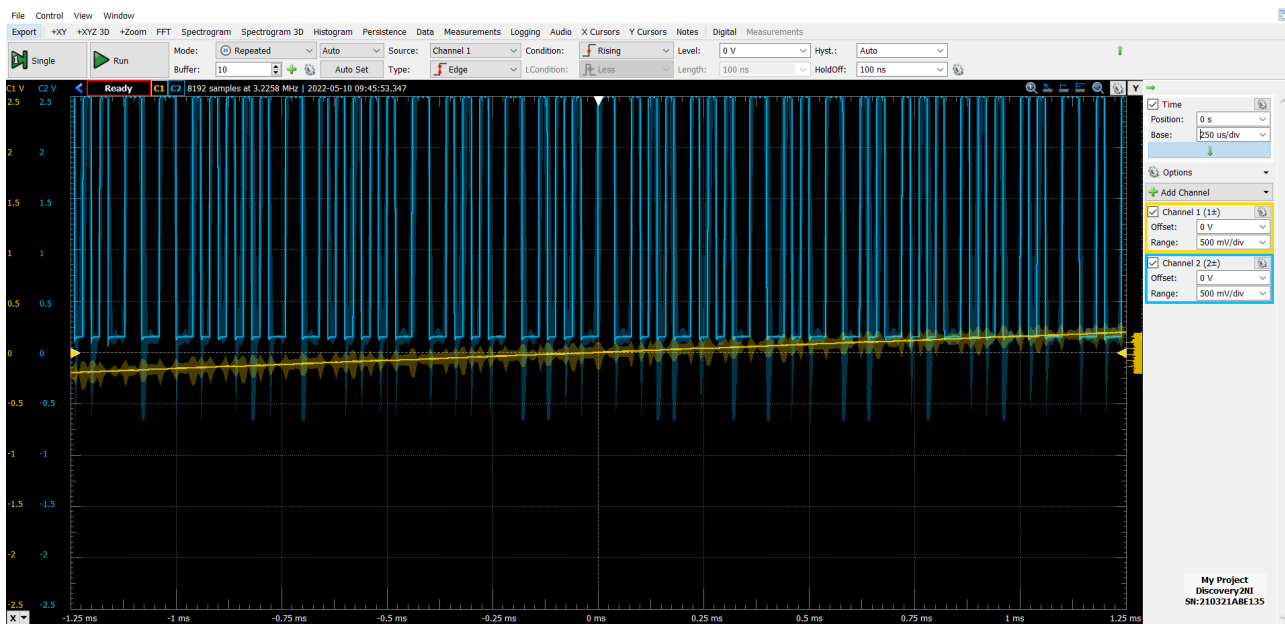


Figura 9: Acquisizione del segnale analogico in ingresso (un'onda sinusoidale di frequenza pari a 10 Hz e ampiezza pari a 2.5V) e del segnale logico in uscita dal pin Q del Flip-Flop durante il punto medio dell'onda

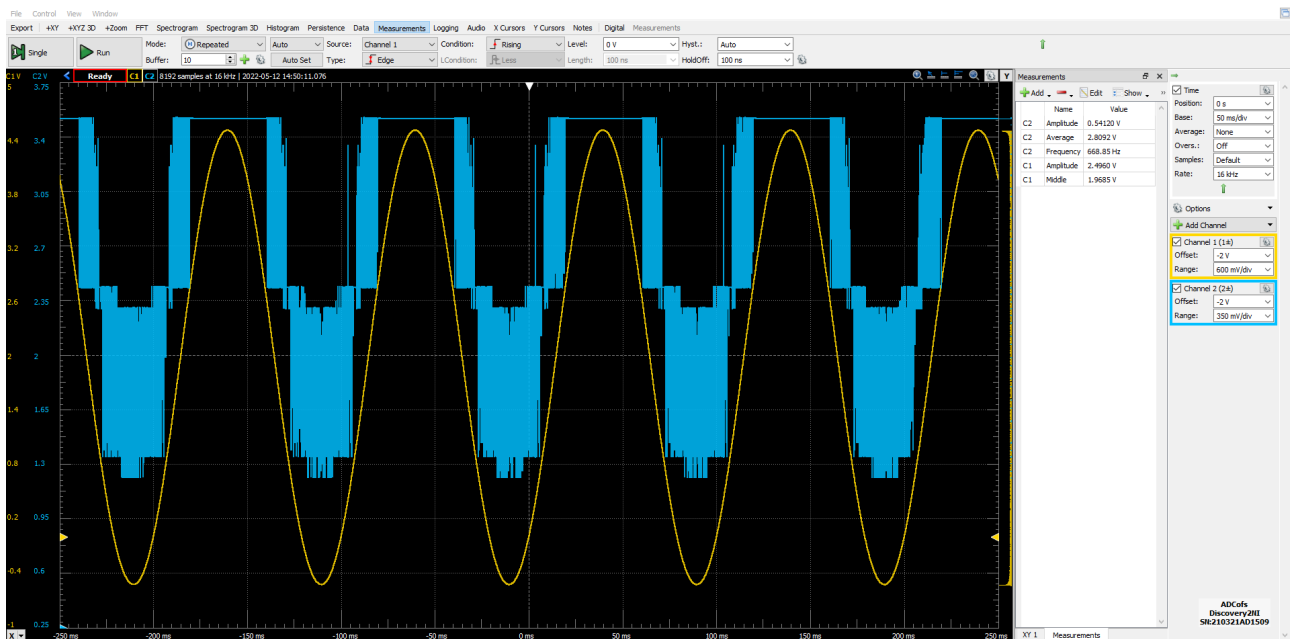


Figura 10: Acquisizione dell'andamento temporale del segnale in ingresso (CH1) e del segnale in uscita (CH2) dall'ADC

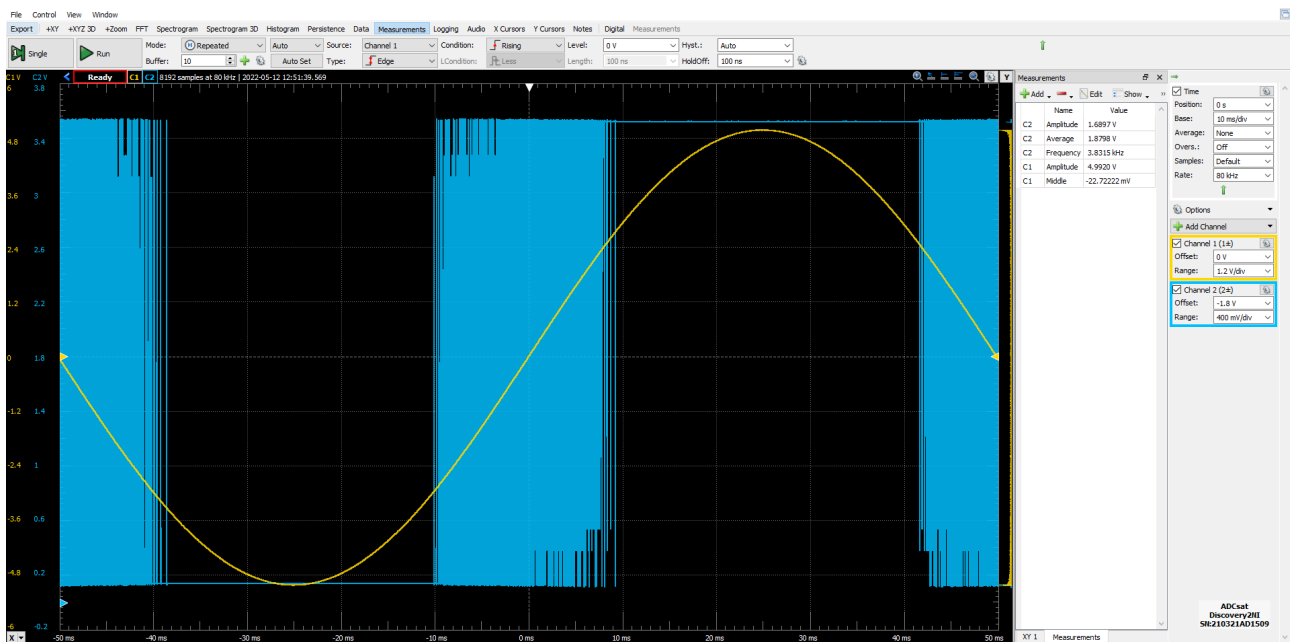


Figura 11: Acquisizione dell'andamento temporale del segnale in ingresso (CH1) e del segnale in uscita (CH2) dall'ADC

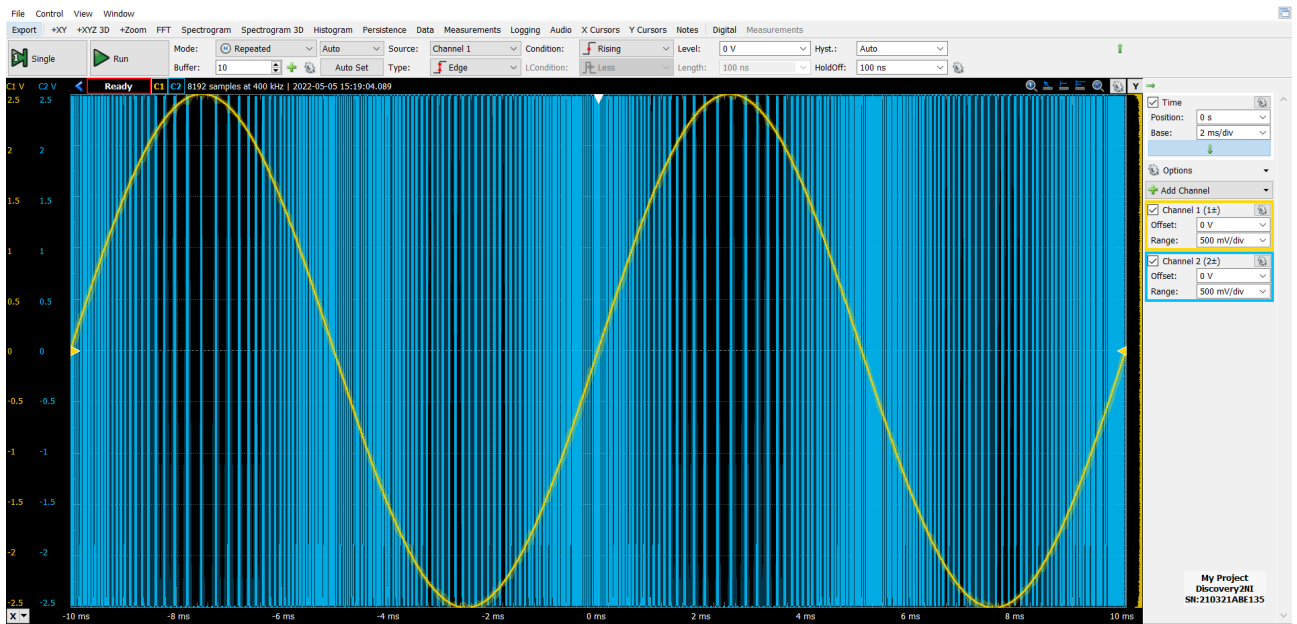


Figura 12: Acquisizione del segnale sinusoidale in ingresso (CH1) $f = 100$ Hz e ampiezza 2.5 V e del segnale in uscita dal DAC (CH2)

fig. 13 per $f = 2$ kHz.

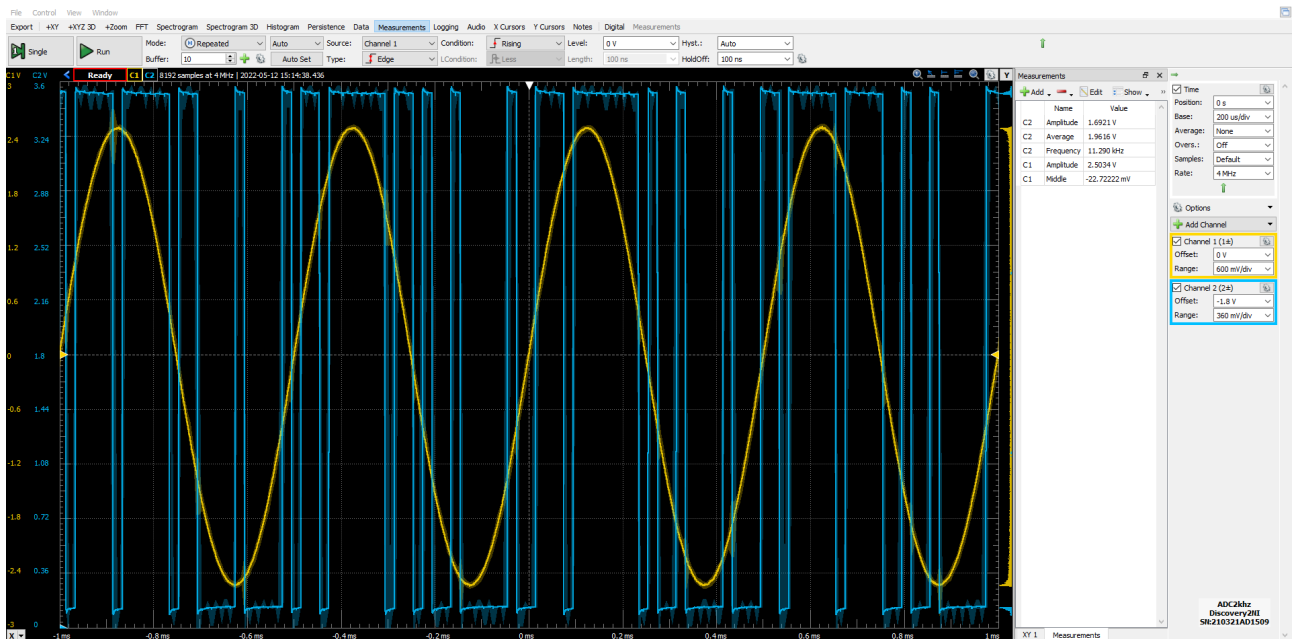


Figura 13: Acquisizione del segnale sinusoidale in ingresso (CH1) $f = 2$ kHz e ampiezza 2.5 V e del segnale in uscita dal DAC (CH2)

Questo risulta compatibile con quanto ci aspettiamo per via della risoluzione temporale limitata (proprio dalla frequenza di clock) del nostro modulatore delta. Infatti, per ripristinare la densità di informazione che avevamo su segnali più lenti, è sufficiente aumentare proporzionalmente la frequenza di clock/campionamento inviata con DIO 0 al FF.

2 Descrizione delle misure e acquisizione dati

2.a Campionamento e acquisizione del segnale

Per acquisire il segnale in uscita dal Flip-Flop con l'AD2 si sono reimpostate la frequenza della sinusoide in ingresso a $f = 100$ Hz e la frequenza del clock come prima a $f_{clk} = 50$ kHz, dunque leggiamo in modalità Spy

un bus SPI creato con lo strumento Protocol di Waveforms, impostando i parametri come segue:

Select: None

Frequency: 50 kHz (come il clock in DIO 0)

Clock: DIO 0

Data: DIO 1

Mode: Three-wire

Data bits: 8

Format: Decimal

Si registrano una decina di periodi della sinusoide lasciando lo strumento in modalità Receive per qualche frazione di secondo, quindi salviamo la serie di valori campionati su file di testo per analizzarli e ricostruire il segnale in ingresso.

3 Analisi dei dati

3.a Ricostruzione dei segnali in ingresso

Come abbiamo visto, il segnale in uscita dal Flip-Flop Q commuta in corrispondenza dei fronti di salita del clock l'ampiezza del segnale in ingresso è proporzionale alla densità relativa di bit a livello logico alto nella sequenza in OUT. Quindi per ricostruire l'ampiezza del segnale possiamo effettuare un conteggio di quanti bit sono in stato 1 nella sequenza in uscita da Protocol in un intervallo di tempo con una media mobile su 8 bit.

Riportiamo in fig. 14 la forma d'onda ottenuta su un grafico con Python, in cui i punti blu rappresentano i valori digitali in uscita dal DAC, i punti in giallo sono il risultato della prima operazione di media mobile a 8 bit e i punti in verde il risultato dopo una seconda operazione di media mobile sempre a 8 bit e decimati di un fattore pari a 8.

3.b Fit sinusoidale

Si è effettuato un fit con un legge della forma $A \sin(2\pi ft + \varphi) + B$

```
def sin(t, A, f, phi, B):  
    return A*np.sin(2*np.pi*f*t + phi) + B
```

lasciando liberi tutti i parametri, da cui si ottengono il grafico riportato in fig. 15 e come stime dei valori ottimali:

$$\begin{aligned} A &= 404 \times 10^{-3} \pm 2 \times 10^{-4} & f &= 99.9 \pm 7 \times 10^{-5} \text{ Hz} \\ B &= 545 \times 10^{-3} \pm 1 \times 10^{-4} & \varphi &= -0.09 \pm 7 \times 10^{-4} \text{ rad} \\ \chi^2/\text{d.o.f} &= 4/20554 \end{aligned}$$

3.c Risposta in frequenza dell'ADC

Come visto in sezione 1.d il convertitore studiato riesce a funzionare correttamente per segnali in ingresso fino a frequenze dell'ordine di qualche kHz; oltre cui la forma d'onda ricostruita in uscita risulta affetta da aliasing per via del basso numero di punti campionati lungo un periodo del segnale in ingresso.

Riportiamo quindi in fig. 16 la ricostruzione ottenuta per lo stesso segnale sinusoidale di frequenza $f = 2 \text{ kHz}$ (visualizzato all'oscilloscopio prima in fig. 13) e in fig. 17 la risposta in frequenza all'uscita U4 del circuito ottenuta da uno scan con Network Analyzer inviando una sinusoide di ampiezza fissata a 2.5 V e frequenza tra 100 e 10 kHz all'ingresso analogico dello stesso.

Una volta ricostruite le onde per valori di frequenza $f = [100, 200, 500, 1k, 2k, 5k, 10k] \text{ Hz}$ abbiamo misurato la loro ampiezza ripetendo il fit come in sezione 3.b per ognuno di questi valori di f per ottenere il grafico dell'andamento dell'ampiezza in uscita in funzione della frequenza riportato in fig. 18 Da cui si vede di nuovo come l'uscita del circuito ha una risposta in frequenza simile a quella di un integratore, come quello presente in U1.

Come regola generale infatti ci aspettiamo che per riuscire a ricostruire fedelmente il segnale in ingresso la frequenza di campionamento debba essere almeno $f_{\text{clk}} \geq 20f_{\text{max}}$ dove f_{max} è la frequenza massima dell'onda in ingresso.

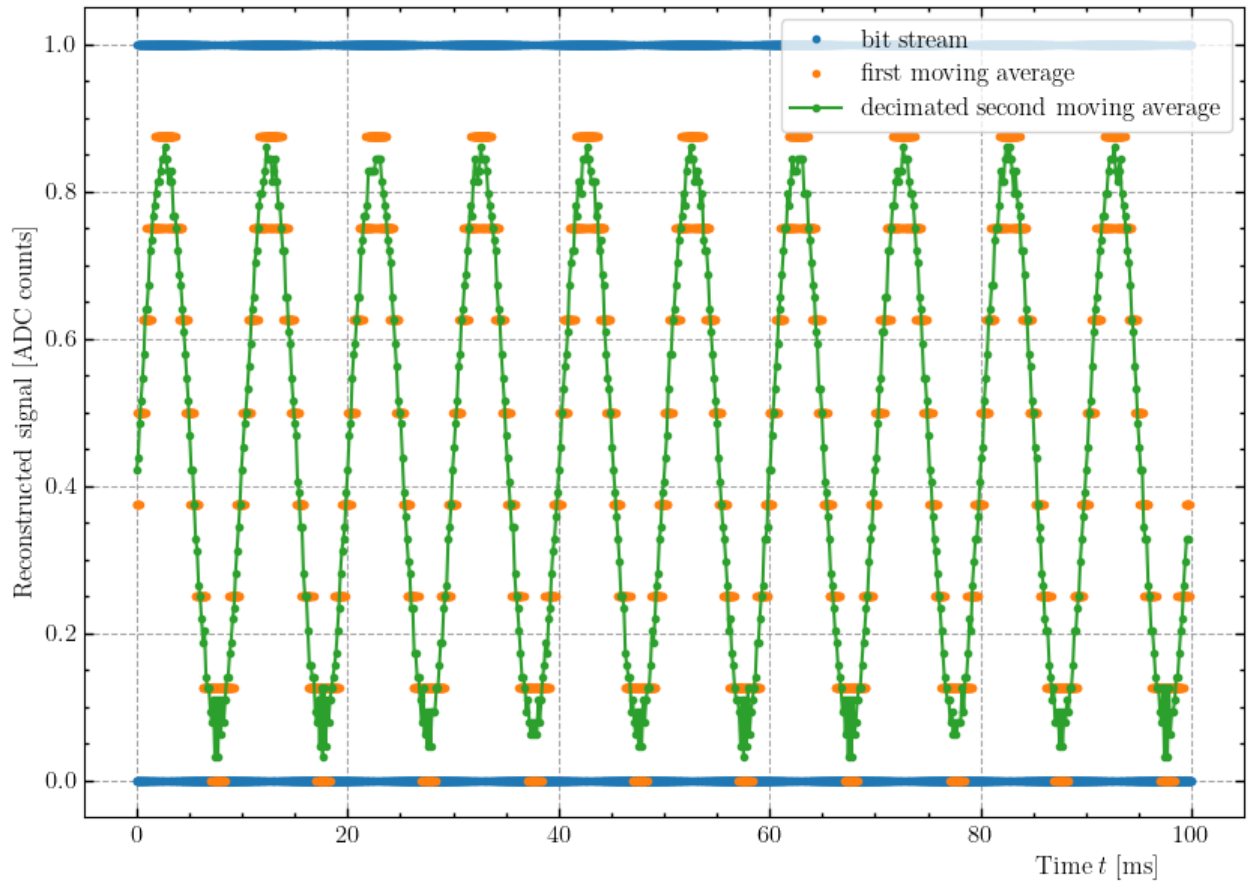


Figura 14: Ricostruzione del segnale sinusoidale in ingresso di $f = 100$ Hz e ampiezza 2.5 V a partire dall'acquisizione del segnale in uscita dall'ADC con Protocol.

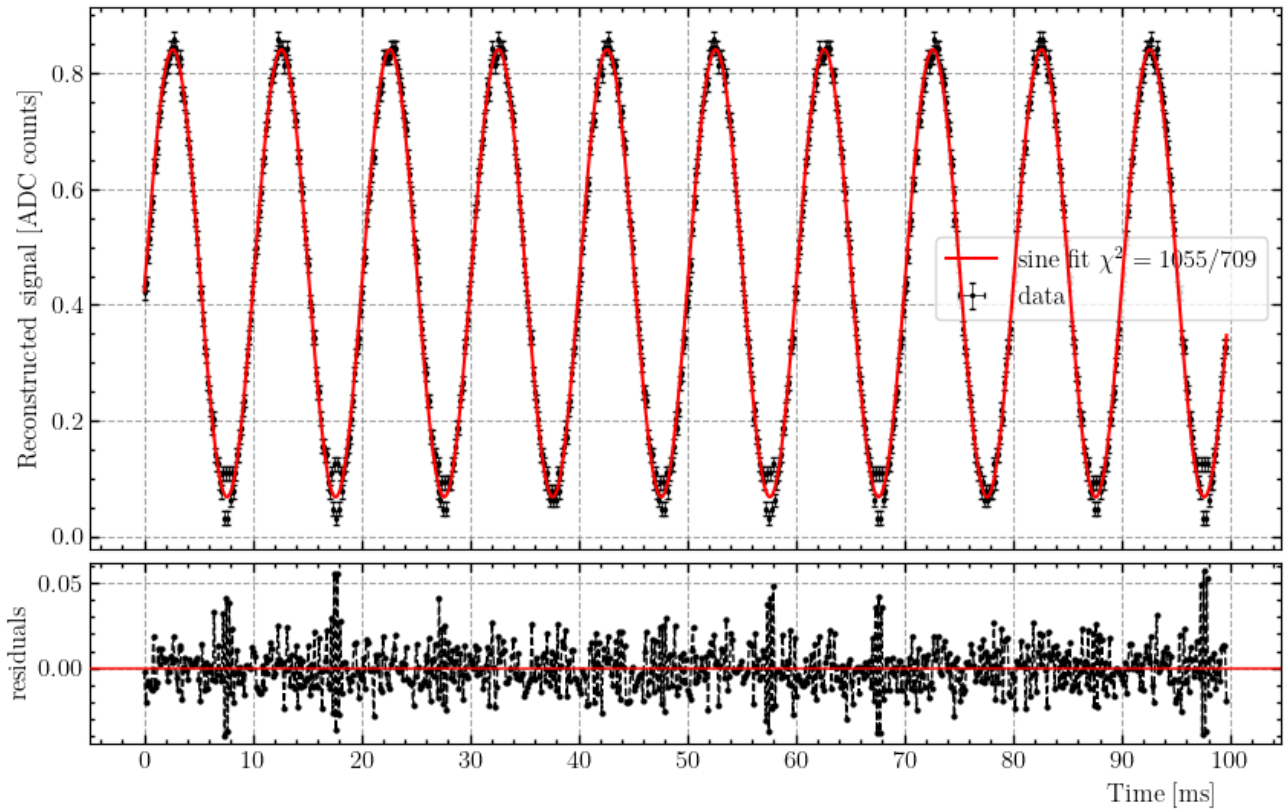


Figura 15: Grafico del fit con una forma d'onda sinusoidale e dei residui per l'andamento nel tempo dei punti campionati e ricostruiti dal secondo ADC.

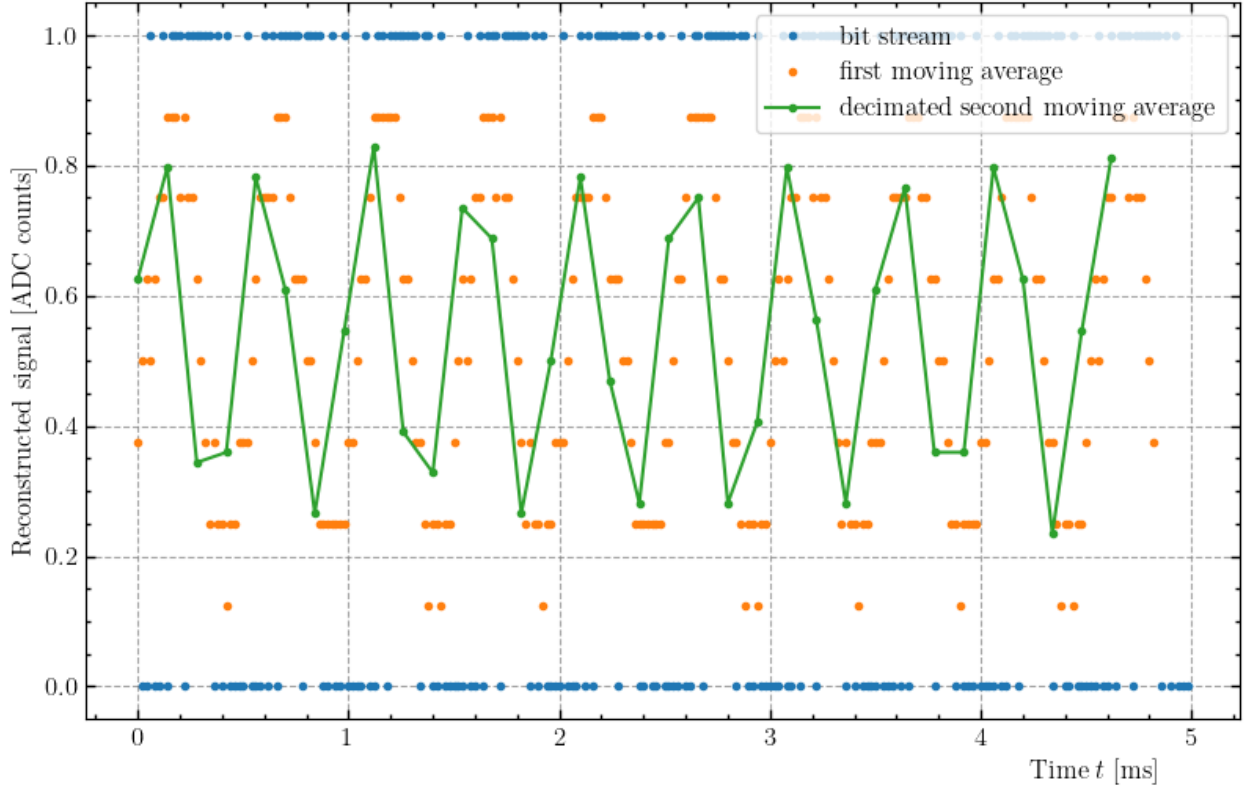


Figura 16: Ricostruzione del segnale sinusoidale in ingresso di $f = 2$ kHz e ampiezza 2.5 V a partire dall'acquisizione del segnale in uscita dall'ADC con Protocol.

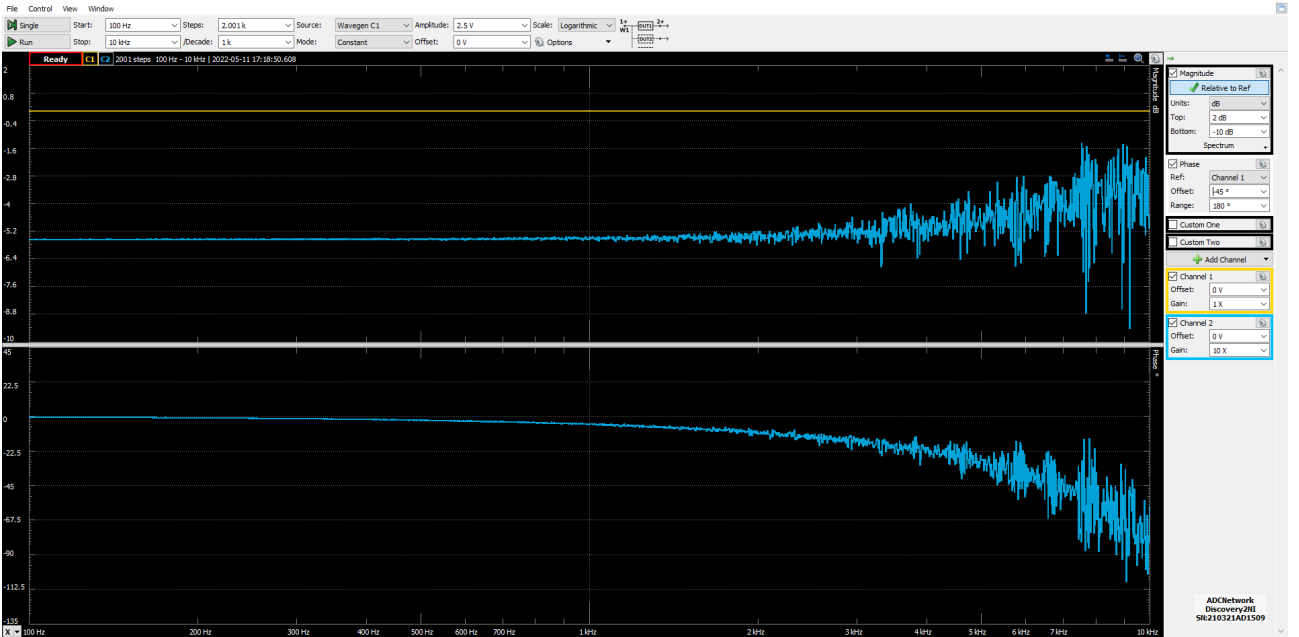


Figura 17: Analisi in frequenza dell'ADC ottenuta dallo scan con Network tra 100 Hz e 10 kHz con segnale sinusoidale in ingresso di ampiezza fissata a $v_{in} = 2.5$ V. L'unico punto di interesse si trova a circa 2 kHz, frequenza oltre alla quale il circuito assume un comportamento irregolare. L'andamento della fase risulta qualitativamente simile a quello atteso per un filtro passa basso.

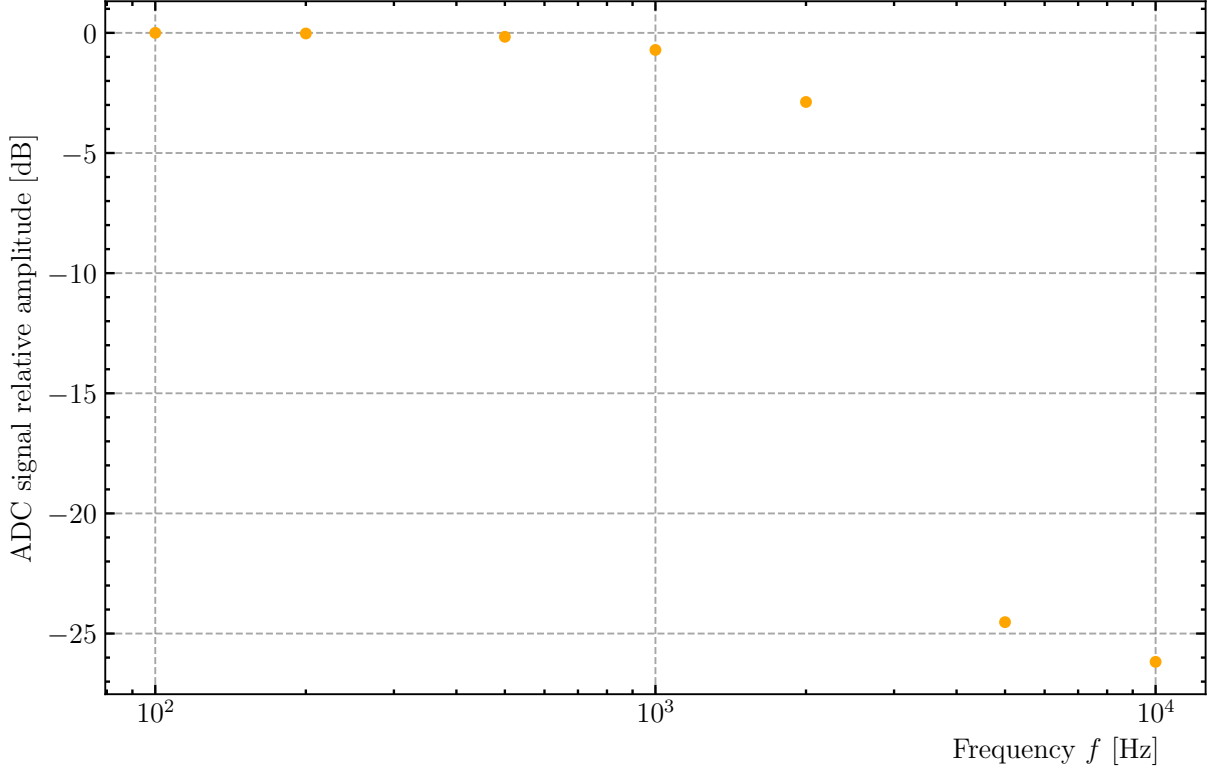


Figura 18: Plot di Bode per l'ampiezza del segnale ricostruito dall'ADC per frequenze tra 100 Hz e 10 kHz con segnale sinusoidale in ingresso di ampiezza fissata a $v_{in} = 2.5$ V. Ad una frequenza di circa 2 kHz il grafico presenta un ginocchio in cui l'ampiezza è diminuita rispetto a centro banda di -3 dB.

3.d Stima del fattore di calibrazione del convertitore

Per ottenere una legge di conversione tra i conteggi in uscita dall'ADC e la d.d.p in Volt al suo ingresso abbiamo ricostruito alla stessa maniera dei segnali di tensione nota e costante, in modo da esplorare il range di valori ammessi per il nostro circuito. Per prima cosa ricaviamo il conteggio di zero che corrisponde alla lettura in uscita dall'ADC con ingresso collegato a massa, dunque effettuiamo un fit lineare per ricavare il fattore di scala per convertire da Volt a conteggi dell'ADC.

Riportiamo in fig. 19 e di seguito i risultati del fit lineare

$$\begin{aligned} \text{intercetta} &= 0.536 \pm 0.002 \text{ [ADC counts]} & \text{pendenza} &= 0.155 \pm 0.007 \text{ [counts/V]} \\ \text{correlazione} &= -0.97 & \chi^2 &= 0.1 & \text{d.o.f.} &= 10 \end{aligned}$$

Si utilizza anche un secondo metodo per la calibrazione inversa del circuito; per cui ad un conteggio ricostruito dall'ADC $Y \in [0, 1]$ corrisponde una misura in Volt $X = (Y - O) \cdot C$.

Dopo avere eseguito il fit dell'onda ricostruita, si divide l'ampiezza dell'onda in ingresso misurata tramite oscilloscopio, per il valore dell'ampiezza ricavato dal fit, da cui otteniamo

$$\begin{aligned} C &= 6.39 \pm 0.06 \text{ V/count} \\ O &= 471 \times 10^{-3} \pm 2 \times 10^{-4} \text{ ADC counts} \end{aligned}$$

3.e Misura del signal/noise ratio (SNR)

Assumendo che il valore RMS del rumore del nostro circuito corrisponda al valore RMS dei residui del fit alla sinusoide effettuato in sezione 3.c, si è stimato il rapporto segnale/rumore in potenza tramite la formula

$$\text{SNR} = \frac{A_{pp}^2/8}{\sigma_{\text{noise}}^2} = \frac{A^2/2}{\text{Var}(\text{residuals})} = 380 \quad (1)$$

in cui A_{pp} è l'ampiezza massima (picco-picco) e σ_{noise} indica il valore rms del rumore.

Dunque abbiamo ricavato il numero di bit effettivi del convertitore studiato tramite la formula

$$n_{\text{bits}} = \frac{20 \log_{10} \text{SNR} - 1.76 \text{ dB}}{6.02 \text{ dB}} = 8.3 \quad (2)$$

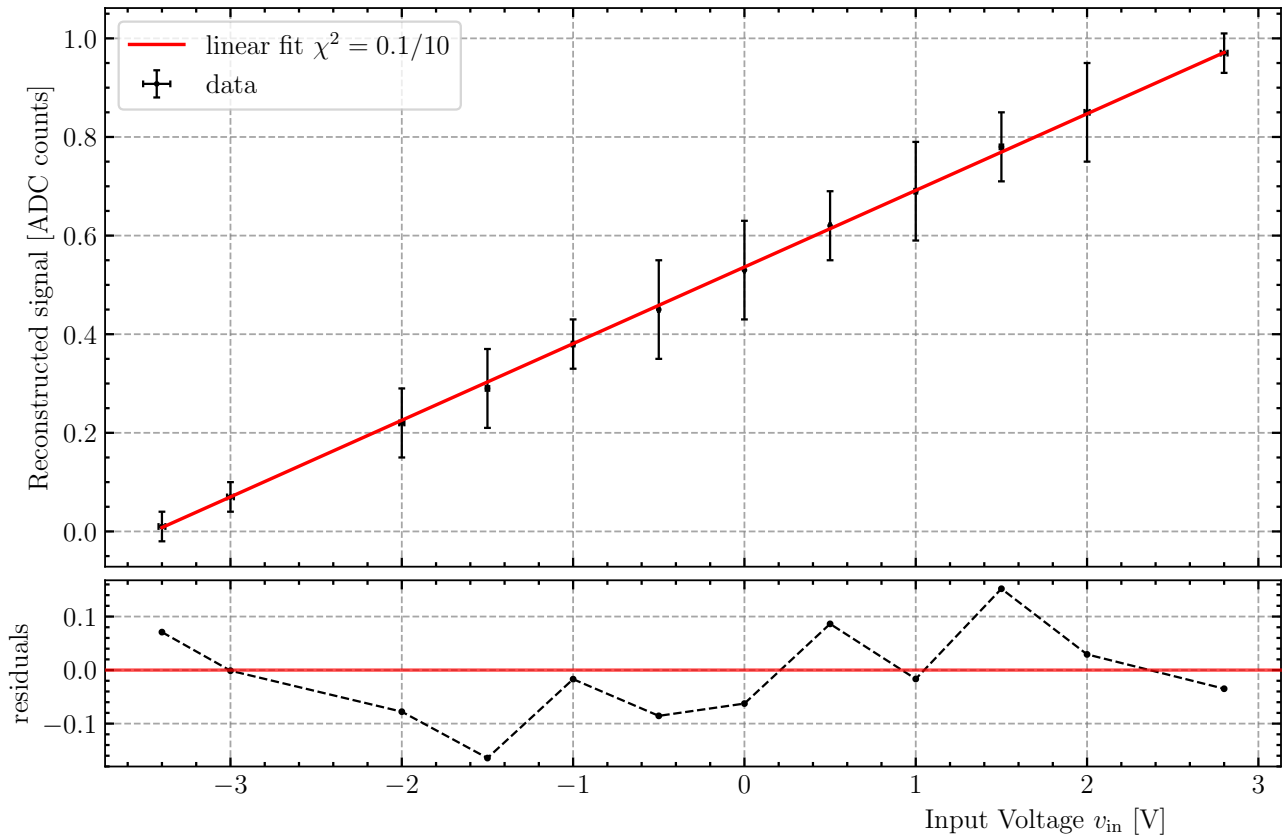


Figura 19: Grafico con retta di best-fit e residui della lettura dell'ADC al variare della tensione in ingresso per la calibrazione dell'ADC

Nota sul metodo di fit

Per determinare i parametri ottimali e le rispettive covarianze si è implementato in `Python` un algoritmo di fit basato sui minimi quadrati mediante la funzione `curve_fit` della libreria `SciPy`.

Conclusioni e commenti finali

Si è riusciti a costruire e studiare il comportamento di un convertitore analogico-digitale Sigma-Delta facendo uso di tre amplificatori operazionali (TL081) e un D-FF (74LS74).

In particolare si è riusciti a descrivere e verificare sperimentalmente il corretto funzionamento del circuito e a caratterizzarne la risposta in uscita sia nel dominio dei tempi che delle frequenze al variare dei parametri del segnale analogico inviato al suo ingresso.

Dichiarazione

I firmatari di questa relazione dichiarano che il contenuto della relazione è originale, con misure effettuate dai membri del gruppo, e che tutti i firmatari hanno contribuito alla elaborazione della relazione stessa.