

EsD1: Caratterizzazione di porte logiche e semplici circuiti logici.

Gruppo 1.AC
Matteo Rossi, Bernardo Tomelleri

4 aprile 2022

1 Misura componenti dei circuiti

Resistenze [Ω]	R	σR
R_{pot}	9.53 k	0.08 k
R_0	993	8
R_1	992	8
R_2	993	8
R_3	994	8
R_4	997	8

Tabella 1: Valori di resistenza misurati per i componenti passivi dei circuiti studiati.

Resistenze [Ω]	R	σR
R_{pot}	9.53 k	0.08 k
R_0	993	8
R_1	992	8
R_2	993	8
R_3	994	8
R_4	997	8

Tabella 2: Valori di resistenza misurati per i componenti passivi dei circuiti studiati.

Riportiamo per completezza anche il valore della tensione continua di alimentazione per i circuiti integrati misurata con il multimetro

$$V_{CC} = 4.99 \pm 0.03V$$

Nota sul metodo di fit

Per determinare i parametri ottimali e le rispettive covarianze si è implementato in **Python** un algoritmo di fit basato sui minimi quadrati mediante la funzione *curve_fit* della libreria **SciPy**.

2 Caratteristiche fisiche delle porte logiche

Si studia il comportamento delle porte NOT TTL contenute nel circuito integrato SN7404 misurando le tensioni e correnti di operazione e verificando che queste rientrino nelle specifiche tecniche riportate nel Data-Sheet del chip.

2.a Tensioni di operazione

Come prime misure verifichiamo i valori delle tensioni di soglia in ingresso e tipiche in uscita, da cui è possibile ricavare il Noise Margin.

Generiamo una rampa di tensione 0-5 V e visualizziamo i segnali prodotti: in questo modo è possibile costruire un grafico di V_{out} in funzione di V_{in} .

Possiamo quindi misurare i valori del Noise Margin High e Low definiti rispettivamente

$$NM_H = V_{OH,min} - V_{IH,min}$$

$$NM_L = V_{IL,max} - V_{OL,max}$$

Dove $V_{OH,min}$ è il minimo valore interpretato in output dalla porta come alto; analogamente possiamo descrivere le altre grandezze presenti nelle definizioni.

Dalle specifiche del DS si ha che i valori attesi sono

Parameter	min	typ	max	[Unit]
V_{CC}			7	V
V_I			5.5	V
V_{OH}	2.4	3.4		V
V_{OL}	0.2	0.4		V
V_{IH}	2			V
V_{IL}			0.8	V
I_{IH}			40	μA
I_{OH}			-0.4	mA

Tabella 3: Valori delle tensioni e correnti di operazione indicati sul datasheet dell'integrato SN7404.

Dalle nostre misure otteniamo

$$V_{OH,min} = \pm V$$

$$V_{IH,min} = \pm V$$

$$NM_H = \pm V$$

$$V_{IL,max} = \pm V$$

$$V_{OL,max} = \pm V$$

$$NM_L = \pm V$$

(dire se torna)

2.b Misura del Fan-out

Il Fan-out è il numero massimo di porte che una singola porta può guidare restando entro le specifiche di funzionamento ed è definito nel seguente modo

$$\text{Fan-out} = \frac{I_{OH,max}}{I_{IH,max}}$$

Dalle specifiche del DS leggiamo

$$I_{IH,max} = -0.4mA$$

$$I_{OH,max} = 40\mu A$$

$$\text{Fan-out} = -0.1(?)$$

Misuriamo le correnti

input a 2.4V ale 12 uA eli 13uA ele 21uA output a 3.4V ale 1.21 mA eli 1.13 ele 1.54mA (output 2 ?? ele 0.375 mA)

3 Circuiti logici elementari con sole porte NAND

In questa sezione, dopo aver rimosso l'integrato analizzato nella sezione precedente, utilizziamo due integrati del tipo SN74LS00 a porte NAND a due ingressi, schematizzati nella figura a lato. Una fondamentale caratteristica delle porte NAND è la loro universalità, ossia il fatto che è possibile realizzare qualsiasi tipo di circuito: infatti, con combinazioni di porte NAND, possiamo ottenere circuiti equivalenti dalle porte AND, OR e NOT, a partire dalle quali è possibile realizzare qualsiasi circuito.

3.a Tabella di verità

Dalla funzione StaticIO visualizziamo la tabella di verità e la verifichiamo utilizzando gli interruttori.

(Utilizzando le funzioni Pattern di Waveform produce le quattro possibili coppie di valori in ingresso e con la funzione Logic acquisisce questi due segnali assieme al segnale in uscita e riporta il grafico nella relazione)

Producendo, tramite la funzione Pattern, le quattro coppie degli ingressi, riportiamo le acquisizioni dei segnali visualizzati con Logic.

Riportiamo inoltre il grafico (che grafico?)

3.b Circuiti con porte NAND

In questa sezione vogliamo analizzare dei circuiti con il solo utilizzo di porte NAND.

(Riportare per ognuno:
la derivazione analitica, utilizzando l'algebra di Boole, che trasformi la funzione logica desiderata in soli NAND;
lo schema del circuito;
un'acquisizione effettuata utilizzando le funzioni Pattern e Logic che dimostri la funzionalità del circuito.)

Porta OR

Come primo circuito vogliamo realizzare una porta OR: detti A e B gli ingressi e Y l'uscita, nella notazione dell'algebra booleana si ha

$$Y = A + B$$

Sfruttando la legge di De Morgan si ottiene

$$Y = A + B = \overline{\overline{A} \cdot \overline{B}}$$

che descrive la relazione OR in termini del NAND.

Nota la relazione per ottenere un NOT utilizzando porte NAND, riportiamo lo schema del circuito

Circuito selettore a due vie (multiplexer)

Realizziamo un circuito che permetta di assegnare all'uscita il valore di uno dei due ingressi a singolo bit tramite il valore di un terzo ingresso. Indichiamo con A , B e C gli ingressi e con Y l'uscita; il funzionamento del nostro circuito può essere descritto dalla tabella di Karnaugh riportata sotto

$$\begin{cases} C = 0 \implies Y = A \\ C = 1 \implies Y = B \end{cases}$$

C \ AB	00	01	11	10
	0	0	1	1
1	0	1	1	0

da cui si ricava facilmente la seguente relazione per il circuito

$$Y = A \cdot \overline{C} + B \cdot C$$

e, sempre sfruttando De Morgan, si ha

$$Y = A \cdot \overline{C} + B \cdot C = \overline{\overline{A \cdot \overline{C}} \cdot \overline{B \cdot C}}$$

Riportiamo sotto lo schema del circuito

Per dimostrare il corretto funzionamento del circuito riportiamo le acquisizioni di Pattern, in cui è possibile comprendere come sono stati impostati gli ingressi, e Logic, da cui si può verificare il corretto funzionamento del circuito.

Figura 1: Pattern: DIO 0 \equiv C, DIO 1 \equiv A e DIO 2 \equiv B

4 Circuiti logici complessi a più chip

4.a Convertitore Gray-Binario

Come ultima cosa vogliamo realizzare un circuito in grado di convertire un valore a 4 bit dalla codifica Gray in Binario utilizzando un solo integrato di tipo SN74LS86 a porte XOR, descritto nella figura a lato.

Un convertitore Gray-Binario può essere schematizzato come in Figura (3): il nostro obiettivo è quello di verificare che tale circuito si comporti come atteso.

Figura 3: Schema convertitore Gray-Binario

Codice binario	Codice Gray
0000	0000
0001	0001
0010	0011
0011	0010
0100	0110
0101	0111
0110	0101
0111	0100
1000	1100
1001	1101
1010	1111
1011	1110
1100	1010
1101	1011
1110	1001
1111	1000

Tabella 4: Conteggio a 4 bit nei due codici.

Il codice Gray differisce dal codice binario in quanto si passa da un intero al successivo modificando un solo bit per volta.

Calcoliamo l'uscita del circuito per alcuni valori in ingresso:

G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0
0	0	0	0	0	0	0	0
1	1	1	1	1	0	1	0
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

Confrontando le uscite ottenute con i valori riportati in Tabella (4) affermiamo che il circuito si comporta correttamente come convertitore Gray-Binario. Come conferma, riportiamo un'acquisizione.

Per una scala dei tempi molto stretta, si registra che i tempi di propagazione non sono istantanei, distinguendo dei glitch(s) sui canali di uscita.

In particolare, per DIO 9 (B1)

(verificate il funzionamento del circuito utilizzando Pattern per generare un contatore a 4 bit con la codifica opportuna e osservando l'uscita con Logic (come ai punti precedenti);

osservate su una scala molto stretta (30ns) la transizione dal numero 15 al numero 0;

motivate l'osservazione del punto precedente tenendo conto del tempo di propagazione necessario per i due circuiti;

riportate tutti i grafici necessari a dimostrare il funzionamento del circuito.)

4.b Sommatore a 2 bit

Vogliamo costruire un sommatore a due bit utilizzando le dovute porte logiche. Utilizzeremo i chip SN74LS08 (quad-AND), SN74LS32 (quad-OR), SN74LS86 (quad-XOR). Il circuito da montare è riportato in Fig.(7).

Verifichiamo il funzionamento mandando in ingresso tutte le possibili combinazioni di due numeri a due bit. Per fare ciò mandiamo ai 4 ingressi del circuito un segnale che conta in binario. Il risultato è mostrato in Fig.(8).

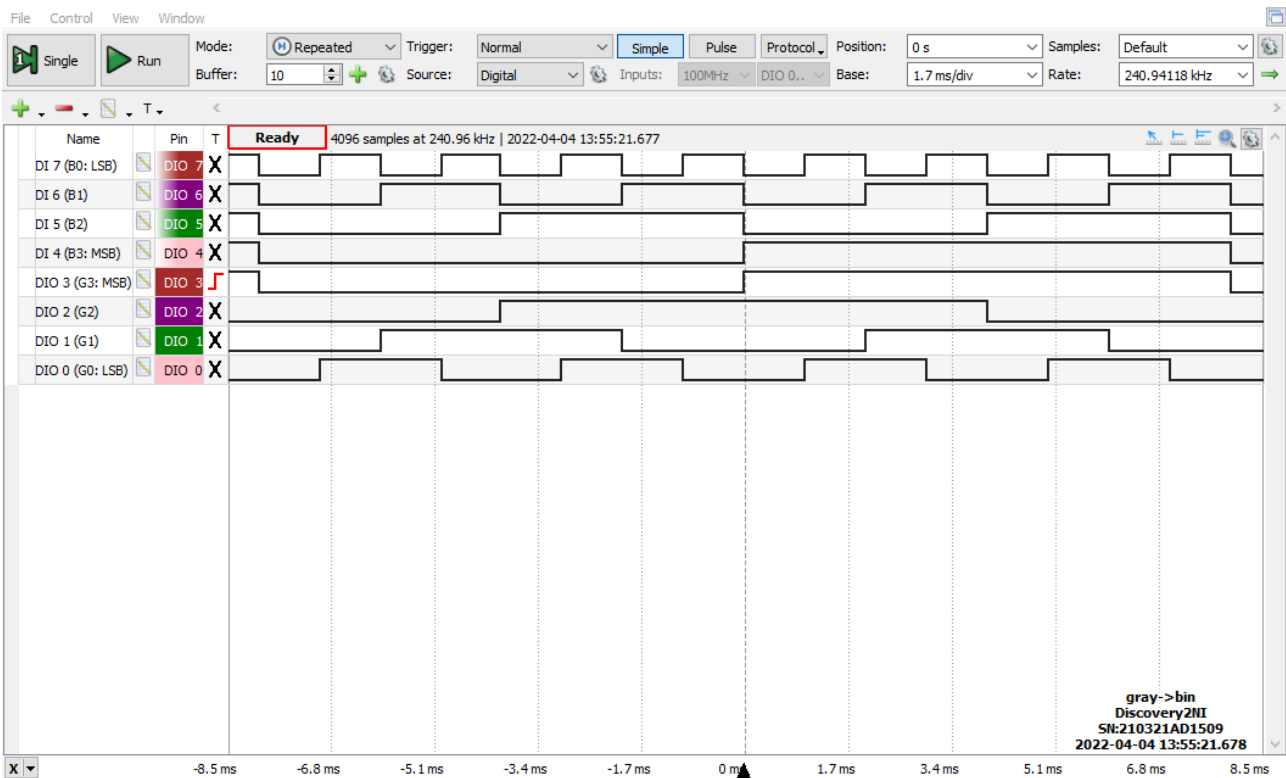


Figura 4: Acquisizione del Logic Analyzer per un ciclo completo (frequenza 10 Hz) dei segnali in ingresso e in uscita dal convertitore Gray-binario.

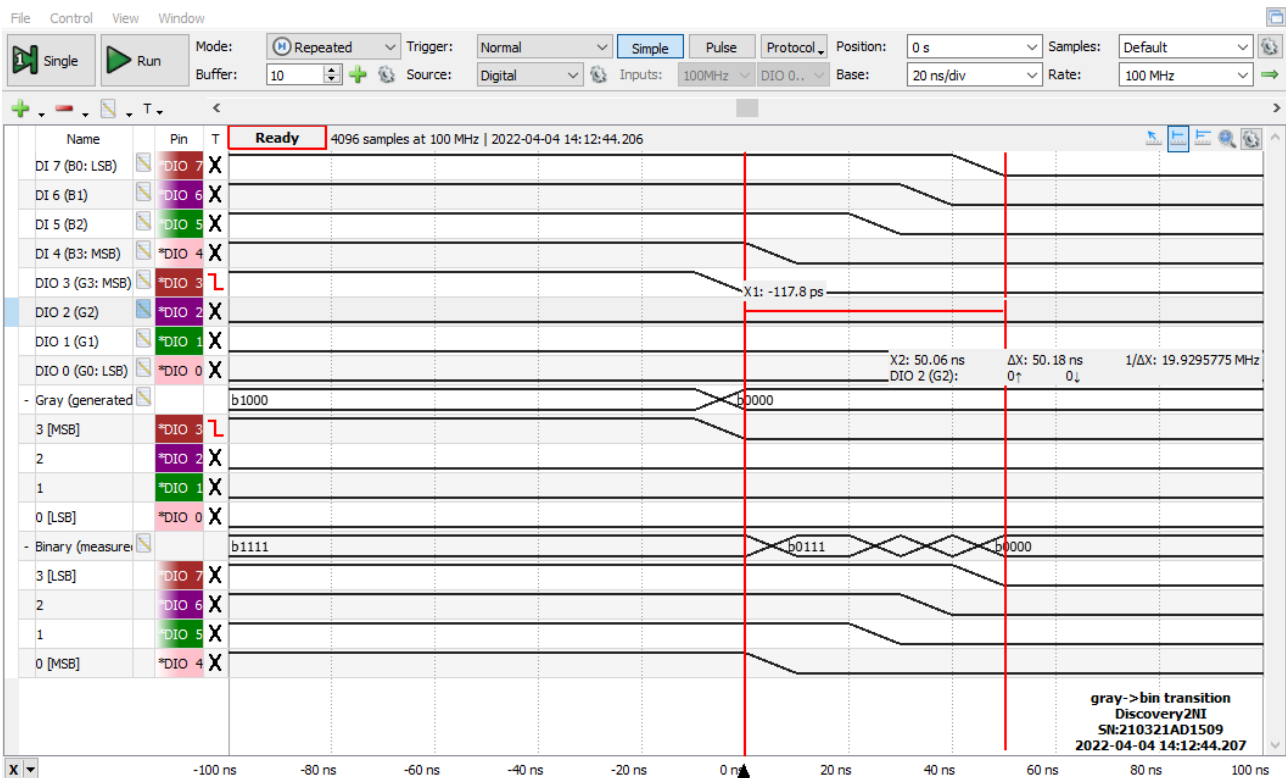


Figura 5: Acquisizione del Logic Analyzer durante la transizione dal numero 15 al numero 0 su scala dei tempi pari a 20 ns. Il primo cursore evidenzia la durata di una metà del glitch su DIO 9 (10 ns) mentre il secondo è posto a 60 ns per individuare la durata complessiva del glitch in DIO 11.

Aggiungiamo al circuito 4 led verdi e un led rosso: questi sono pilotati da 5 nuovi cavi dell'AD2. Per controllare il loro funzionamento aggiungiamo a *Patterns* una tabella delle verità, riportata in 9, che faccia in modo che ad ogni step si illuminino un numero di led pari al valore della somma. Il led rosso verrà usato per

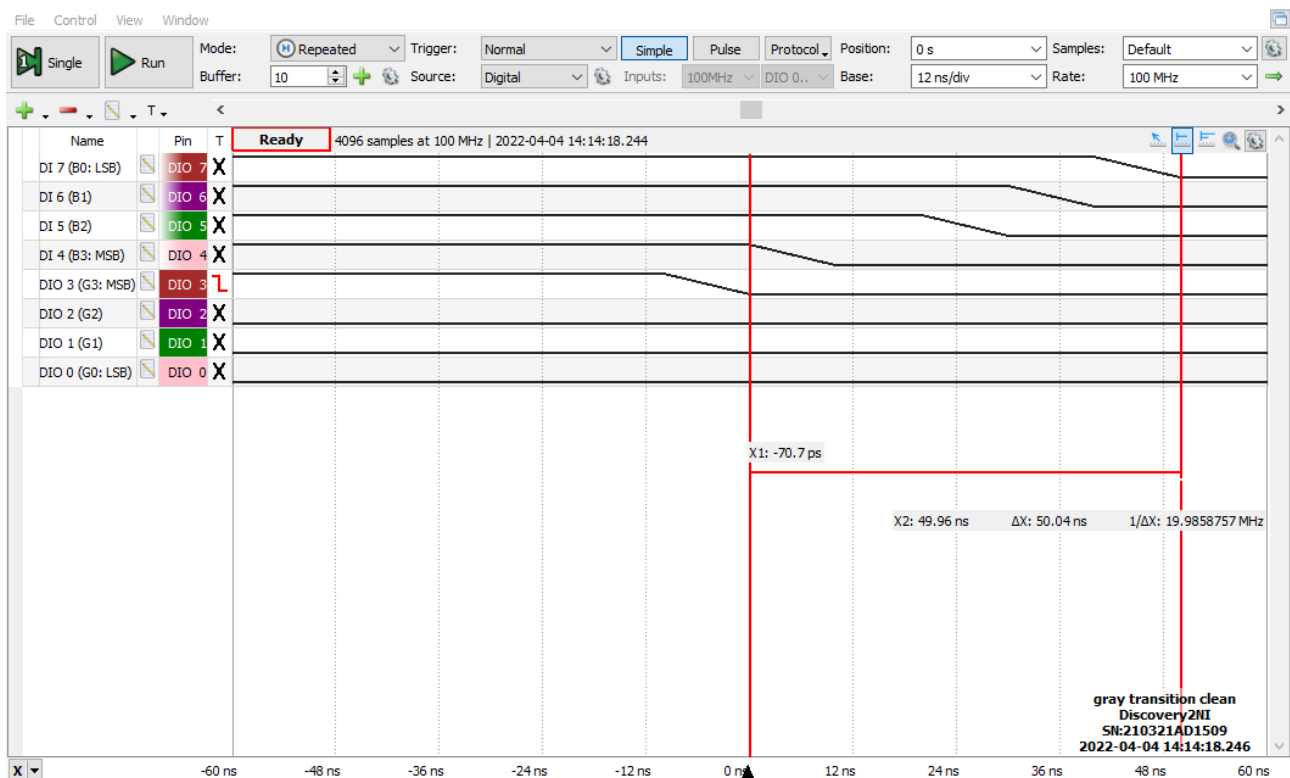


Figura 6: Transizione dal 15 allo 0 su scala temporale pari a 10 ns. Si riporta la tendina degli Eventi rilevanti per il canale DIO 11 (output B3: MSB).

Figura 7: Schema circuitale di un sommatore a due bit.

controllare l'overflow, ovvero la possibilità che il risultato sia maggiore o uguale a 5. Per osservare al meglio il risultato si può vedere il video registrato per l'occasione, reperibile al link seguente: <https://www.youtube.com/watch?v=D473oqeD6gc>.

Conclusioni e commenti finali

Si è riusciti a verificare il corretto comportamento delle porte TTL studiate caratterizzandone le tensioni, correnti di operazione e tempi caratteristici di circuiti integrati come il SN7404. Inoltre, è stato possibile verificare il funzionamento di circuiti logici di diversa complessità costruiti con porte NAND, XOR, e OR e si è riusciti ad apprezzare l'effetto dei tempi di propagazione delle porte nella conversione dalla codifica Gray al binario.

Dichiarazione

I firmatari di questa relazione dichiarano che il contenuto della relazione è originale, con misure effettuate dai membri del gruppo, e che tutti i firmatari hanno contribuito alla elaborazione della relazione stessa.

Figura 8: Andamento del sommatore, si consulti la colonna di sinistra per il significato di ciascuna riga.

Figura 9: Tabella delle verità usata.