

Convertitore Analogico-Digitale di tipo Sigma-Delta

Note esplicative per l'esercitazione D4, Laboratorio 3 A.A. 2021-22

A. Gennai

Introduzione

I convertitori di segnali da analogico a digitale (ADC) di tipo Sigma-Delta (Σ - Δ) sono oggi i più utilizzati sia in campo audio che in generale nelle misure di precisione in cui la frequenza di campionamento non deve superare i 10 milioni di campioni al secondo (MSPS). Proprio per la loro grande diffusione è importante conoscere i principi fondamentali di questo tipo di convertitore.

In questa esercitazione monteremo un semplice convertitore Sigma-Delta, realizzato utilizzando 3 amplificatori operazionali e un flip-flop di tipo D. Nei convertitori disponibili in commercio le funzionalità descritte sono integrate in un unico chip.

Modulazione Delta

La modulazione delta è stata inventata sul finire degli anni 40 dello scorso secolo. Lo scopo iniziale era quello di ottenere una maggiore efficienza nelle comunicazioni digitali trasmettendo non i valori dei campioni ma le differenze (delta) rispetto al campione precedente. Nello schema base del modulatore delta in figura 1, ad ogni istante di campionamento, ovvero ad ogni fronte in salita del clock, il segnale analogico viene quantizzato dall'equivalente di un ADC a un solo bit: un comparatore la cui uscita viene letta in corrispondenza dei fronti di un segnale di clock. L'uscita del comparatore viene quindi convertita di nuovo in un segnale analogico e sottratta dal segnale di ingresso dopo essere passata attraverso un circuito integratore

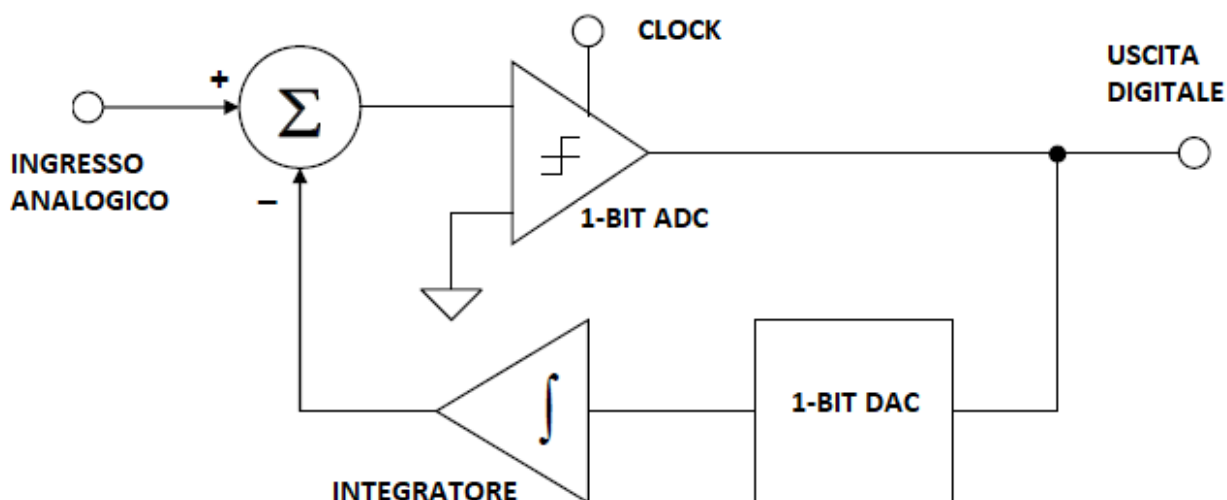


Figura 1. Modulatore Delta

L'ampiezza del segnale di ingresso viene quindi codificata nel seguente modo: un bit a 1 in uscita significa che c'è stata un'escursione positiva rispetto al campione precedente mentre un bit a 0 indica che l'escursione è stata negativa. È interessante notare che non c'è nessun limite al numero di impulsi dello stesso segno che possono prodursi in uscita e quindi in teoria il modulatore delta può 'inseguire' un segnale analogico di ampiezza arbitraria. C'è però un problema diverso: se il segnale di ingresso è troppo veloce il campionatore

non è in grado di tenere il passo in quanto in un periodo di clock può cambiare al massimo di un fattore delta. In pratica la frequenza del clock di campionamento deve essere tipicamente almeno venti volte la frequenza massima del segnale. Per questo motivo il modulatore delta non ha avuto un grande successo fino a quando non è stato riscoperto negli anni 60 quando furono creati i primi convertitori analogico digitali sigma-delta.

ADC Sigma-Delta

Il passaggio dal modulatore delta al convertitore sigma-delta è relativamente semplice. Per prima cosa occorre convincersi che il circuito di Figura 1, il modulatore delta, ha una risposta in frequenza di tipo passa-alto. Con delle scelte opportune dei guadagni dei convertitori a 1 bit e trascurando i loro ritardi, il circuito si trasforma nel seguente schema semplificato dove T è la costante di tempo dell'integratore.

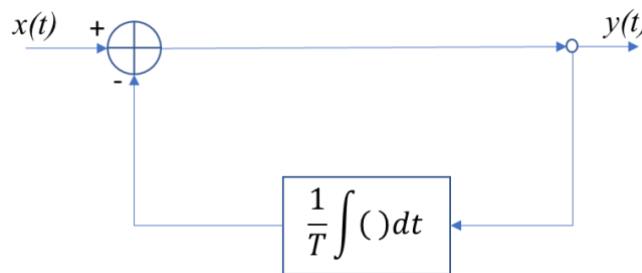


Figura 2. Schema equivalente del modulatore delta di figura 1. La funzione di trasferimento tra ingresso e uscita è un filtro passa-alto.

La funzione di trasferimento tra ingresso e uscita si ricava facilmente utilizzando la trasformata di Laplace.

$$Y(s) = X(s) - \frac{1}{sT} Y(s) \Rightarrow \frac{Y(s)}{X(s)} = \frac{sT}{1+sT} \quad (1)$$

Si può dimostrare che la scelta migliore per la costante di tempo dell'integratore è pari al periodo del clock di campionamento T_C . La funzione di trasferimento tra ingresso ed uscita dello schema di figura 2 diventa quindi:

$$\frac{Y(s)}{X(s)} = \frac{sT_C}{1+sT_C} \quad (2)$$

Il modulatore delta quindi si comporta come un filtro passa alto. In particolare, dato che come abbiamo detto il periodo di campionamento dovrà essere necessariamente molto maggiore della frequenza del segnale di ingresso, di fatto il comportamento è in pratica quello di un derivatore semplice. Per ottenere una stima $x_r(t)$ del segnale di ingresso $x(t)$ devo quindi integrare $y(t)$.

Data la linearità del sistema nulla vieta di scambiare l'ordine dei due blocchi e portare quindi l'integratore in ingresso.

Visto che adesso abbiamo lo stesso integratore su entrambi gli ingressi del sommatore possiamo di nuovo sfruttare la linearità per sostituire i due integratori con un unico posto dopo il sommatore ed otteniamo così l'architettura base di un ADC Sigma-Delta.

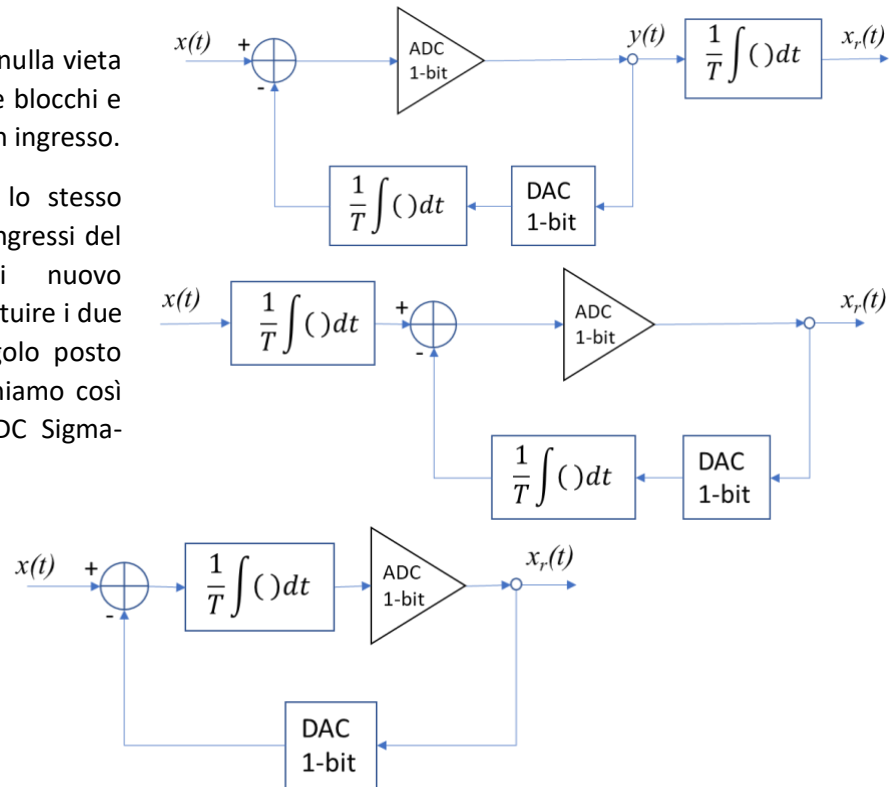


Figura 3. ADC Sigma-Delta

Circuito Elettrico

In figura 4 è riportato lo schema elettrico corrispondente allo schema funzionale di figura 3. Il primo operazionale a sinistra (U1) implementa sommatore e integratore. Il secondo operazionale (U2) insieme al flip-flop (U3A) costituiscono il convertitore analogico-digitale a 1 bit mentre il terzo operazionale (U4) è il convertitore digitale-analogico a 1 bit. Il segnale di ingresso (V3, evidenziato con la sonda verde), è una sinusoide a 100 Hz con ampiezza pari a 2.5V. Il clock del flip-flop parte del convertitore AD ha un periodo pari a 100 us e quindi una frequenza di 10 kHz. Il segnale digitale di uscita è l'uscita Q del flip-flop evidenziata nello schema dalla sonda rossa. Vediamo in dettaglio ogni singolo elemento del circuito per semplificarne la messa in funzione.

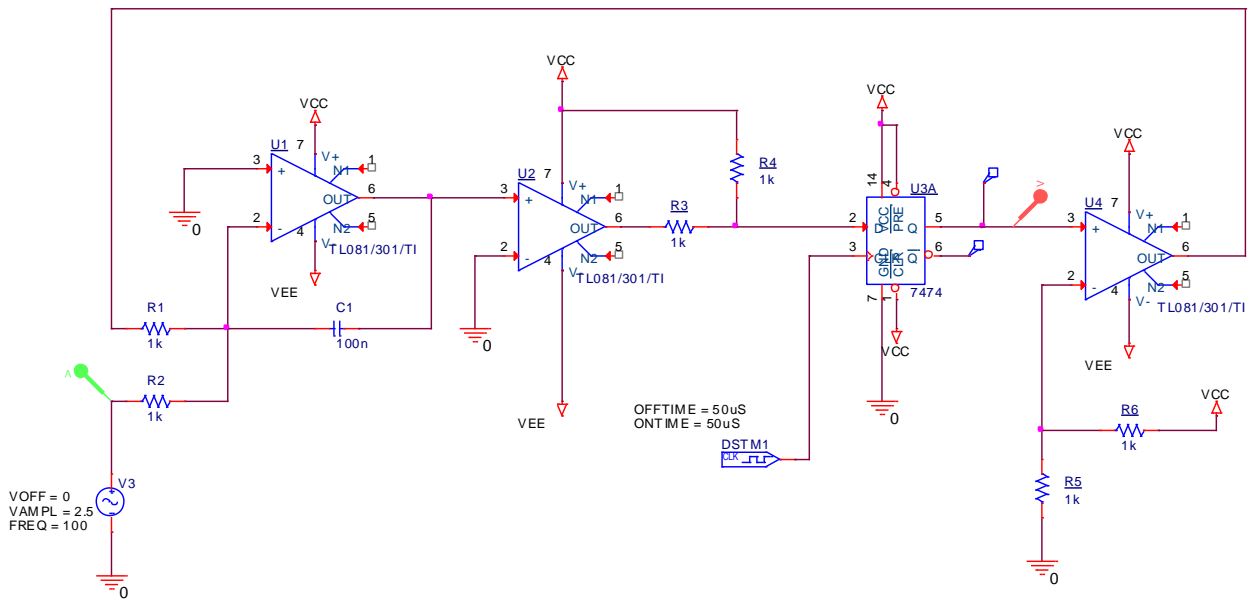


Figura 4. ADC Sigma-Delta: Schema elettrico

Sommatore e integratore

Il circuito sommatore ed integratore non ha niente di particolare. Confrontandolo con lo schema di principio in cui i due ingressi del sommatore sono discordi, sembrerebbe esserci un errore visto che nello schema elettrico i due ingressi si sommano con lo stesso segno. In realtà l'integratore è invertente e quindi il segno del segnale di uscita riportato in ingresso tramite R1 risulterà correttamente cambiato di segno rispetto alla sinusoide in ingresso. Da notare che un integratore non può lavorare a loop aperto in quanto anche un piccolo offset in ingresso farebbe divergere l'uscita.

ADC a 1-bit

Il convertitore AD a 1 bit è realizzato utilizzando un amplificatore operazionale (U2) montato a comparatore semplice e un flip-flop di tipo D (U3). L'uscita Q del flip-flop è la nostra uscita digitale. Il segnale in uscita dall'integratore viene confrontato con ground (0V). L'uscita sarà quindi saturata positiva (circa 3.5/4 V) se l'uscita dell'integratore è positiva e saturata negativa (-3.5/4 V) se l'uscita dell'integratore è minore di zero. L'uscita del comparatore è il segnale che vorrei campionare con il flip-flop ma il valore minimo accettato come ingresso non può essere minore di zero (in realtà fino a circa -1V non si rompe niente ma il funzionamento potrebbe non essere corretto). I valori raccomandati di $V_{IH\ min}$ e $V_{IL\ max}$ per un 74LS74 sono rispettivamente 2 V e 0.8 V. Dobbiamo quindi traslare l'uscita del comparatore che come abbiamo detto sarebbe compresa tra circa -3.5V e 3.5V in modo da ottenere un segnale che rientri nell'intervallo di funzionamento raccomandato per il flip-flop, ovvero V_{IH} compresa tra 2 e 5 V e V_{IL} compresa tra 0 e 0.8 V. Un trucco banale è quello mostrato nello schema tramite l'utilizzo di due resistenze, R3 e R4. Trascurando la corrente che entra/esce dal pin D del flip-flop, R3 e R4 implementano un partitore di tensione tra VCC (5V) e l'uscita del comparatore. Quando l'uscita del comparatore vale -3.5V sul pin D avremo $-3.5 + (5+3.5) R3/(R3+R4)$ Volt = 0.75V < $V_{IL\ max}$. Quando invece l'uscita del comparatore vale 3.5V avremo invece $3.5 + (5-3.5) R3/(R3+R4) = 4.25V > V_{IH\ min}$. Nell'esempio di figura sono state messe due resistenze da 1kOhm ma potrebbero esserci dei casi in cui valore delle resistenze deve essere regolato in base al valore della tensione a cui saturano gli operazionali. In corrispondenza del fronte di salita del segnale di clock, il valore logico che si presenta sul pin D vien trasferito in uscita su Q.

DAC a 1-bit

La conversione da digitale ad analogico è più semplice rispetto al convertitore AD descritto sopra. In questo caso dobbiamo trasformare la sequenza di '1' e '0' che si produce all'uscita del flip-flop in tensioni analogiche

da inviare al secondo ingresso del sommatore-integratore. Nel nostro caso vogliamo trattare segnali di ingresso bipolari e quindi il valore di uscita del nostro DAC dovrà essere $-V_{sat}$ in corrispondenza di uno '0' logico e $+V_{sat}$ in corrispondenza di un '1'. Il range $+V_{sat} \rightarrow -V_{sat}$ rappresenta il massimo range di tensioni che il segnale analogico di ingresso può assumere senza rischiare saturazioni nel nostro circuito: circa 7 Volt picco-picco assumendo V_{sat} pari a 3.5V. La seguente figura mostra l'andamento simulato dell'uscita del secondo comparatore sovrapposto alla sinusoide di ingresso. Che l'informazione relativa alla sinusoide sia in qualche modo contenuta nell'uscita del nostro DAC e di conseguenza nell'uscita digitale Q del flip-flop è abbastanza evidente. Vediamo come possiamo fare per estrarla.

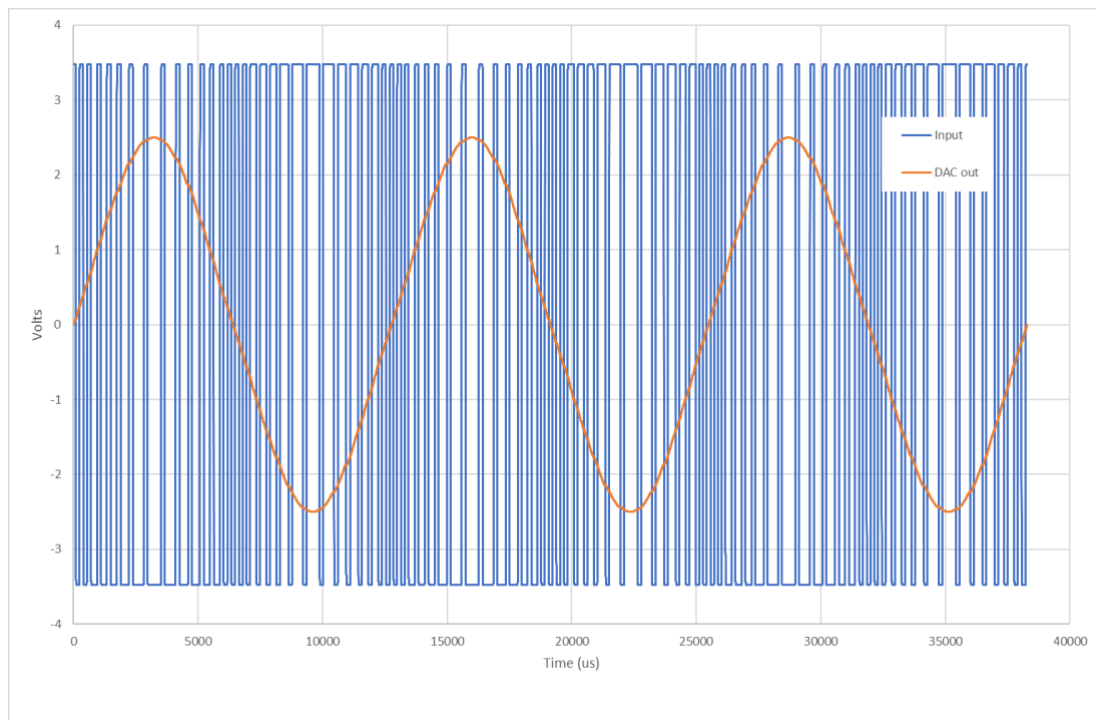


Figura 5. Segnale di ingresso sovrapposto alla sequenza in uscita dal convertitore DA a 1 bit

Ricostruzione del segnale di ingresso

Vediamo come ricostruire il segnale di ingresso partendo dalla sequenza di bit prodotta dal flip-flop. Nella figura seguente sono riportati il segnale di ingresso (blu), il clock (giallo) e l'uscita del flip-flop (rosso). Il segnale Q commuta in corrispondenza dei fronti di salita del clock. L'ampiezza del segnale di ingresso è proporzionale alla 'densità' relativa di bit a '1' nella sequenza di uscita. Per ricostruire l'ampiezza del segnale devo quindi contare quanti bit a '1' ho nella sequenza in un determinato intervallo di tempo.

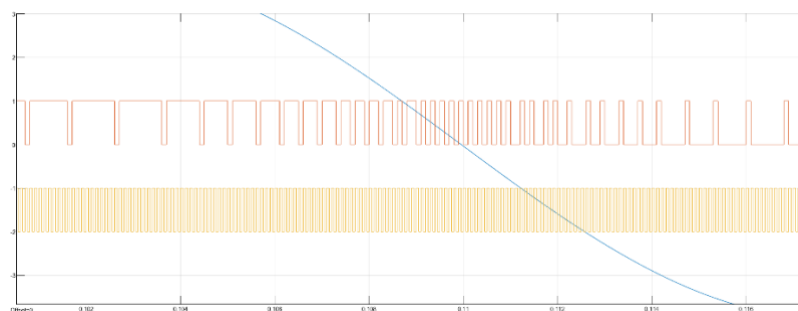


Figura 6. Segnale di ingresso (blu), clock (giallo) e bitstream (rosso)

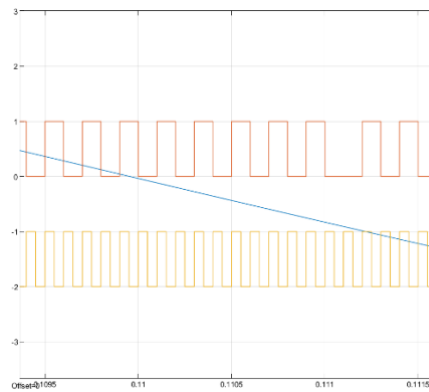


Figura 7. Zoom della figura precedente

Questa operazione di conteggio di bit a '1' può essere fatta semplicemente con una media mobile su k bit applicata alla sequenza di uscita. La sequenza di operazioni necessaria per ricostruire il segnale di ingresso limitando l'introduzione di artefatti è illustrata nella figura a lato. Il segnale di ingresso, in questo caso una sinusoide, viene convertita nella sequenza di bit dal convertitore sigma-delta. Già filtrando la sequenza con un filtro a media mobile a 8 bit inizio a riconoscere meglio la forma del segnale. Effettuando un secondo passaggio sempre con un filtro a media mobile a 8 bit miglioro ulteriormente la forma d'onda. Come ultimo passaggio posso decimare il segnale di un fattore 8 (semplicemente scartando 7 campioni) senza perdita di informazione.

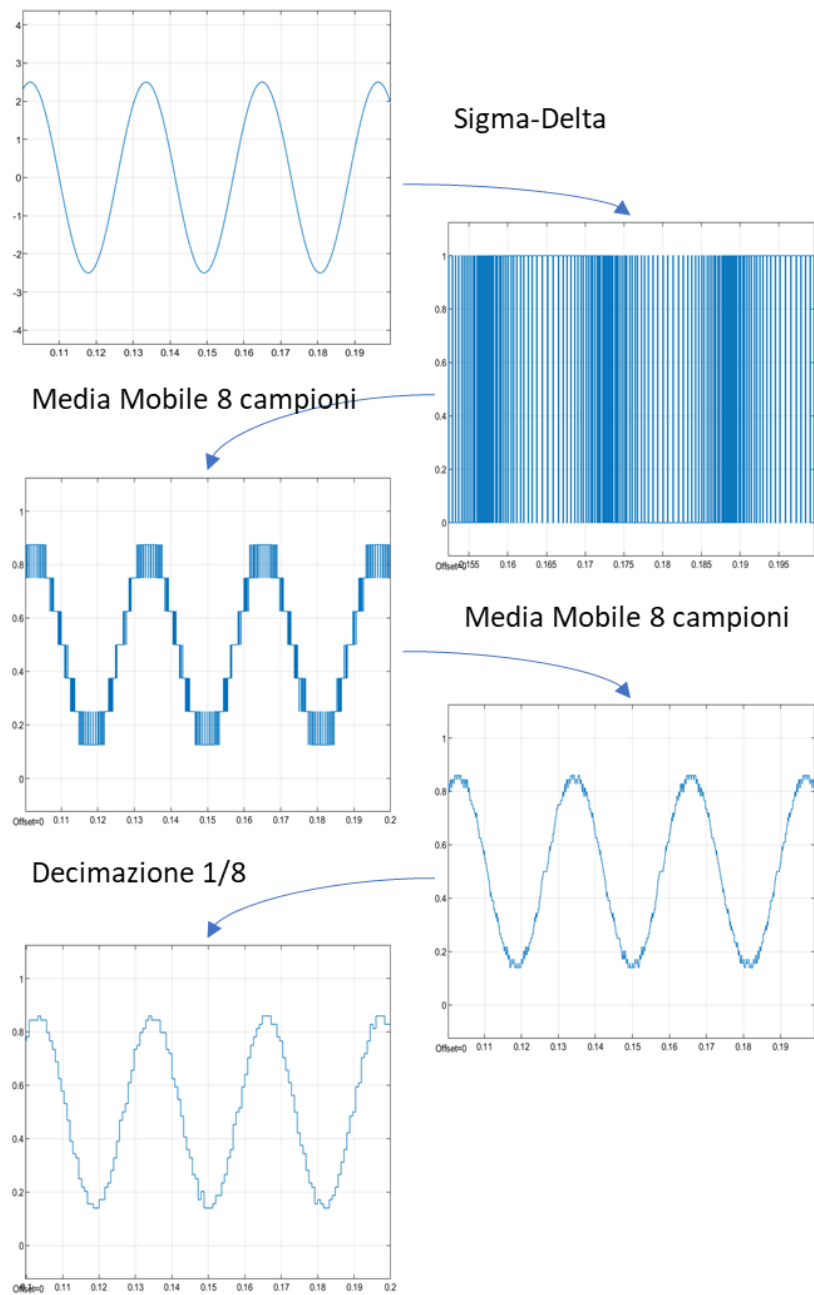


Figura 8. Sequenza delle operazioni per estrarre il segnale