

Es08A: Amplificatore di tensione con JFET a emettitore comune

Gruppo 1.AC
Matteo Rossi, Bernardo Tomelleri

7 marzo 2022

1 Misura componenti dei circuiti

Resistenze [Ω]	R	σR	Capacità [F]	C	σC
R_1	100	1	C_{in}	95 n	4 n
R_S	219	3	C_{out}	9.6 n	0.4 n
R_D	997	8	C_S	95 μ	5 μ
R_G	1.02 M	0.1 M			
R_s	99.6 k	0.8 k			

Tabella 1: Valori di resistenza e capacità misurate per i componenti dei circuiti studiati.

Resistenze [Ω]	R	σR	Capacità [F]	C	σC
R_1	100.2	0.9	C_{in}	99 n	4 n
R_s	217	3	C_{out}	10.4 n	0.4 n
R_d	993	8	C_S	96 μ	4 μ
R_g	994 k	8			
R_s	996 k	8			

Tabella 2: Valori di resistenza e capacità misurate per i componenti dei circuiti studiati.

Riportiamo per completezza anche i valori delle tensioni di alimentazione continue per gli op-amp misurate con il multimetro

$$V_{DD} = 4.99 \pm 0.03V$$

$$V_{SS} = -4.99 \pm 0.03V$$

Nota sul metodo di fit

Per determinare i parametri ottimali e le rispettive covarianze si è implementato in **Python** un algoritmo di fit basato sui minimi quadrati mediante la funzione `curve_fit` della libreria **SciPy**.

2 Studio del funzionamento

Come primo passo abbiamo verificato il corretto funzionamento del JFET a canale N 2N3819 studiandone le caratteristiche dalla configurazione circuitale riportata in 1

Vista la struttura del JFET, sappiamo che aumentando V_{GS} le zone della giunzione vengono svuotate dai portatori di carica, fino a che non si raggiunge un potenziale di pinch-off V_p in cui il canale risulta completamente svuotato e la corrente di drain I_{DS} tende a 0. Al contrario invece, quando $V_{GS} = 0$ V il canale risulta "aperto", perciò misureremo in questa situazione il massimo di corrente; quando invece $V_{GS} < V_p$ la corrente sarà pressoché nulla.

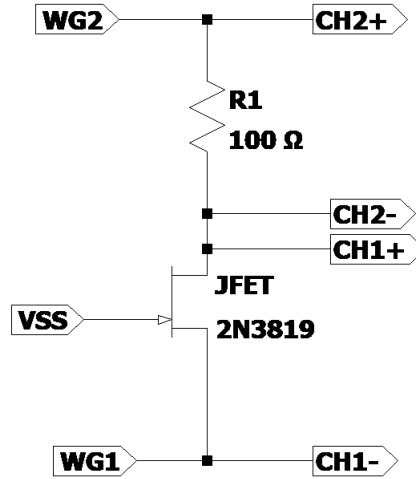


Figura 1: Schema circuitale per la verifica di funzionamento del JFET

2.a Curve tracer

Abbiamo applicato al gate una tensione di polarizzazione continua V_{SS} di -5 V in modo da polarizzare inversamente la giunzione np^+ (gate-canale). Dunque si invia in WG1 una rampa a scalini equispaziati di 250 mV partendo da -5 V fino a 0 V, mentre in WG2 per ogni gradino step di WG1 si genera una rampa che parte dal valore corrente di WG1 e arriva fino a 5 V. Di seguito quello che otteniamo dall'oscilloscopio: Notiamo

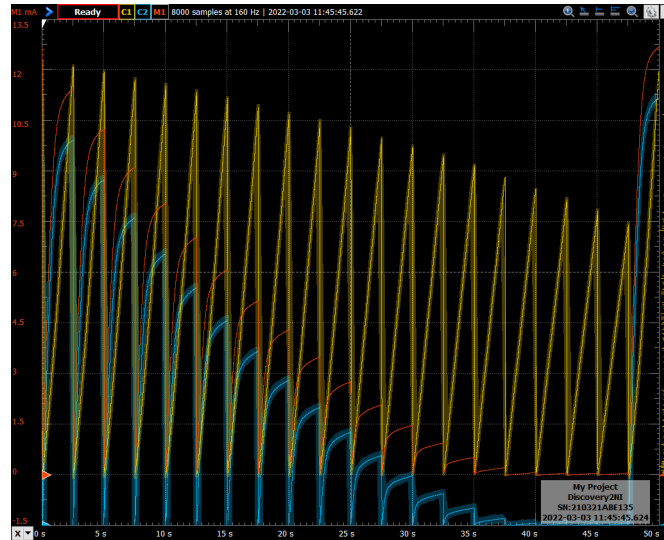


Figura 2: Acquisizione all'oscilloscopio dell'andamento temporale dei segnali V_{DS} (CH1), V_{R_1} (CH2) e $I_{DS} = V_{R_1}/R_1$ (Math1) in funzione del tempo

esplicitamente come V_{DS} risulta sempre positivo, mentre V_{GS} è sempre negativo, in accordo con le condizioni $V_{DS} > 0$ e $V_{GS} < 0$ da verificare.

2.b Curve caratteristiche ottenute

2.c Confronto con datasheet

Come detto prima, il momento in cui la corrente è maggiore (nel grafico a sinistra è sufficiente soffermarsi a vedere l'andamento di CH2) si ottiene quando V_{GS} è pari a 0, che nello stesso grafico è quando la rampa di WG2 misurata da CH1 è più alta (perchè in quel caso V_S è pari a V_G ovvero V_{SS}). Inoltre si può vedere che oltre un certo punto l'andamento di CH2 risulta approssimativamente costante: questo si ottiene quando viene superata la tensione di pinch-off, che siamo andati a misurare tramite cursori:

$$V_p = -4.0 \pm 0.2 \text{ V}$$

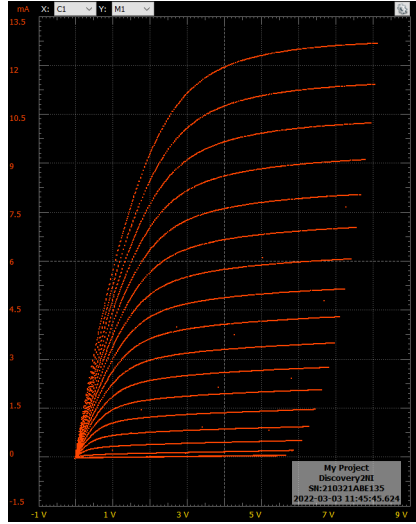


Figura 3: Curve caratteristiche del JFET I_{DS} in funzione di V_{DS} al variare di V_{GS} tra -5 e 0 V

in cui l'incertezza associata sarà uguale al passo dei nostri scalini. Infine, sempre utilizzando i cursori, abbiamo misurato la corrente nella traccia in cui $V_{GS} = 0$, nel grafico di sinistra è la curva più alta; da cui abbiamo ricavato:

$$I_{DSS} = 12.6 \pm 0.2 \text{ mA}$$

Confrontando col datasheet risulta che entrambi i valori risultano compatibili con gli intervalli dichiarati dai costruttori (dato che noi abbiamo utilizzato valori di V_{DS} minori di quelli utilizzati nel datasheet)

3 Amplificatore e punto di lavoro

A questo punto abbiamo costruito il circuito per l'amplificatore di tensione: Quindi si è collegato V_{CC} a 5 V e

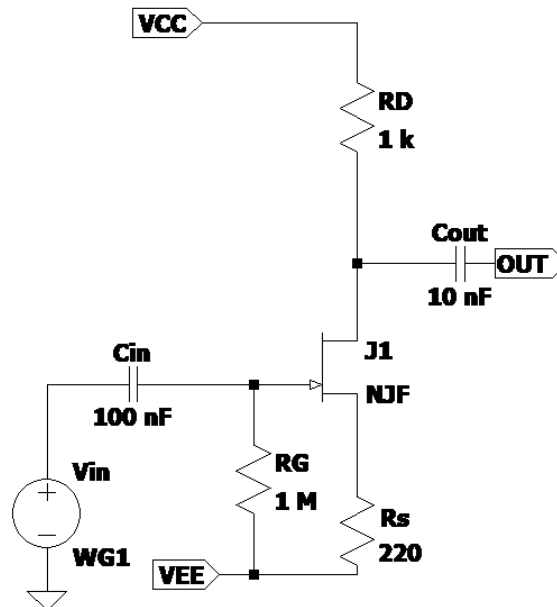


Figura 4: Schema circuitale per l'amplificazione di segnale tramite JFET

V_{SS} a -5 V tenendo scollegato V_{in} per verificare il punto di lavoro del JFET.

3.a Corrente di quiescenza

Misurando la caduta di potenziale ai capi della resistenza R_D abbiamo calcolato la corrente di quiescenza con la legge di ohm, da cui si ricava

$$I_{DS} = 6.27 \pm 0.06 \text{ mA}$$

che risulta essere compatibile con la metà della I_{DSS} . Si è quindi proseguito con la misura di V_{GS} e di V_{DS} per verificare quello che abbiamo appena misurato. Sappiamo infatti che dato V_{GS} e V_p e se il JFET è in regime di saturazione:

$$I_{DS} = \frac{I_{DSS}}{V_p^2} (V_{GS} - V_p)^2 \quad (1)$$

3.b Tensioni ai terminali del JFET

Per misurare V_{GS} si è calcolata la differenza tra le misure di V_G e V_S :

$$V_{GS} = -886 \pm 7 \text{ mV}$$

$$V_{DS} = 2.35 \pm 0.01 \text{ V}$$

Dato che $V_{DS} > V_{GS} - V_p$ si ricava che siamo in zona di saturazione, a questo punto basta applicare l'equazione; si ottiene quindi

$$I_{DS}(V_{GS}, V_p, I_{DSS}) = 4.14 \pm 0.07 \text{ mA}$$

Che risulta essere compatibile con quanto misurato.

3.c Stima della transconduttanza g_m

Stimiamo infine la transconduttanza tramite la formula

$$g_m = \frac{2I_{DSS}}{|V_p|} \sqrt{\frac{I_d}{I_{DSS}}} \quad (2)$$

da cui ricaviamo $g_m = 4.73 \text{ m}\Omega$, andando quindi a ricercare nel datasheet il valore fornito da costruttore, troviamo un grafico di g_m in funzione della frequenza a cui opera il JFET, in particolare notiamo che per frequenze minori di circa 500 Mhz la transconduttanza deve essere compresa approssimativamente tra 4 e 5, similamente anche la transammettenza deve essere compresa tra 3 e 6.5 m Ω ; il valore misurato risulta quindi compatibile.

4 Amplificazione di piccoli segnali a frequenza fissa

A questo punto si è collegato l'ingresso V_{in} all'entrata dell'amplificatore, e lo abbiamo pilotato con un'onda sinusoidale di 1 kHz con un'ampiezza compresa tra 100 mV e 2.8 V a passi di 100 mV. Dall'ampiezza (e la fase) della risposta in uscita V_{out} abbiamo misurato il guadagno $A_v = \frac{V_{in}}{V_{out}}$

Data la caratteristica del circuito di essere in configurazione common source, possiamo modellare il guadagno come

$$A_v = -\frac{g_m R_d}{1 + g_m R_s} \quad (3)$$

Utilizzando i dati ottenuti prima possiamo ricavare il valore atteso:

$$A_v = -2.33 \pm 0.02$$

Ci accorgiamo subito che questo risultato non risulta essere compatibile con quanto misurato prima. Essendo il guadagno negativo se ne deduce che l'amplificatore sarà di tipo invertente, come ben visibile dai grafici di V_{in} e V_{out} . Se i due segnali sono in opposizione di fase il passaggio per 0 con la stessa pendenza/slope devono distare un semi-periodo dall'altro; per cui ai massimi del segnale in ingresso (la traccia gialla) corrispondono i minimi del segnale in uscita (la traccia blu)

Da una misura con i cursori troviamo

$$\Delta t = 50.2 \pm 1.0 \text{ ns}$$

$$\Delta \varphi = 2\pi f \Delta t = 3.14 \pm 0.06 \text{ rad}$$

mentre con la funzione di misura automatica definita con uno script di Wavegen risulta:

$$\varphi = 179.21 \pm 0.10^\circ$$

che sono entrambi compatibili con il valore atteso di $\Delta \varphi_{\text{exp}} = \pi \text{ rad}$ per la natura invertente dell'amplificatore.

$V_{in}[V]$	$\sigma V_{in}[V]$	$V_{out}[V]$	$\sigma V_{out}[V]$	$ A_v $	σA_v
100 m	1 m	206 m	2 m	2.06	0.02
200 m	2 m	411 m	4 m	2.05	0.02
300 m	3 m	616 m	7 m	2.05	0.03
400 m	4 m	821 m	7 m	2.05	0.02
501 m	4 m	1.03	8 m	2.05	0.02
601 m	7 m	1.22	18 m	2.04	0.04
701 m	7 m	1.42	19 m	2.03	0.03
801 m	7 m	1.62	20 m	2.02	0.03
901 m	7 m	1.80	0.02	2.00	0.03
1.00	8 m	1.99	0.02	1.99	0.03
1.10	8 m	2.16	0.02	1.96	0.02
1.20	8 m	2.31	0.02	1.93	0.02
1.30	9 m	2.46	0.02	1.89	0.02
1.40	9 m	2.59	0.03	1.86	0.02
1.50	0.02	2.71	0.04	1.82	0.03
1.60	0.02	2.84	0.04	1.78	0.03
1.70	0.02	2.93	0.04	1.72	0.03
1.80	0.02	3.05	0.04	1.69	0.03
1.90	0.02	3.15	0.04	1.65	0.03
2.00	0.02	3.25	0.04	1.62	0.03
2.10	0.02	3.34	0.04	1.59	0.02
2.20	0.02	3.48	0.04	1.56	0.02
2.30	0.02	3.53	0.04	1.53	0.02
2.40	0.02	3.59	0.04	1.49	0.02
2.50	0.02	3.61	0.04	1.44	0.02
2.60	0.03	3.63	0.04	1.39	0.02
2.71	0.03	3.63	0.04	1.34	0.02
2.81	0.04	3.64	0.04	1.29	0.02

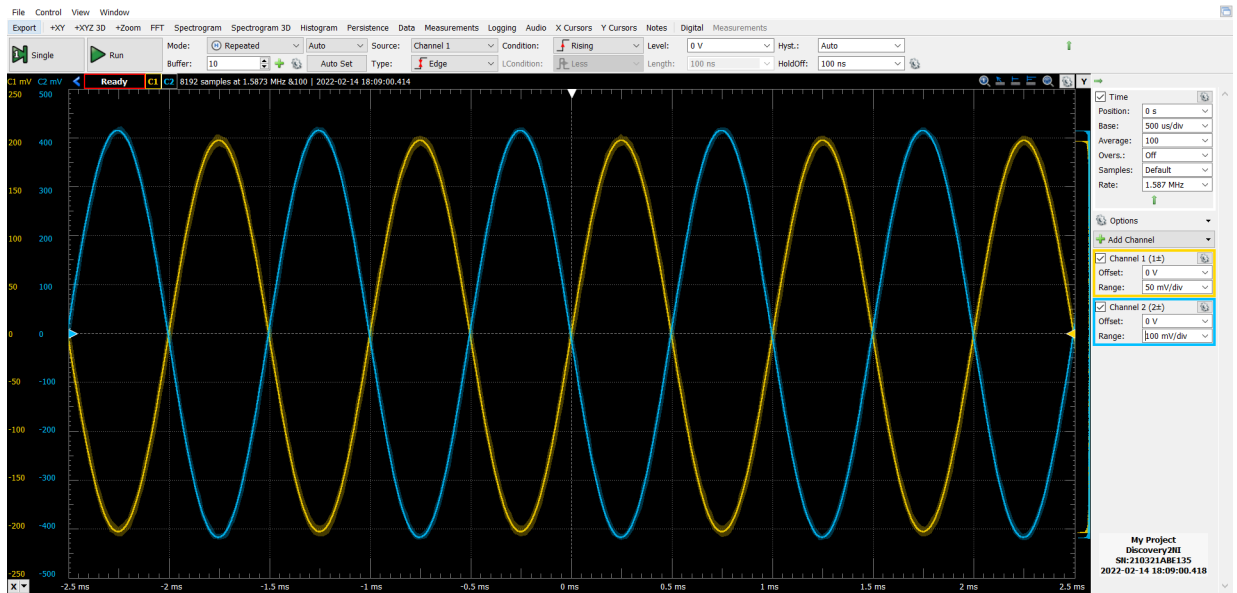


Figura 5: Grafici di V_{in} e V_{out} in funzione del tempo con ampiezza $V_{in} = 200$ mV

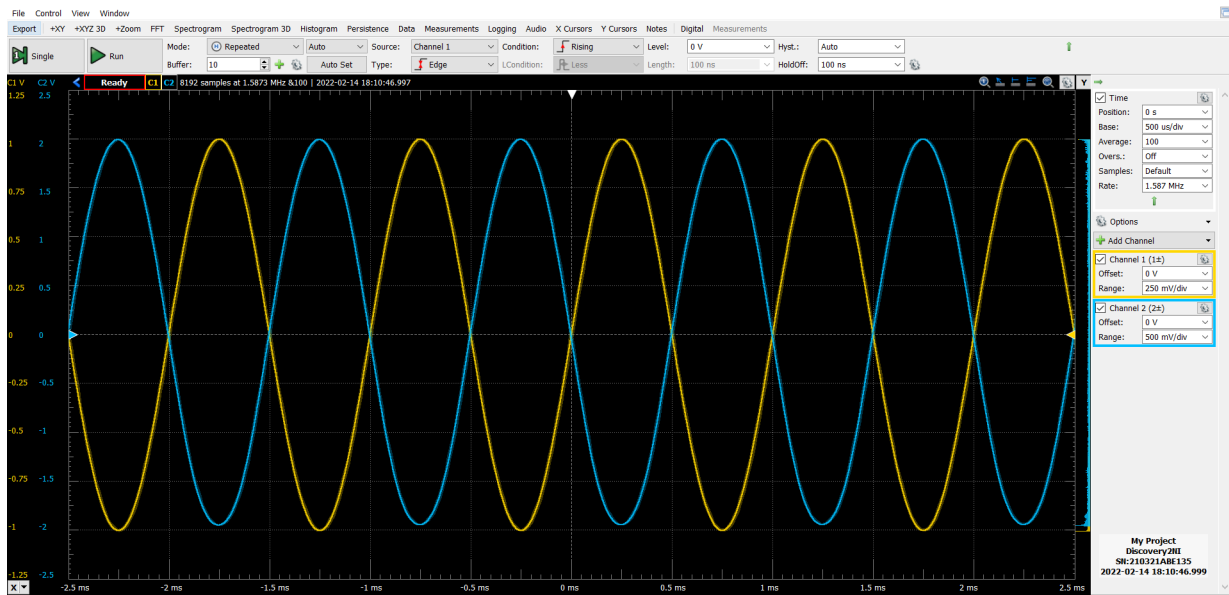


Figura 6: Grafici di V_{in} e V_{out} in funzione del tempo con ampiezza $V_{in} = 1$ V; in questa situazione si nota una distorsione nel segnale in uscita, in particolare la parte inferiore dell'onda risulta schiacciata verso lo 0

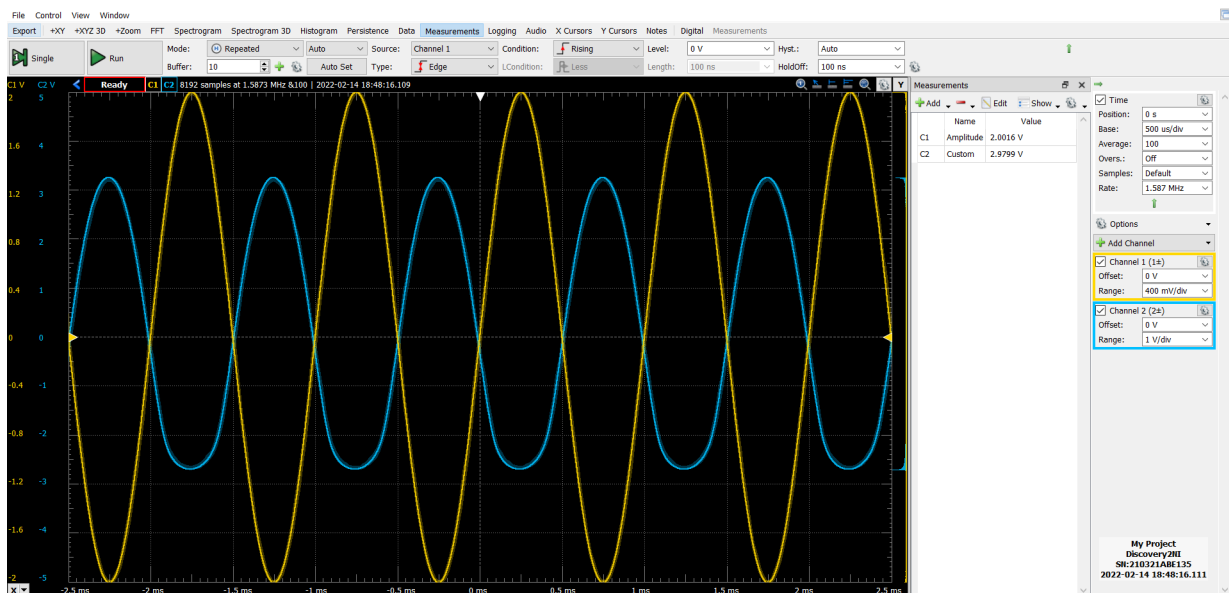


Figura 7: Grafici di V_{in} e V_{out} in funzione del tempo con ampiezza $V_{in} = 2$ V; qua la distorsione della parte inferiore dell'onda è molto più pronunciata

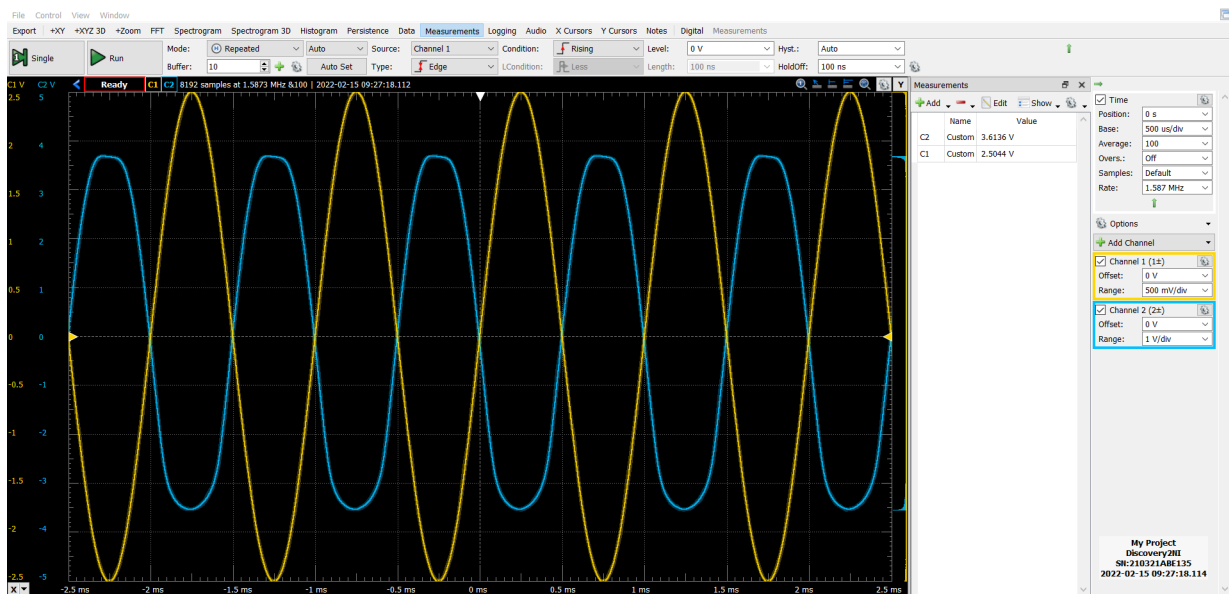


Figura 8: Grafici di V_{in} e V_{out} in funzione del tempo con ampiezza $V_{in} = 2.5$ V; si inizia a intravedere un taglio nella parte superiore dell'onda, mentre la parte inferiore risulta ancora distorta

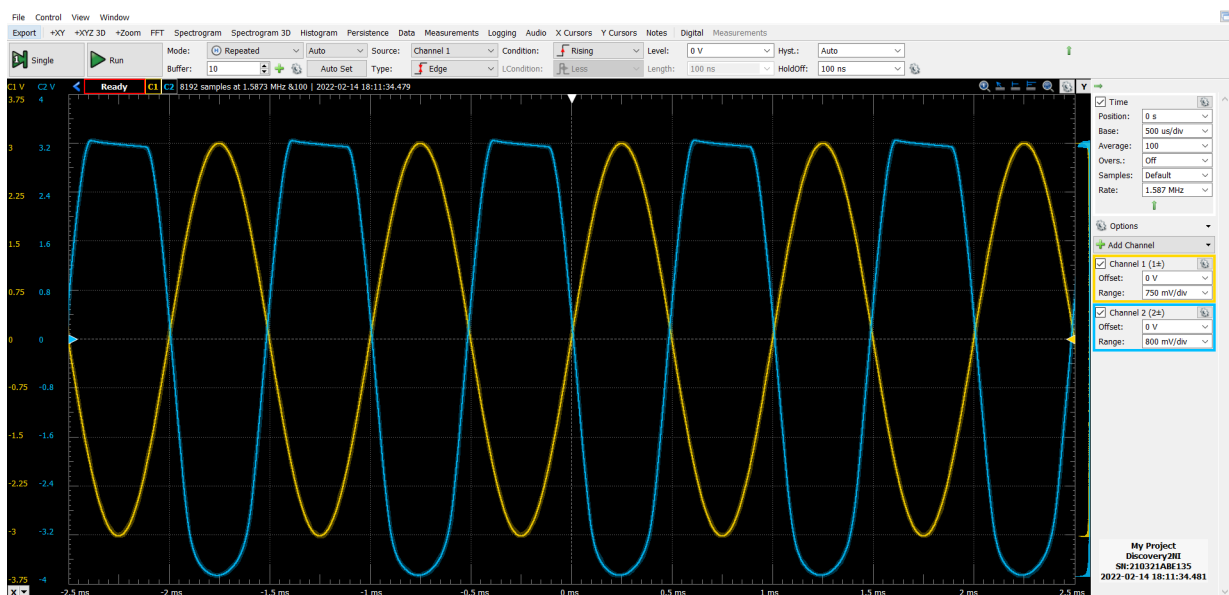


Figura 9: Grafici di V_{in} e V_{out} in funzione del tempo con ampiezza $V_{in} = 3$ V; il taglio della parte alta dell'onda risulta ora più evidente

5 Risposta in frequenza

Utilizzando lo strumento Network analyzer siamo passati a misurare la risposta in frequenza del circuito tra i 5 Hz e i 10 MHz utilizzando una $V_{in} = 200$ mV. Si è quindi misurato il guadagno di centro banda, che risulta essere

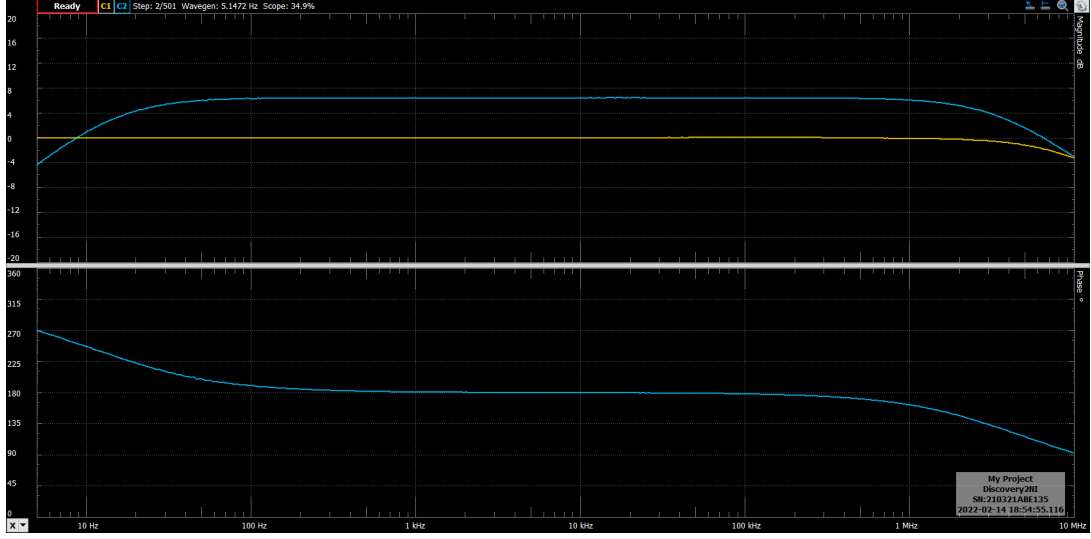


Figura 10: Risposta in frequenza del circuito amplificatore a common source

pari a 6.31 dB che convertendolo in A_v si ottiene 2.07, che risulta compatibile con quanto misurato al punto precedente. A partire da ciò abbiamo ricavato le frequenze di taglio (basso e alto) tramite cursori, ricercando quando la curva del guadagno vale 3.30 dB:

$$F_{TA} = 3.54 \pm 0.02 \text{ MHz}$$

$$F_{TB} = 16.0 \pm 0.1 \text{ Hz}$$

6 Aumento del guadagno

Abbiamo ora inserito un condensatore elettrolitico in parallelo a R_S , chiamato C_E . Aggiungendo il condensatore

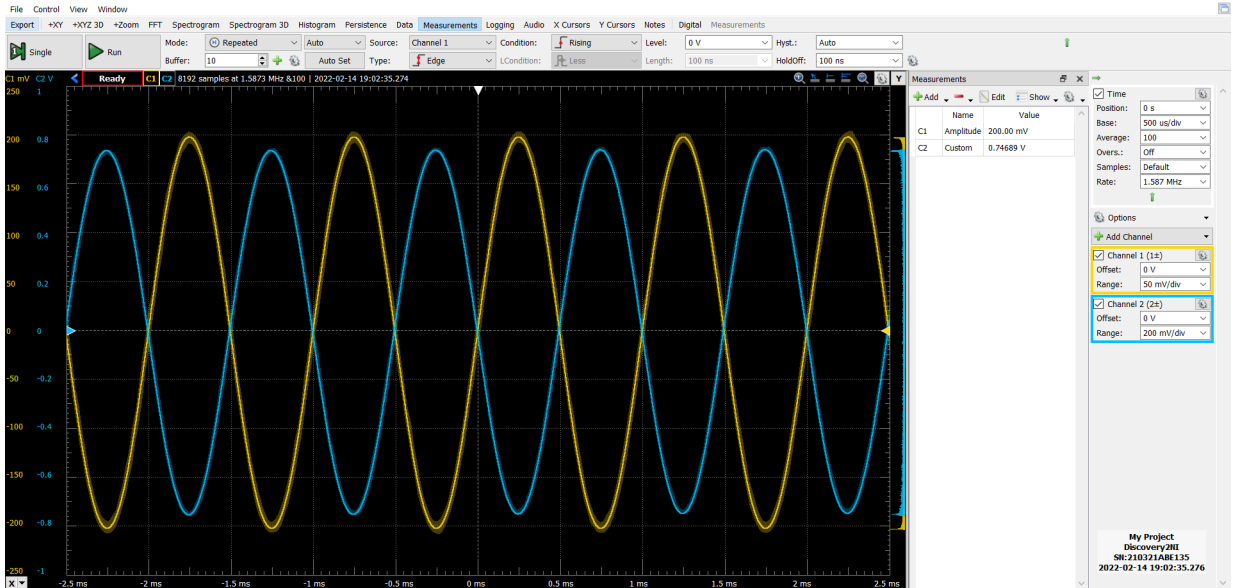


Figura 11: Grafici di V_{in} e V_{out} in funzione del tempo con ampiezza $V_{in} = 200$ mV con condensatore elettrolitico C_E in parallelo a R_S

C_E viene a modificarsi l'impedenza in parallelo con R_S , che diminuisce, aumentando così il guadagno secondo:

$$A_v = -\frac{g_m R_d}{1 + g_m (R_{eq})} \quad (4)$$

dove R_{eq} è l'impedenza in parallelo tra R_s e C_E che vale:

$$R_{eq} = \frac{R_s}{j\omega C R_s + 1} \quad (5)$$

Utilizzando sempre la frequenza di 1 kHz ci si aspetta $A_v =$ Possiamo subito notare che il guadagno è aumentato come ci si aspettava ed è passato ad $A_v = 3.20 \pm 0.04$

7 Impedenza in ingresso

Si è infine provata a misurare l'impedenza in ingresso al circuito mettendo in serie a V_{in} un resistenza R_S dello stesso ordine di grandezza dell'impedenza del circuito attesa, ed utilizzando lo strumento impedance analyzer di waveform in configurazione "W1-C1-R-C2-DUT-GND"; si è così valutata l'impedenza Z_{IN} e la reattanza in parallelo X_P in funzione della frequenza, compresa tra 1 e 10 kHz.

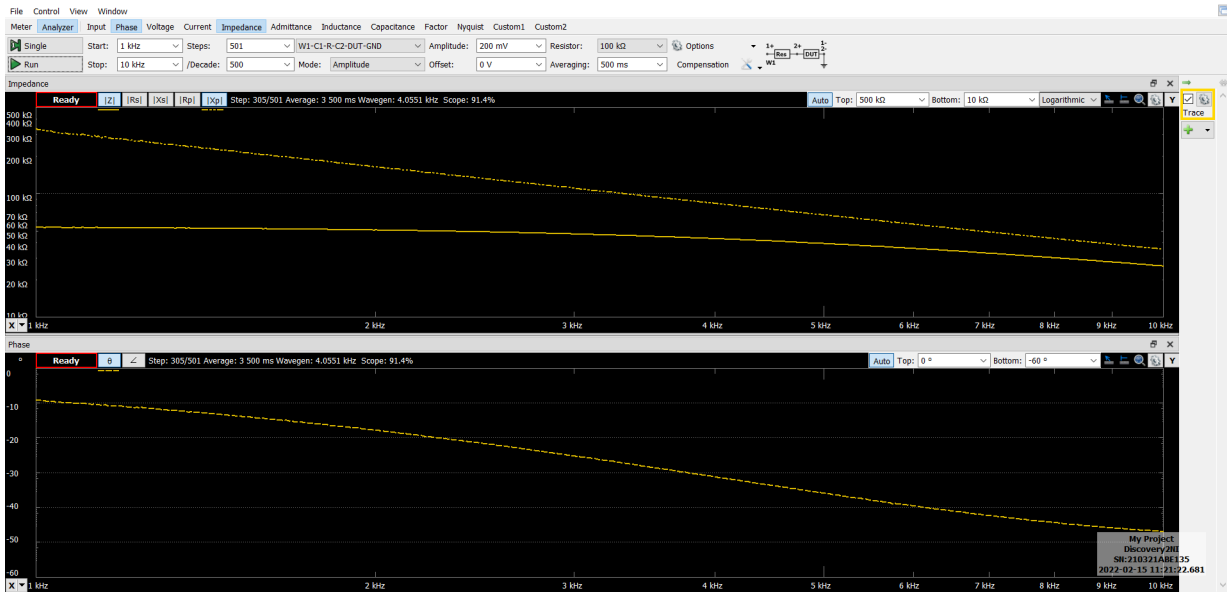


Figura 12: Grafici di impedenza in ingresso e reattanza parallelo in funzione della frequenza per $R_S = 100k\Omega$

Conclusioni e commenti finali

Si è riusciti a costruire e caratterizzare un amplificatore di tensione invertente con un JFET in configurazione a emettitore comune. In particolare si è riusciti ad apprezzare il differente comportamento (anche non lineare) del circuito in vari regimi, dare una stima di guadagno, impedenza di ingresso e uscita e frequenze caratteristiche della sua risposta in frequenza.

Dichiarazione

I firmatari di questa relazione dichiarano che il contenuto della relazione è originale, con misure effettuate dai membri del gruppo, e che tutti i firmatari hanno contribuito alla elaborazione della relazione stessa.