

EsD1: Caratterizzazione di porte logiche e semplici circuiti logici.

Gruppo 1.AC
Matteo Rossi, Bernardo Tomelleri
6 aprile 2022

Misura componenti dei circuiti

Resistenze [Ω]	R	σR
R_{pot1}	9.53 k	0.08 k
R_{pot2}	9.78 k	0.08 k

Tabella 1: Valori di resistenza misurati per i componenti passivi dei circuiti studiati.

Riportiamo per completezza anche il valore della tensione continua di alimentazione per i circuiti integrati misurata con il multmetro

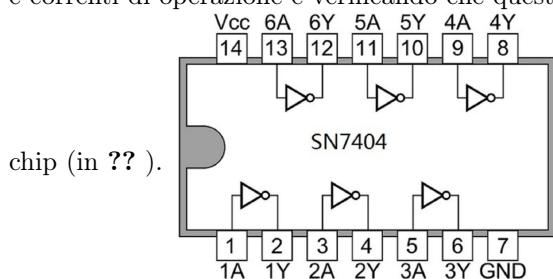
$$V_{CC} = 4.99 \pm 0.03V$$

Nota sul metodo di fit

Per determinare i parametri ottimali e le rispettive covarianze si è implementato in Python un algoritmo di fit basato sui minimi quadrati mediante la funzione *curve_fit* della libreria SciPy.

Parte A: Caratteristiche fisiche delle porte logiche

Si studia il comportamento delle porte NOT TTL contenute nel circuito integrato SN7404 misurando le tensioni e correnti di operazione e verificando che queste rientrino nelle specifiche tecniche riportate nel Data-Sheet del

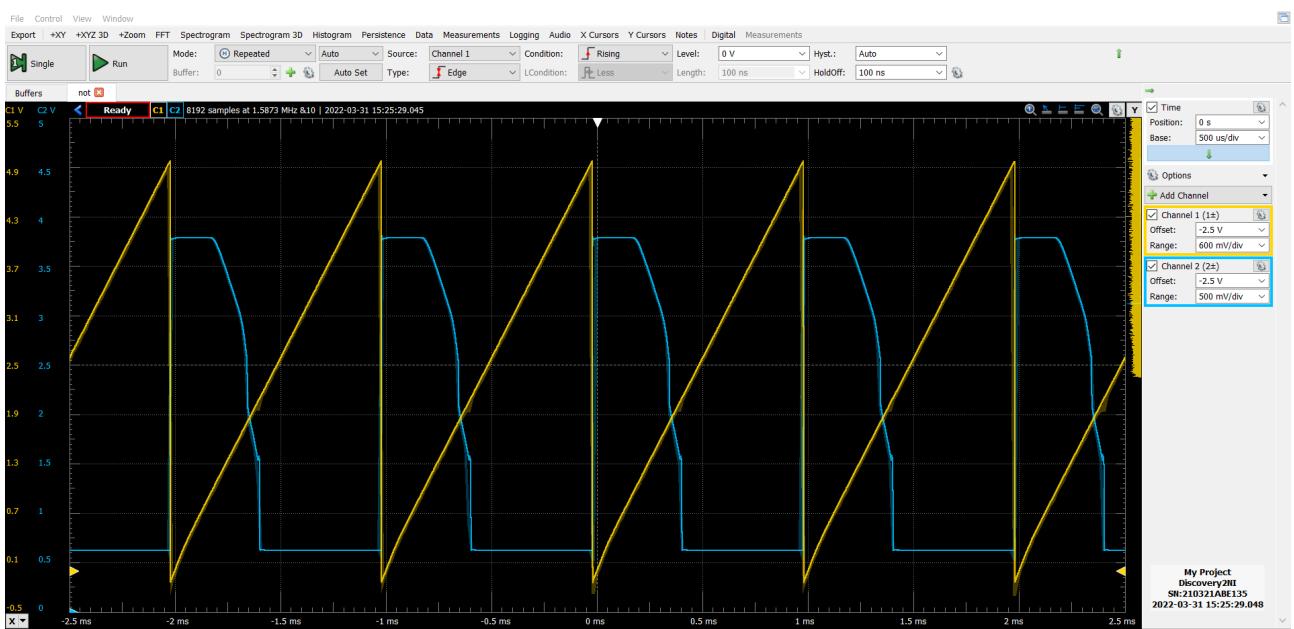
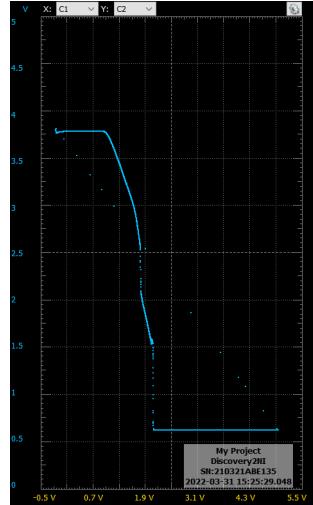


1 Tensioni di operazione

Come prime misure verifichiamo che i valori delle tensioni di soglia in ingresso in uscita rispettino le specifiche di buon funzionamento del DS, da cui è possibile ottenere una misura del Noise Margin delle porte.

Dalle specifiche del DS si ha che i valori attesi sono: (riportati in tabella 2)

in cui V_O e V_I sono definite come le tensioni in uscita e in ingresso dalla porta logica (le altre diciture indicano se la grandezza a cui facciamo riferimento corrisponde a uno stato logico alto (H) o basso (L) e quali sono i massimi o minimi valori garantiti dal costruttore).



Parameter	min	typ	max	[Unit]
V_{CC}			7	V
V_I			5.5	V
V_{OH}	2.4	3.4		V
V_{OL}	0.2	0.4		V
V_{IH}	2			V
V_{IL}			0.8	V
I_{IH}			40	μA
I_{OH}			-0.4	mA

Tabella 2: Valori delle tensioni e correnti di operazione indicati sul datasheet dell'integrato SN7404.

1.a Misura delle tensioni di soglia dal grafico $V_{out}(V_{in})$

Generiamo una rampa di tensione compresa tra 0-5 V e la inviamo all'ingresso di una porta NOT per osservare i segnali generati in uscita, così da ottenere un grafico di V_{out} in funzione di V_{in} .

Utilizzando i cursori siamo andati a misurare le varie tensioni di soglia. Dalle nostre misure otteniamo per il primo integrato:

$$V_{OH,min} = 2.53 \pm 0.03 \text{ V}$$

$$V_{IH,min} = 2.10 \pm 0.02 \text{ V}$$

$$V_{IL,max} = 979 \pm 9 \text{ mV}$$

$$V_{OL,max} = 632 \pm 4 \text{ mV}$$

mentre per il secondo integrato:

$$V_{OH,min} = 2.40 \pm 0.03 \text{ V}$$

$$V_{IH,min} = 1.81 \pm 0.02 \text{ V}$$

$$V_{IL,max} = 772 \pm 8 \text{ mV}$$

$$V_{OL,max} = 341 \pm 3 \text{ mV}$$

Da cui troviamo le nostre stime dei valori delle soglie di rumore (Noise Margin High e Low) per le porte NOT studiate, definite come

$$NM_H = V_{OH,min} - V_{IH,min} = (0.43 \pm 0.04) \text{ V}$$

$$= (0.60 \pm 0.03) \text{ V}$$

$$NM_L = V_{IL,max} - V_{OL,max} = (0.35 \pm 0.02) \text{ V}$$

$$= (0.43 \pm 0.02) \text{ V}$$

1.b Valori attesi per le soglie di rumore

Estrapolando i corrispettivi valori dal datasheet, e assumendo che ogni porta logica abbia i medesimi parametri delle altre presenti nello stesso integrato possiamo allora ricavare i valori attesi dei Noise Margin High e Low:

$$NM_H = 2.4 - 2 = 0.4 \text{ V}$$

$$NM_L = 0.8 - 0.4 = 0.4 \text{ V}$$

1.c Confronto dei risultati

Le nostre misure risultano compatibili con le aspettative entro gli intervalli ammessi dal datasheet per il buon funzionamento del componente, dunque anche le grandezze derivate risultano in accordo con le aspettative.

2 Misura (statica) del Fan-out

Il Fan-Out è il numero massimo di porte che una singola porta può guidare restando entro le specifiche di funzionamento ed è definito nel seguente modo

$$\text{FO} = \left| \frac{I_{IH,max}}{I_{OH,max}} \right|$$

Dalle specifiche del DS risulta quindi che

$$I_{IH,max} = -0.4 \text{ mA}$$

$$I_{OH,max} = 40 \text{ } \mu\text{A}$$

$$\text{FO} = 10$$

A questo punto abbiamo preparato l'amperometro utilizzando il fondoscala da 2 mA viste le entità delle correnti che andremo a misurare: per prima cosa misureremo la corrente $I_{IH,max}$ per entrambi i due integrati, montando l'amperometro in serie tra l'ingresso della porta logica e l'uscita di WaveGen 1 dell'AD2. Quindi abbiamo inviato all'uscita WG1 una tensione DC pari a 5V.

$$I_{IH,1} = 16 \pm 1 \mu A$$

$$I_{IH,2} = 10 \pm \mu A$$

Che risultano essere compatibili entro i limiti del datasheet. Arrivati a questo punto abbiamo rimosso l'amperometro e abbiamo inviato all'ingresso della porta un segnale DC a 0 V sempre utilizzando l'uscita WG1, e abbiamo inserito un potenziometro da $10 k \Omega$ in serie all'uscita della stessa porta logica utilizzata in precedenza, misurando la corrente che scorre attraverso questo quando la tensione in uscita dalla porta è pari a 3.40 ± 0.03 V.

$$I_{OH,1} = 495 \pm 4 \mu A$$

$$I_{OH,2} = 315 \pm 3 \mu A$$

Da questo si ricava che:

$$FO_1 = 31 \pm 2$$

$$FO_2 = 32 \pm 3$$

Valori che sono notevolmente più alti delle aspettative e non compatibili con esse, ma risultano essere compatibili tra di loro.

3 Tempi di propagazione

Vogliamo a questo punto misurare i tempi di propagazione della porta logica NOT osservando, tramite un oscilloscopio da laboratorio, i grafici in funzione del tempo dei pin di ingresso e di uscita; li vogliamo poi paragonare ai valori presenti sul datasheet. Dal datasheet si ricavano dei tempi di propagazione pari a:

$$t_{PHL,max} = 22 \text{ ns}$$

$$t_{PLH,max} = 15 \text{ ns}$$

Abbiamo quindi calcolato i valori medi tra stato basso e stato alto rispettivamente per l'entrata e per l'uscita tramite la formula:

$$V_{O,med} = \frac{V_{OH} + V_{OL}}{2}$$

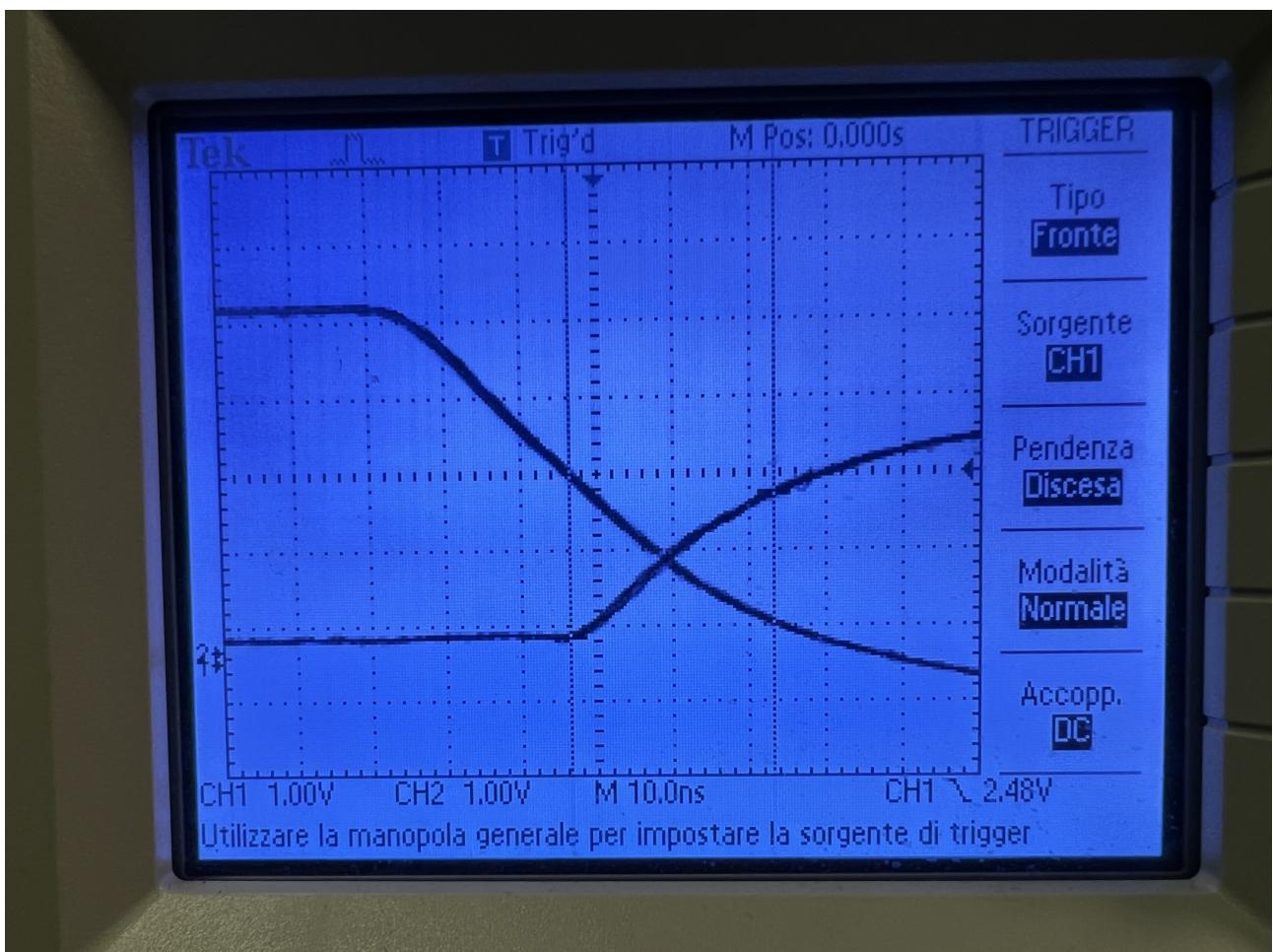
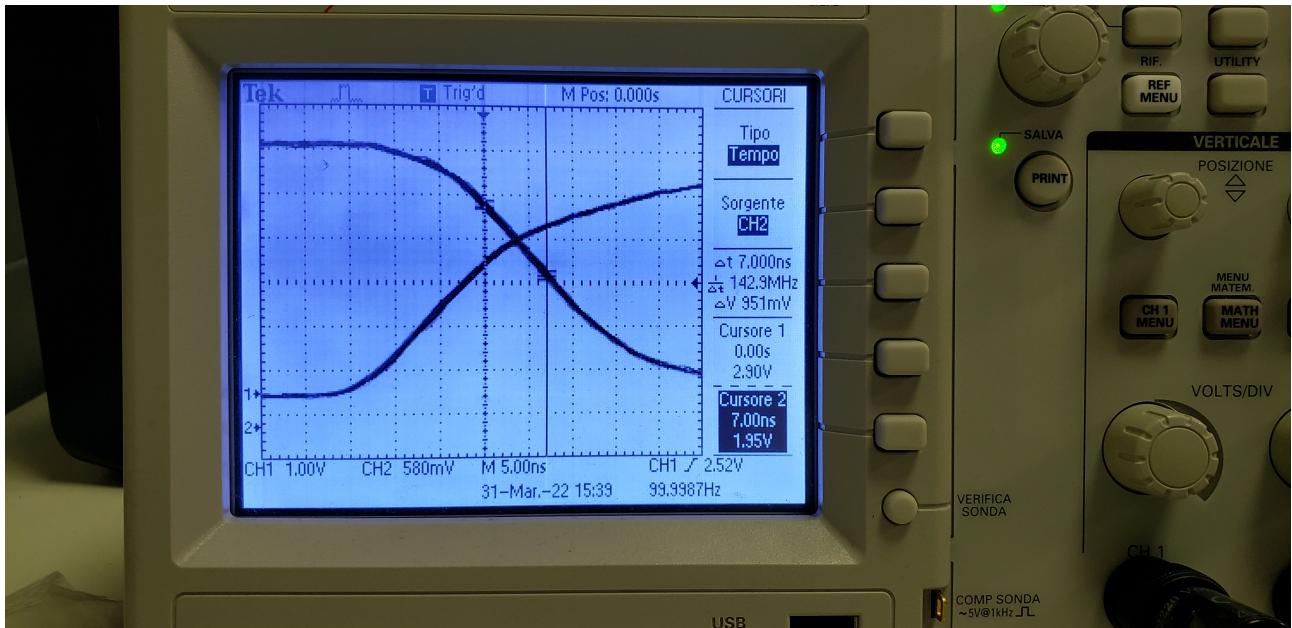
$$V_{I,med} = \frac{V_{IH} + V_{IL}}{2}$$

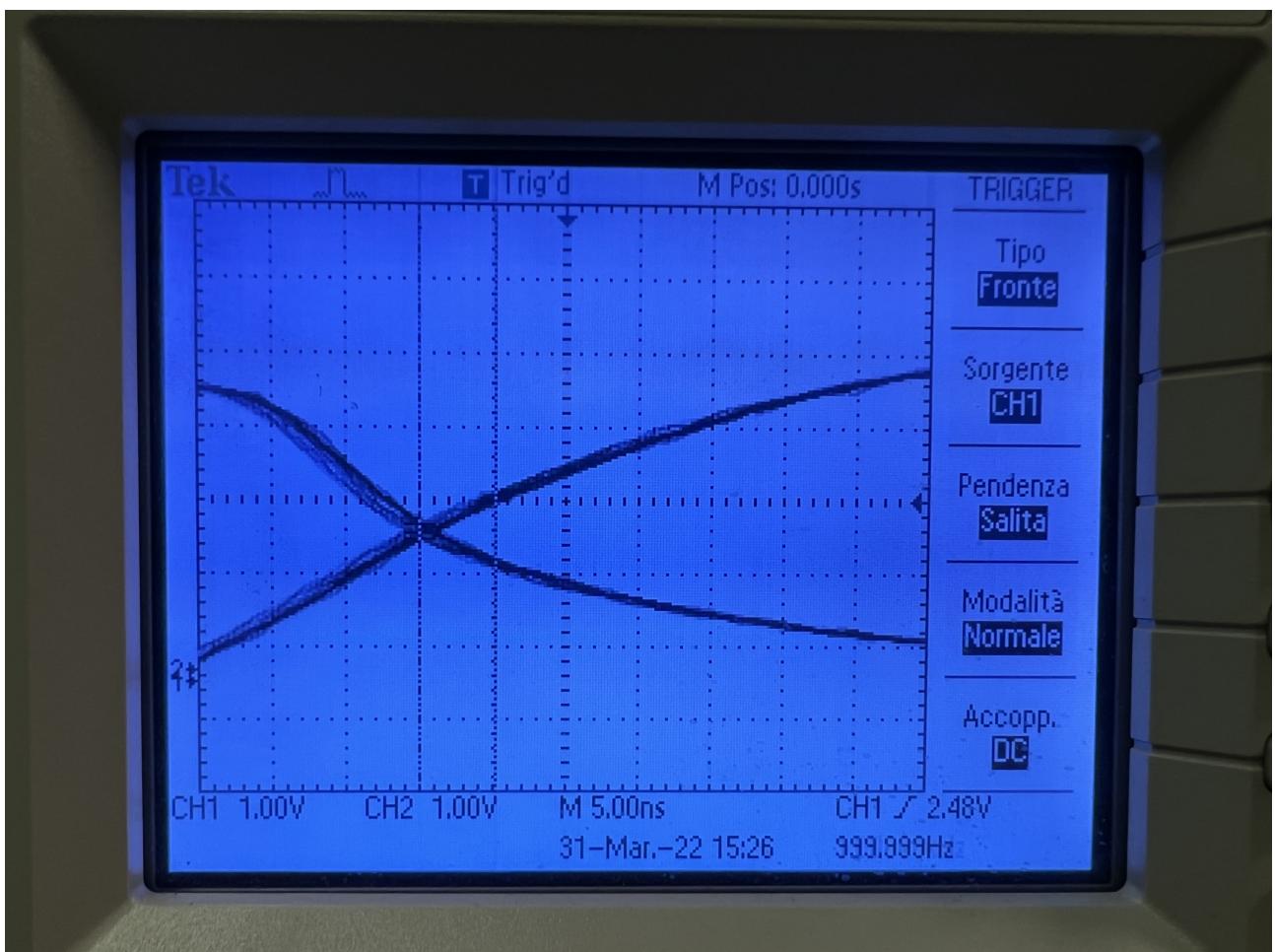
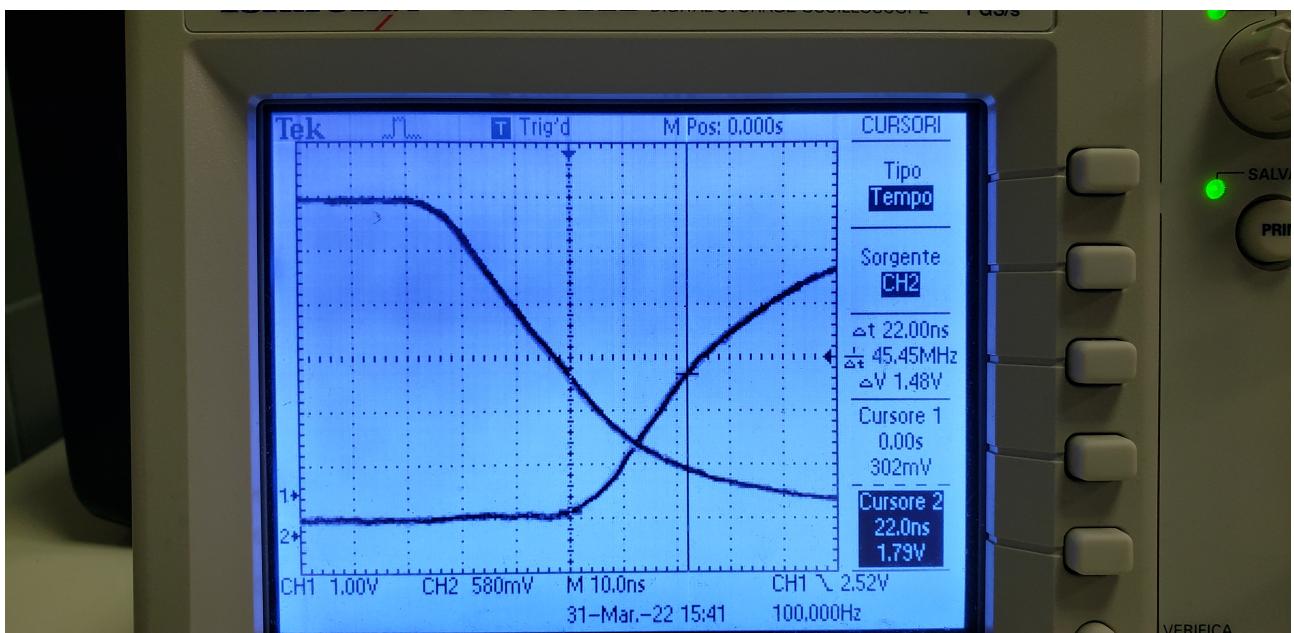
utilizzando le acquisizioni fatte nella sezione 1 ricaviamo che utilizzando in ingresso un'onda quadra tra 0 e 5 V avrò in uscita un'onda quadra compresa tra 3.79 ± 0.03 V e 632 ± 4 mV; da questi dati si ottiene:

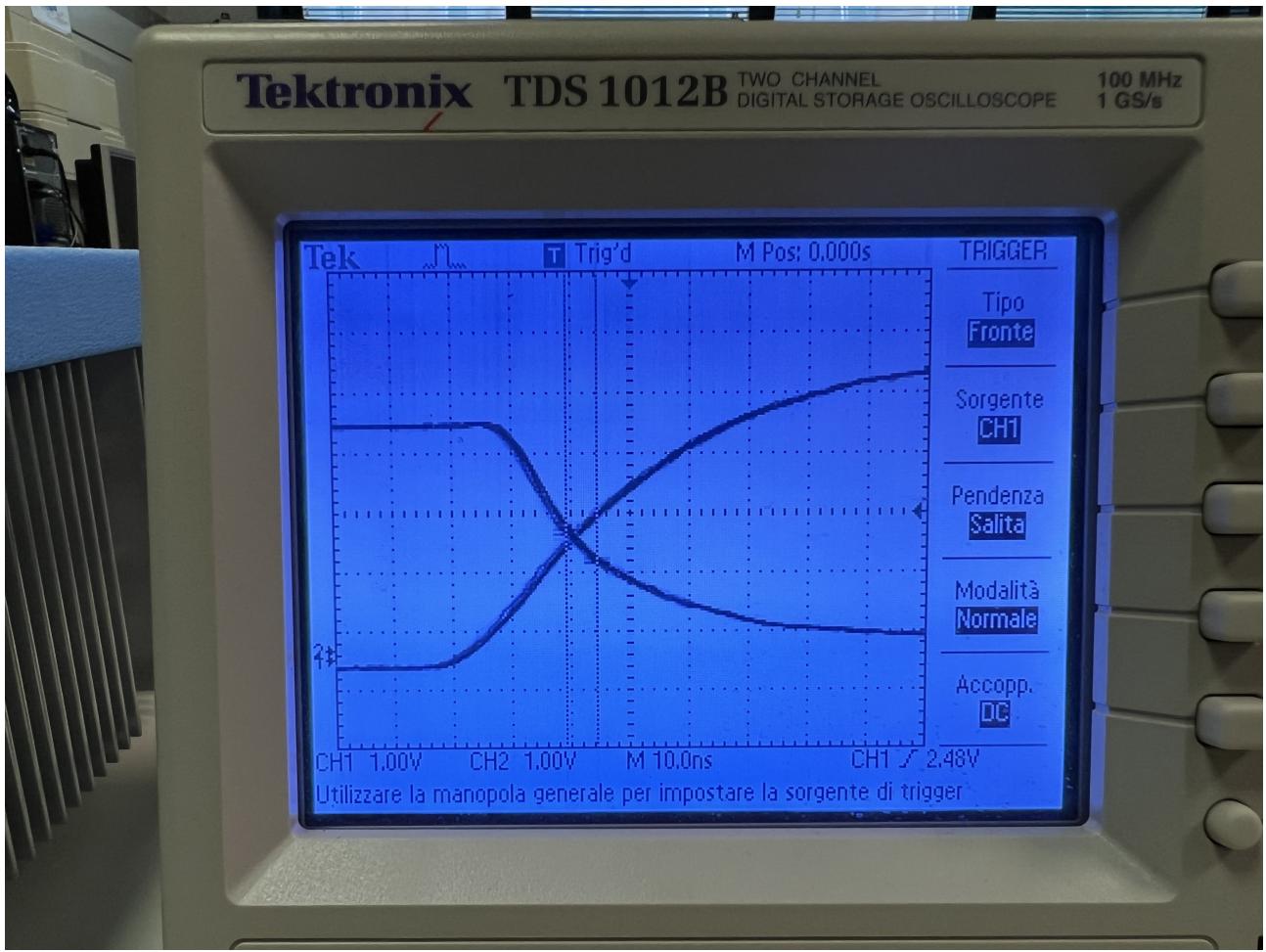
$$V_{O,med} = 2.21 \pm 0.02$$

$$V_{I,med} = 2.50 \pm 0.03$$

Si definisce come tempo di propagazione il tempo che trascorre tra quando V_{in} diventa pari a $V_{I,med}$ e V_{out} diventa pari al suo $V_{O,med}$. Utilizzando l'oscilloscopio da banco abbiamo collegato i due canali disponibili all'entrata (CH1) e all'uscita (CH2) e abbiamo sempre triggerato quando il segnale di ingresso (CH1) raggiungeva $V_{I,med}$, abbiamo poi cambiato il fronte di trigger per scegliere se misurare il tempo di propagazione HL o LH. Dalla misura fatta con i cursori sull'oscilloscopio si ricava







$$t_{PLH} = 5.2 \pm 0.2 \text{ nS}$$

$$t_{PHL} = 25.0 \pm 0.2 \text{ nS}$$

$$t_{PLH} = 7.0 \pm 0.2 \text{ nS}$$

$$t_{PHL} = 22.0 \pm 0.2 \text{ nS}$$

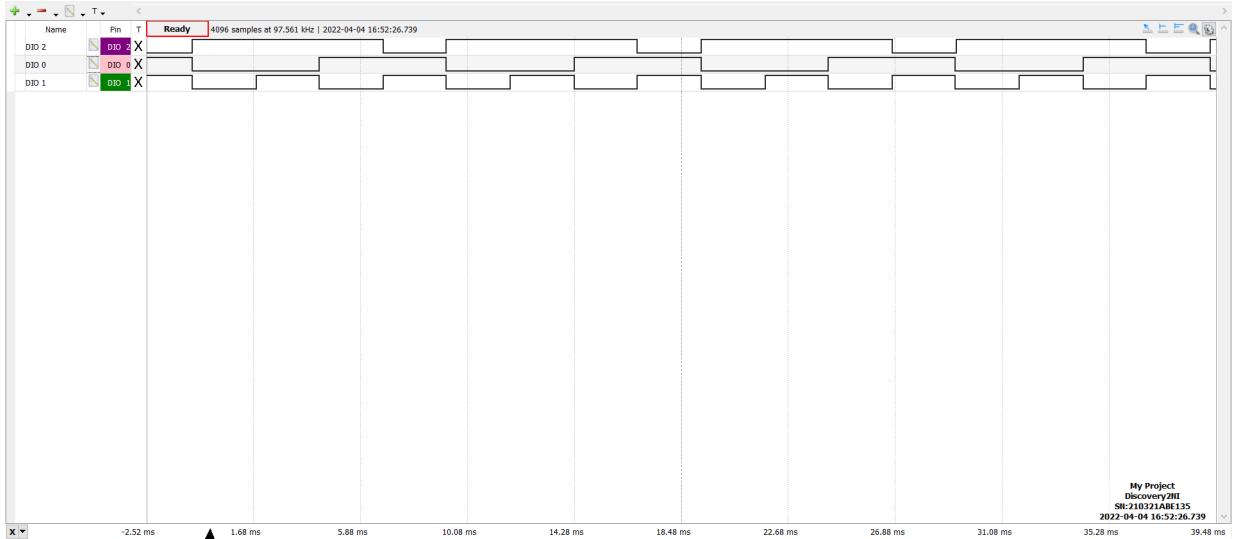
Dobbiamo però constatare la presenza di capacità parassite presenti nelle basette e circuito, infatti aumentando la scala dei tempi ci rendiamo conto che tutti i grafici prodotti dall'oscilloscopio rispecchiano qualitativamente il grafico della carica e scarica del condensatore; per questo motivo si sono ottenuti in alcuni casi dei tempi di propagazione poco più alti delle aspettative, per cui non abbiamo ragione di credere che le nostre misure non siano compatibili con le aspettative. Possiamo quindi concludere che le misure sono in linea con quanto dichiarato nel datasheet.

Parte B: Circuiti logici elementari con sole porte NAND

Una fondamentale caratteristica delle porte NAND è la loro universalità, ossia il fatto che è possibile realizzare qualsiasi tipo di circuito: infatti, con combinazioni di porte NAND, possiamo ottenere circuiti equivalenti dalle porte AND, OR e NOT, a partire dalle quali è possibile realizzare qualsiasi circuito.

4 Tabella di verità

Utilizziamo quindi la funzione PATTERN di waveform per produrre 2 segnali di clock rispettivamente a 100 Hz (in uscita dalla porta DIO0 e in entrata nel pin 1 dell'integrato) e l'altro a 200 Hz (in uscita dalla porta DIO1 e in entrata nel pin 2). Infine abbiamo usato la funzione LOGIC per fare il grafico dei pin utilizzati nell'operazione logica (1,2 e 3). Il circuito risulta essere funzionante e l'output risulta essere L se e solo se i pin 1 e 2 valgono entrambi H, proprio come da aspettativa.



5 Costruzione di circuiti con porte NAND

5.a Porta OR

Come primo circuito vogliamo realizzare una porta OR: detti A e B gli ingressi e Y l'uscita, nella notazione dell'algebra booleana si ha

$$Y = A + B$$

Sfruttando la legge di De Morgan si ottiene

$$Y = A + B = \overline{\overline{A} \cdot \overline{B}}$$

che descrive la relazione OR in termini del NAND.

Nota la relazione per ottenere un NOT utilizzando porte NAND, riportiamo lo schema del circuito

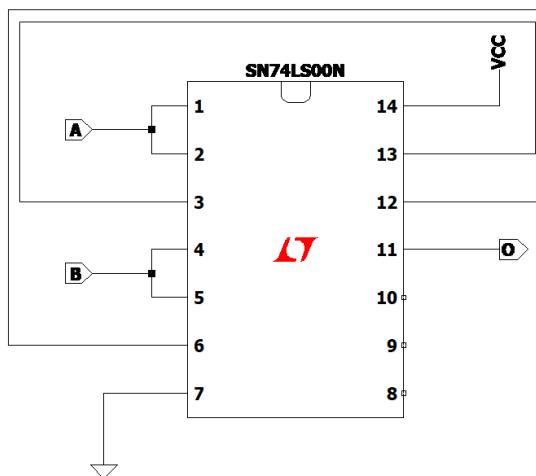


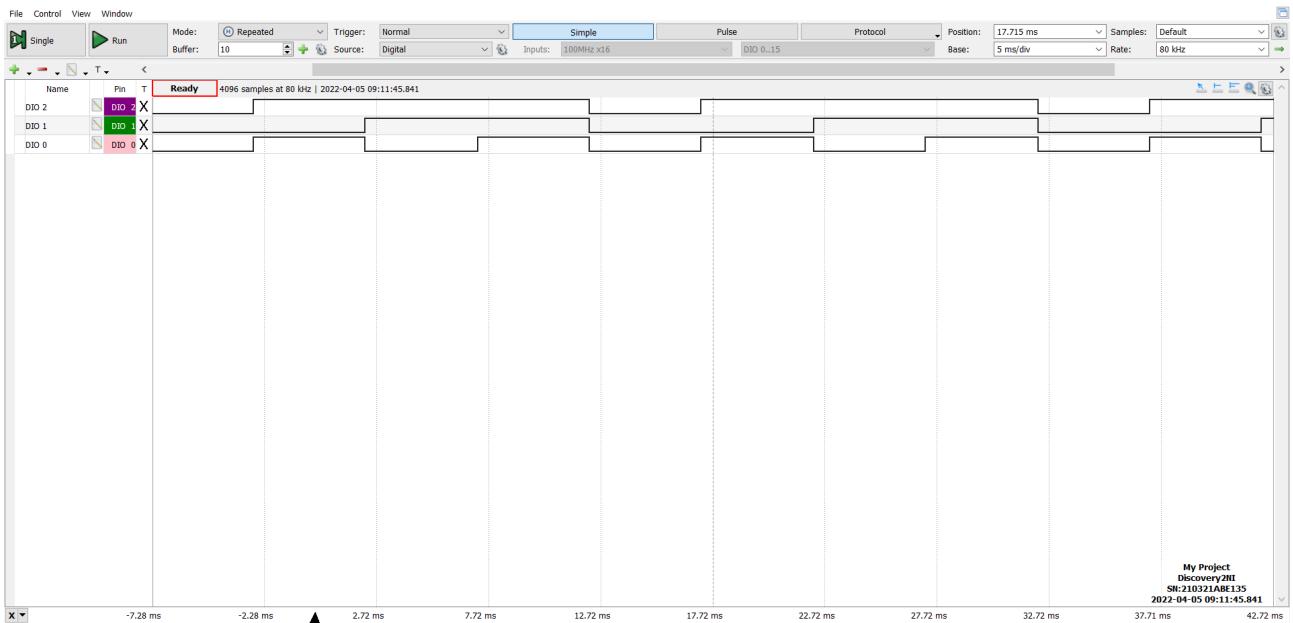
Figura 1

Utilizzando le funzioni pattern e logic abbiamo inviato tramite i pin DIO0 e DIO1 2 segnali di clock di frequenza 50 e 100 Hz e abbiamo utilizzato la porta DIO2 per verificare l'output del circuito. Si vede quindi che il circuito ha il funzionamento aspettato con l'output L se e solo se i due input sono entrambi L.

5.b Circuito selettore a due vie (multiplexer)

Realizziamo un circuito che permetta di assegnare all'uscita il valore di uno dei due ingressi a singolo bit tramite il valore di un terzo ingresso. Indichiamo con A , B e C gli ingressi e con Y l'uscita;

$$\begin{cases} C = 0 \implies Y = A \\ C = 1 \implies Y = B \end{cases}$$



C	AB		00	01	11	10
	0	1	0	0	1	1
1	0	1	1	0	1	0

il funzionamento del nostro circuito può essere descritto dalla tabella di Karnaugh riportata sotto

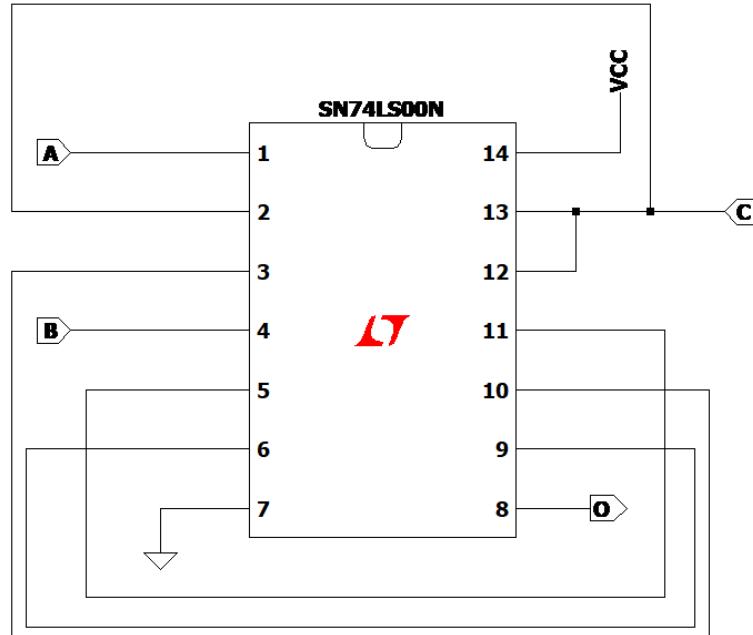
da cui si ricava facilmente la seguente relazione per il circuito

$$Y = A \cdot \overline{C} + B \cdot C$$

e, sempre sfruttando De Morgan, si ha

$$Y = A \cdot \overline{C} + B \cdot C = \overline{(A \cdot \overline{C})} \cdot \overline{(B \cdot C)}$$

Riportiamo sotto lo schema del circuito



Per dimostrare il corretto funzionamento del circuito riportiamo le acquisizioni di Pattern, in cui è possibile comprendere come sono stati impostati gli ingressi, e Logic, da cui si può verificare il corretto funzionamento

del circuito. Abbiamo inviato al circuito tramite la funzione pattern un segnale di clock a 100 Hz a B, uno a

Figura 2: Pattern: DIO 0 \equiv C, DIO 1 \equiv A e DIO 2 \equiv B

50 Hz a A e infine uno a 25 Hz a C. Si ricava quindi che il circuito funziona come da aspettativa, restituendo il

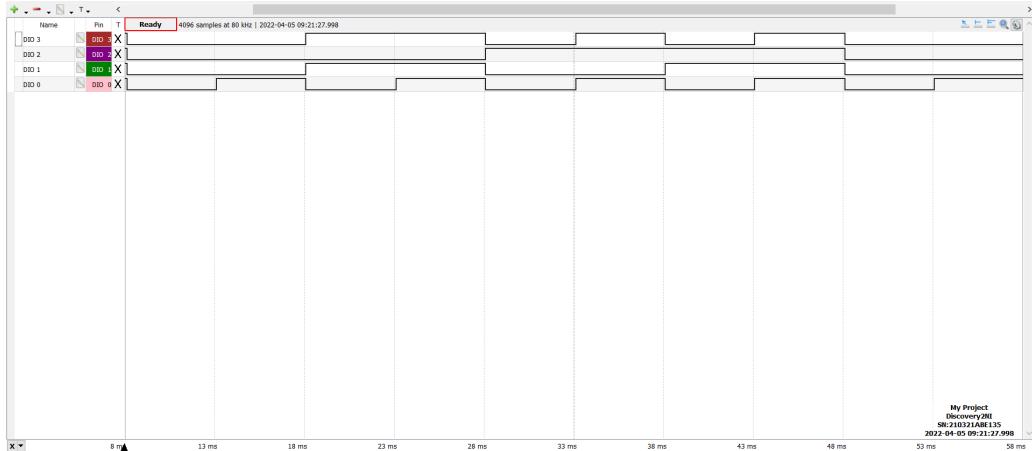
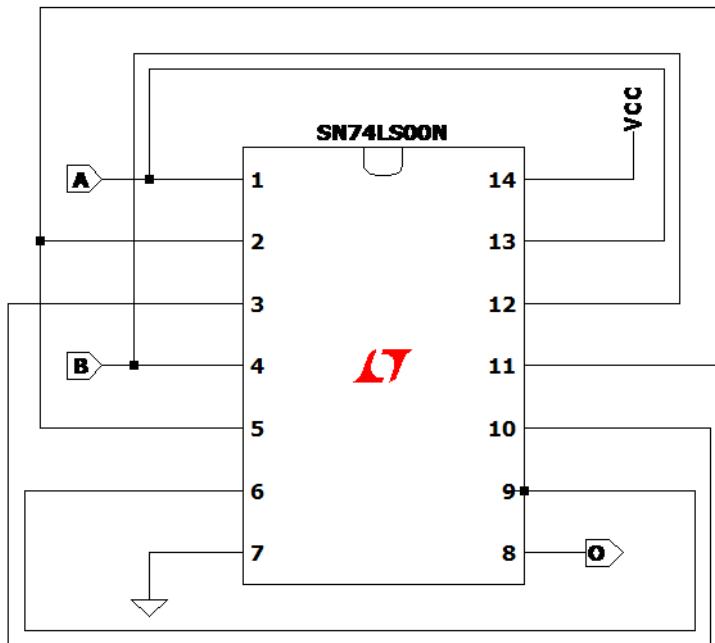


Figura 3: Pattern: DIO 0 \equiv B, DIO 1 \equiv A e DIO 2 \equiv C

segnale di A nel caso in cui C=0 e il segnale B quando C=1.

Figura 4: Logic: DIO 0 \equiv C, DIO 1 \equiv A, DIO 2 \equiv B e DIO 3 \equiv Y

5.c Porta XOR



Se ne deduce che il circuito ha il funzionamento aspettato e che quindi l'output risulta essere L se e solo se entrambi gli input A e B hanno lo stesso valore.

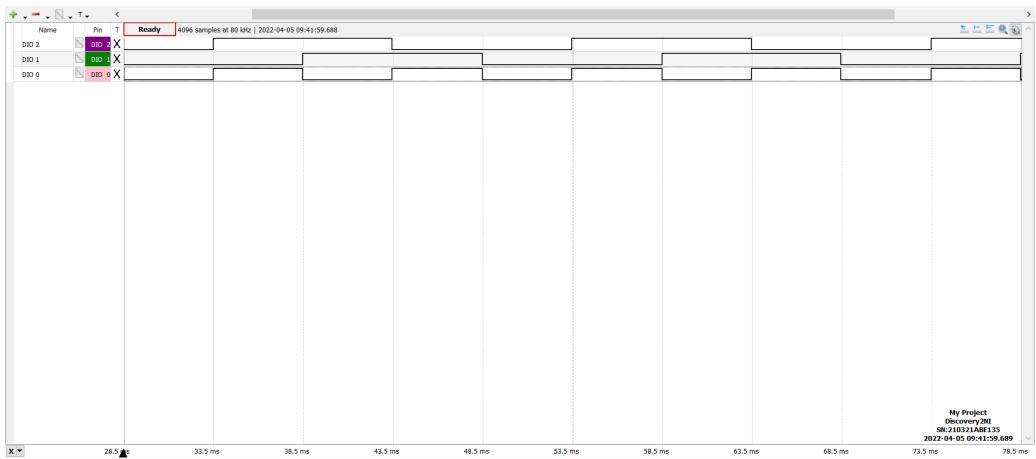


Figura 5: Porta XOR

Parte C: Circuiti logici complessi a più chip

6 Convertitore Gray-Binario

Come ultima cosa vogliamo realizzare un circuito in grado di convertire un valore a 4 bit dalla codifica Gray in Binario utilizzando un solo integrato di tipo SN74LS86 a porte XOR, descritto nella figura a lato.

Un convertitore Gray-Binario può essere schematizzato come in Figura (6): il nostro obiettivo è quello di verificare che tale circuito si comporti come atteso.

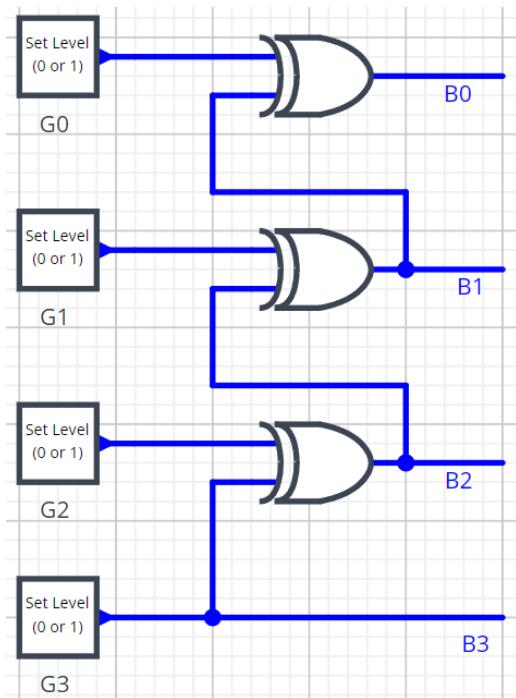
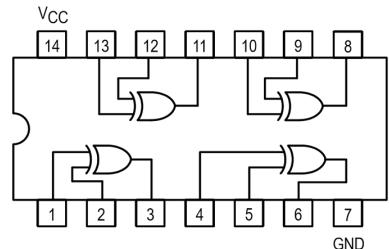


Figura 6: Schema convertitore Gray-Binario

Il codice Gray differisce dal codice binario in quanto si passa da un intero al successivo modificando un solo bit per volta.

Calcoliamo l'uscita del circuito per alcuni valori in ingresso:

Confrontando le uscite ottenute con i valori riportati in tabella 3 affermiamo che il circuito si comporta correttamente come convertitore Gray-Binario. Come conferma, riportiamo un'acquisizione.

Per una scala dei tempi molto stretta, si registra che i tempi di propagazione non sono istantanei, distinguendo dei glitch sui canali di uscita.

Codice binario	Codice Gray
0000	0000
0001	0001
0010	0011
0011	0010
0100	0110
0101	0111
0110	0101
0111	0100
1000	1100
1001	1101
1010	1111
1011	1110
1100	1010
1101	1011
1110	1001
1111	1000

Tabella 3: Conteggio a 4 bit nei due codici.

G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0
0	0	0	0	0	0	0	0
1	1	1	1	1	0	1	0
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

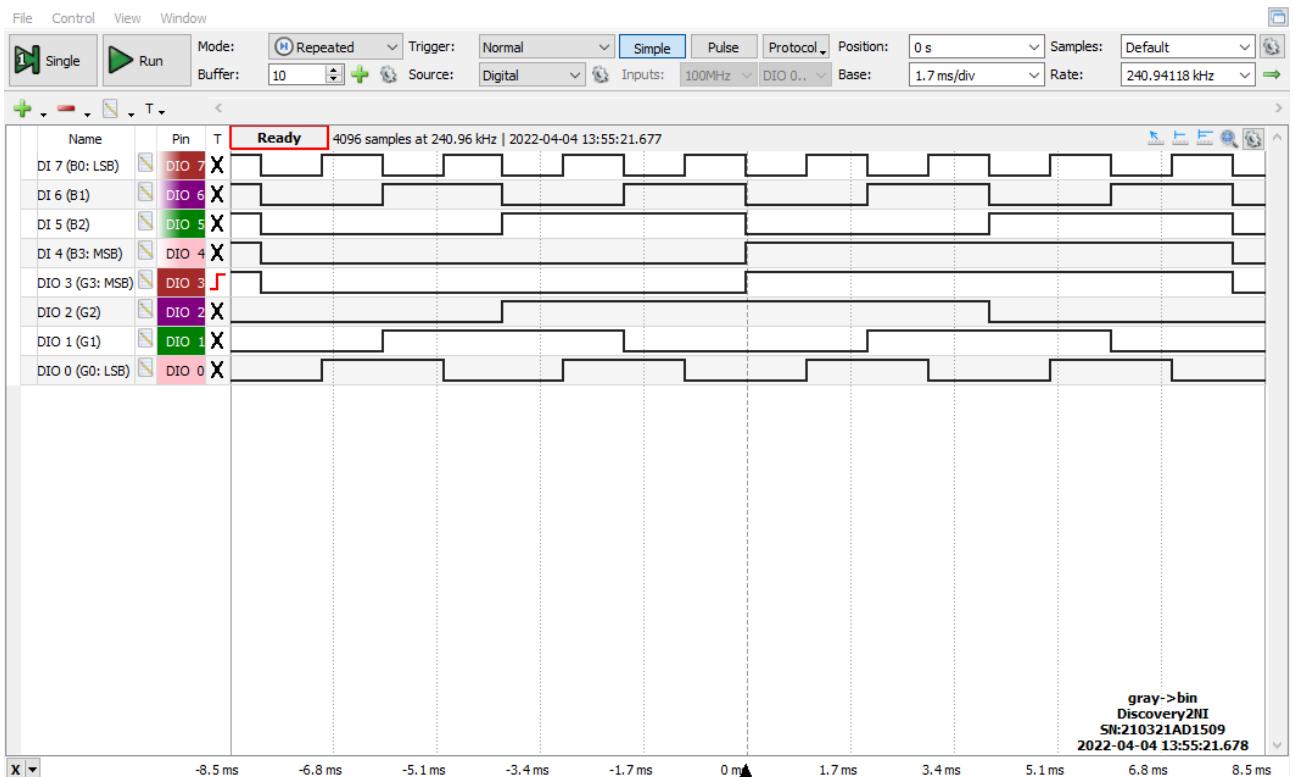


Figura 7: Acquisizione di un ciclo completo (frequenza 1 kHz) con Logic Analyzer dei segnali in ingresso e in uscita dal convertitore Gray-binario.

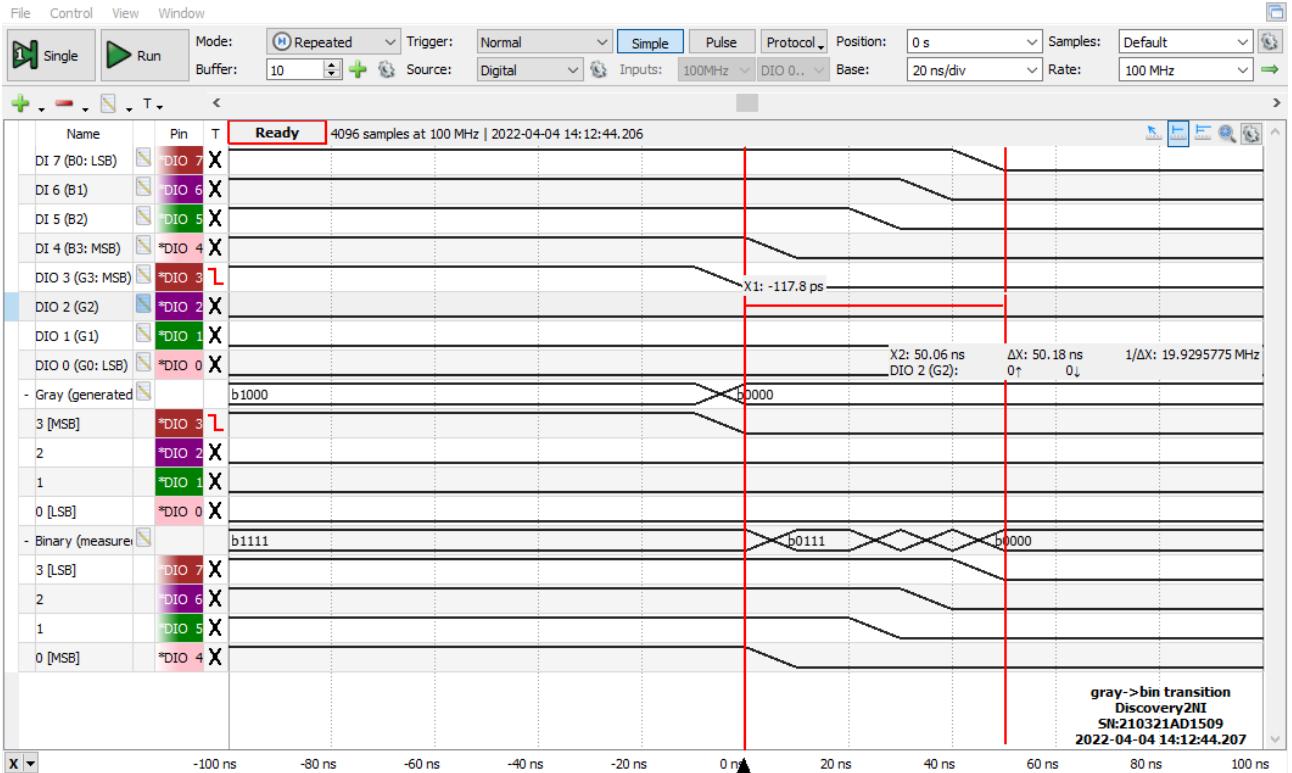


Figura 8: Acquisizione del Logic Analyzer durante la transizione dal numero 15 al numero 0 su scala dei tempi pari a 20 ns.

(verificate il funzionamento del circuito utilizzando Pattern per generare un contatore a 4 bit con la codifica opportuna e osservando l'uscita con Logic (come ai punti precedenti);

7 Sommatore a 2 bit

Vogliamo costruire un sommatore a due bit utilizzando le dovute porte logiche. Utilizzeremo i chip SN74LS08 (quad-AND), SN74LS32 (quad-OR), SN74LS86 (quad-XOR). Il circuito da montare è riportato in fig. 12.

Verifichiamo il funzionamento mandando in ingresso tutte le possibili combinazioni di due numeri a due bit. Per fare ciò mandiamo ai 4 ingressi del circuito un segnale che conta in binario. Il risultato è mostrato in fig. 13.

Aggiungiamo al circuito 4 led verdi e un led rosso: questi sono pilotati da 5 nuovi cavi dell'AD2. Per controllare il loro funzionamento aggiungiamo a *Patterns* una tabella delle verità, riportata in fig. 14, che faccia in modo che ad ogni step si illuminino un numero di led pari al valore della somma. Il led rosso verrà usato per controllare l'overflow, ovvero la possibilità che il risultato sia maggiore o uguale a 4.

Conclusioni e commenti finali

Si è riusciti a verificare il corretto comportamento delle porte TTL studiate caratterizzandone le tensioni, correnti di operazione e tempi caratteristici di circuiti integrati come il SN7404. Inoltre, è stato possibile verificare il funzionamento di circuiti logici di diversa complessità costruiti con porte NAND, XOR, e OR e si è riusciti ad apprezzare l'effetto dei tempi di propagazione delle porte nella conversione dalla codifica Gray al binario.

Dichiarazione

I firmatari di questa relazione dichiarano che il contenuto della relazione è originale, con misure effettuate dai membri del gruppo, e che tutti i firmatari hanno contribuito alla elaborazione della relazione stessa.

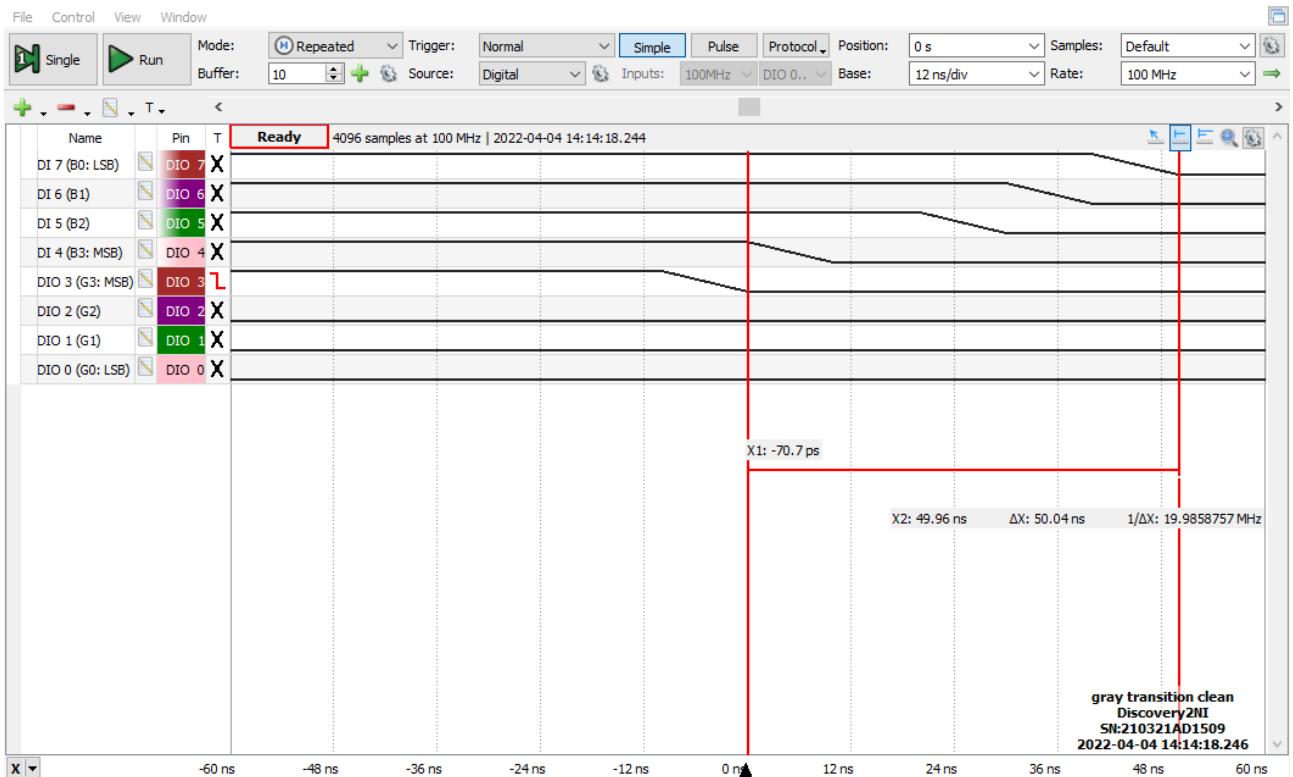


Figura 9: Transizione dal 15 allo 0 su scala temporale pari a 10 ns.

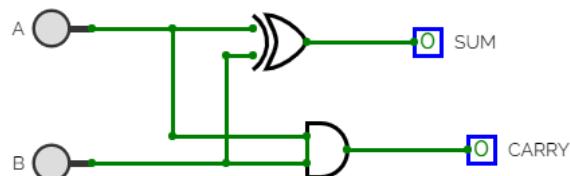


Figura 10: Schema circuitale di half adder

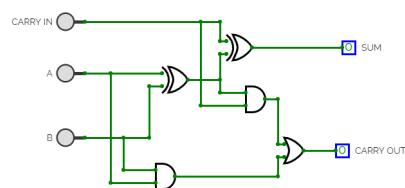


Figura 11: Schema circuitale di full adder.

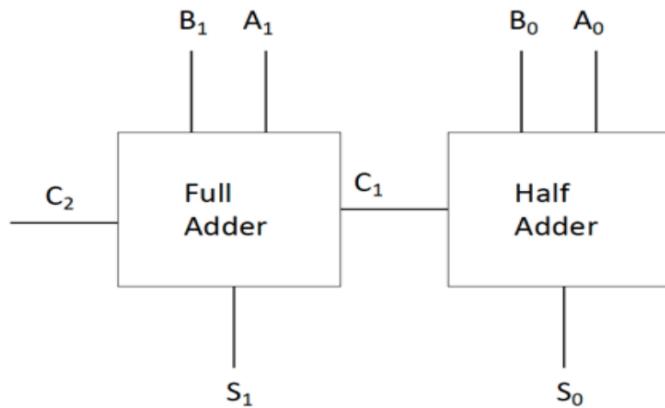


Figura 12: Schema circuitale di un sommatore a 2 bit

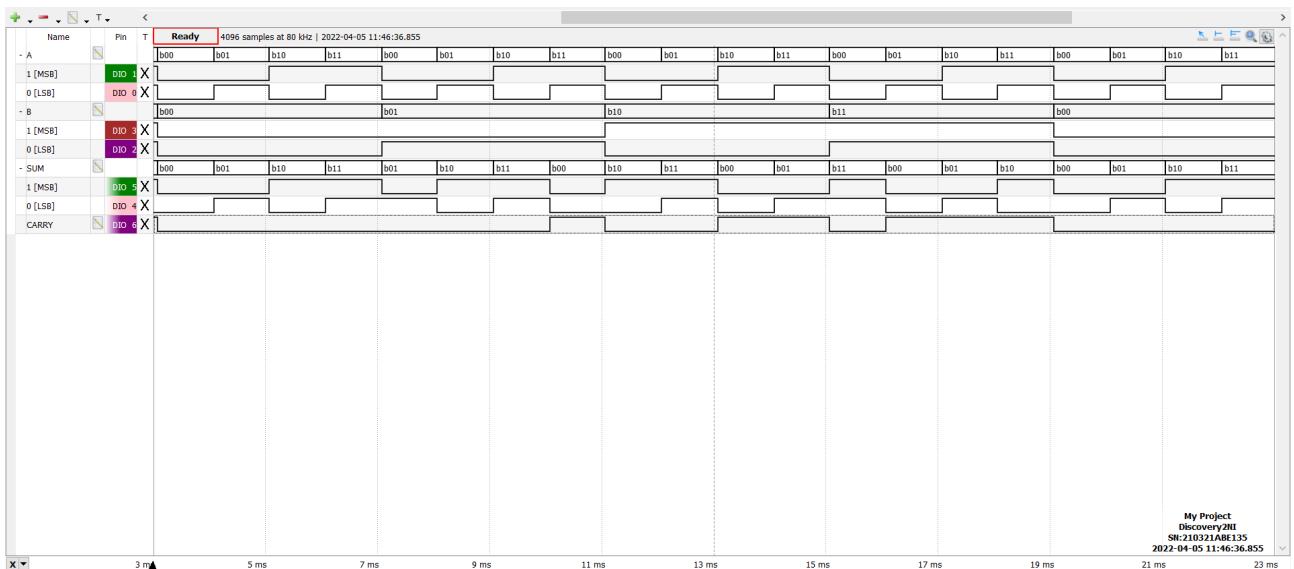


Figura 13: Andamento del sommatore, si consulti la colonna di sinistra per il significato di ciascuna riga.

	DIO 6	DIO 5	DIO 4	DIO 11	DIO 10	DIO 9	DIO 8	DIO 7
1	1	X	X	1	0	0	0	0
2	0	0	0	0	0	0	0	0
3	0	0	1	0	0	0	0	1
4	0	1	0	0	0	0	1	1
5	0	1	1	0	0	1	1	1
6								

Figura 14: Tabella delle verità usata.