

EsD2: Costruzione di D-Latch, contatori e shift-register

Gruppo 1.AC
Matteo Rossi, Bernardo Tomelleri
12 aprile 2022

1 Misura componenti dei circuiti

Riportiamo per completezza il valore della tensione continua di alimentazione per i circuiti integrati misurata con il multimetro

$$V_{CC} = 4.99 \pm 0.03V$$

e il valore di capacità del condensatore di disaccoppiamento che collega le linee di alimentazione a massa (sempre misurato con il multimetro)

$$C_d = 97 \pm 4 \text{ nF}$$

2 D-Latch con Enable

2.a Costruzione del circuito

Si è costruito un circuito D-Latch secondo lo schema mostrato in fig. 1 utilizzando le porte NAND di due integrati SN74LS00.

Per studiarne il comportamento generiamo nei due pin DIO 0 (DATA) e DIO 1 (ENABLE) dell'AD2 due segnali di clock di frequenza $f = 1 \text{ kHz}$ e sfasati tra loro di $\pm 90^\circ$ agli ingressi D ed E del circuito.

2.b Analisi del funzionamento del circuito

Il circuito è composto da un Latch RS i cui ingressi sono collegati a due porte NAND, di cui un ingresso per ciascuna è collegato all'input E , mentre gli altri due ingressi sono collegati l'uno al segnale opposto dell'altro tramite una porta NOT (in figura la porta NAND più in alto tra le due (R) è collegata all'input D , mentre quella più in basso (S) a \bar{D}).

L'equazione fondamentale del circuito è quindi data dalla

$$Q(t + \Delta t) = \overline{(\bar{D} \cdot E)} + \overline{(\bar{D} \cdot E)} \cdot Q(t) = E \cdot D + \bar{E} \cdot Q(t) \quad (1)$$

da cui si può ricavare la corrispondente tabella di verità

Come si può vedere dalla tabella di verità (tabella 1) l'uscita Q funge da memoria a un bit se E è al livello logico basso (stato di HOLD), mentre assume il valore logico dell'input D quando il segnale di ENABLE è acceso. Questo rende il valore dell'uscita indipendente dalle caratteristiche temporali delle porte NAND e protegge il circuito dallo stato proibito di oscillazione/racing $R = S = 1$ da cui è affetto il semplice RS -Latch.

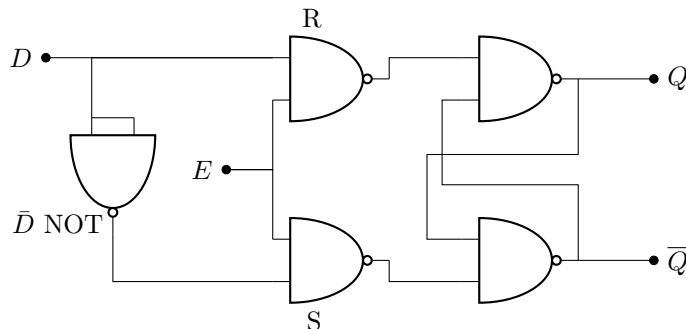


Figura 1: Schema logico del circuito D-Latch (con Enable) realizzato

E	D	$Q(t)$	$Q(t + \Delta t)$
0	X	0	0
0	X	1	1
1	0	X	0
1	1	X	1

Tabella 1: Tabella di verità del circuito D -Latch con Enable (con X si indica valore logico indefinito/don't care)

2.c Verifica della tabella di verità del Latch

Per conferma del corretto funzionamento del Latch possiamo confrontare le uscite ottenute da un'acquisizione con Logic Analyzer con i valori riportati in tabella 1 inviando all'ingresso del circuito con Patterns due segnali di clock sfasati tra loro di $\varphi = 90^\circ$.

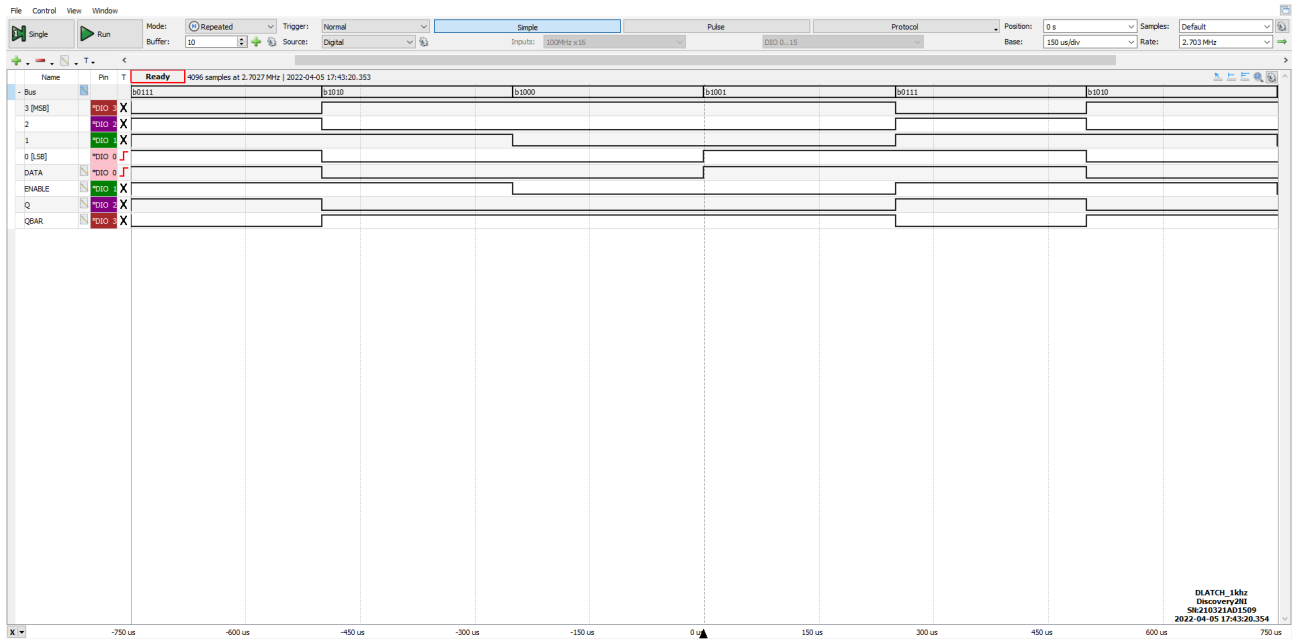


Figura 2: Acquisizione di un ciclo completo (frequenza 1 kHz) con Logic Analyzer dei segnali in ingresso ($D = \text{DIO } 0$, $E = \text{DIO } 1$) e in uscita ($Q = \text{DIO } 2$, $\overline{Q} = \text{DIO } 3$) dal D -Latch.

Dalla fig. 2 si osserva come durante lo stato basso di Enable il segnale in uscita rimanga costante rispetto a variazioni del segnale in D , mentre quando $E = 1 \implies Q(t + \Delta t) = D$ coerentemente con quanto previsto dalla tabella di verità.

2.d Misura dei tempi del ritardo nelle transizioni di stato

Si riescono a distinguere due diverse transizioni dei segnali in ingresso per ciascun valore di sfasamento tra i due segnali di clock in D ed E ; per $\varphi = 90^\circ$:

1. $D : 1 \rightarrow 0$, $E := 1$
 2. $D := 1$, $E : 0 \rightarrow 1$.
- Mentre per $\varphi = -90^\circ = 270^\circ$:
3. $D := 0$, $E : 0 \rightarrow 1$
 4. $D : 0 \rightarrow 1$, $E := 1$.

Il ritardo di durata maggiore appare quello della transizione dell'input D da alto a basso ($40 \text{ ns} \pm 10 \text{ ns}$).

Vogliamo a questo punto misurare i tempi di propagazione della porta logica NOT osservando, tramite un oscilloscopio da laboratorio, i grafici in funzione del tempo dei pin di ingresso e di uscita; li vogliamo poi paragonare ai valori presenti sul datasheet. Dal datasheet si ricavano come tempi di propagazione attesi:

Dalle specifiche del DS si trova che i tempi di propagazione tipici e massimi per una singola porta NAND sono:

	typ	max	[units]
t_{PLH}	11	22	ns
t_{PHL}	7	15	ns

Dalla misura fatta con i cursori sull'oscilloscopio si ricava

$$\begin{aligned} t_{PLH} &= 5.2 \pm 0.2 \text{ nS} \\ t_{PHL} &= 25.0 \pm 0.2 \text{ nS} \end{aligned}$$

$$\begin{aligned} t_{PLH} &= 7.0 \pm 0.2 \text{ nS} \\ t_{PHL} &= 22.0 \pm 0.2 \text{ nS} \end{aligned}$$

Dobbiamo però constatare la presenza di capacità parassite presenti nelle basette e circuito, infatti aumentando la scala dei tempi ci rendiamo conto che tutti i grafici prodotti dall'oscilloscopio rispecchiano qualitativamente il grafico della carica e scarica del condensatore; per questo motivo si sono ottenuti in alcuni casi dei tempi di propagazione poco più alti delle aspettative, per cui non abbiamo ragione di credere che le nostre misure non siano compatibili con le aspettative. Possiamo quindi concludere che le misure sono in linea con quanto dichiarato nel datasheet.

3 Shift-register con edge-triggered D-Flip Flop

3.a Costruzione del circuito

3.b Verifica della sincronia delle uscite

3.c Studio delle commutazioni di stato in uscita

3.d Studio del canale di ingresso con Preset e D-switch attivi

3.e Contatore BCD con Flip Flop in cascata

Dalle specifiche del DS risulta quindi che

$$\begin{aligned} I_{IH,max} &= -0.4 \text{ mA} \\ I_{OH,max} &= 40 \text{ }\mu\text{A} \\ FO &= 10 \end{aligned}$$

A questo punto abbiamo preparato l'amperometro utilizzando il fondoscala da 2 mA viste le entità delle correnti che andremo a misurare: per prima cosa misureremo la corrente $I_{IH,max}$ per entrambi i due integrati, montando l'amperometro in serie tra l'ingresso della porta logica e l'uscita di WaveGen 1 dell'AD2. Quindi abbiamo inviato all'uscita WG1 una tensione DC pari a 5V.

$$\begin{aligned} I_{IH,1} &= 16 \pm 1 \mu A \\ I_{IH,2} &= 10 \pm 1 \mu A \end{aligned}$$

Che risultano essere compatibili entro i limiti del datasheet. Arrivati a questo punto abbiamo rimosso l'amperometro e abbiamo inviato all'ingresso della porta un segnale DC a 0 V sempre utilizzando l'uscita WG1, e abbiamo inserito un potenziometro da 10 k Ω in serie all'uscita della stessa porta logica utilizzata in precedenza, misurando la corrente che scorre attraverso questo quando la tensione in uscita dalla porta è pari a $3.40 \pm 0.03 \text{ V}$.

$$\begin{aligned} I_{OH,1} &= 495 \pm 4 \mu A \\ I_{OH,2} &= 315 \pm 3 \mu A \end{aligned}$$

Da questo si ricava che:

$$\begin{aligned} \text{Fan-out}_1 &= 31 \pm 2 \\ \text{Fan-out}_2 &= 32 \pm 3 \end{aligned}$$

Valori che sono notevolmente più alti delle aspettative e non compatibili con esse, ma risultano essere compatibili tra di loro.

4 Generatore di sequenze pseudo-casuali

4.a Costruzione del circuito

4.b Analisi e verifica del funzionamento

4.c Studio delle sequenze generabili con diverse condizioni iniziali

5 Divisori di frequenza con contatori binari

5.a Costruzione del circuito

5.b Verifica del ciclo di funzionamento dei contatori

5.c Verifica della divisione in frequenza

5.d Transizione sincrona del contatore

5.e Costruzione di un divisore di frequenza 1/10

5.f Divisore di frequenza programmabile con RCO

5.g Misura dei tempi caratteristici del divisore RCO

5.h Analisi e verifica del comportamento del divisore RCO

6 Sintetizzatore musicale

Conclusioni e commenti finali

Si è riusciti a verificare il corretto comportamento delle porte TTL studiate caratterizzandone le tensioni, correnti di operazione e tempi caratteristici di circuiti integrati come il SN7404. Inoltre, è stato possibile verificare il funzionamento di circuiti logici di diversa complessità costruiti con porte NAND, XOR, e OR e si è riusciti ad apprezzare l'effetto dei tempi di propagazione delle porte nella conversione dalla codifica Gray al binario.

Dichiarazione

I firmatari di questa relazione dichiarano che il contenuto della relazione è originale, con misure effettuate dai membri del gruppo, e che tutti i firmatari hanno contribuito alla elaborazione della relazione stessa.