

| | | |
|----------------------------|---|----------------------|
| هندسة الحاسوب والمعلوماتية |  | جامعة الشهباء الخاصة |
| بنية وتنظيم الحاسوب | | كلية هندسة المعلومات |

بنية وتنظيم الحاسوب – القسم العملي

تصميم دائرة جامع/ طارح 8bits

الهدف من الجلسة :

1. تصميم دائرة جامع كامل لعددتين كل منهما بطول 8bits باستخدام دائرة جامع كامل 1bit .
2. تصميم جامع / طارح بطول 8bits.

أولاً – تصميم جامع كامل بطول 8bits:

المرحلة الأولى من العمل: تصميم دائرة منطقية تقوم بتنفيذ الجمع على عددتين كل منهما 1bit باستخدام بوابات منطقية .

- مناقشة حالة الجمع مع حمل سابق.
- تصميم الدارة عملياً باستخدام برنامج Proteus .
- التصميم باستخدام مفهوم ال Sub Circuit .

الشرح :

لجمع عددتين a , b كل منهما بطول 1bit ومع مراعاة حالة وجود حمل سابق Ci نكتب جدول الحقيقة ونختصر للحصول على معادلة الناتج S والحمل Co .

| Ci | a | b | S | Co |
|----|---|---|---|----|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

المعادلات للناتج S والحمل CO

$$S = \bar{C}i.\bar{a}.b + \bar{C}i.a.\bar{b} + C i.\bar{a}.\bar{b} + C i.a.b$$

$$S = \bar{C}i(\bar{a}.b + a.\bar{b}) + C i(a.b + \bar{a}.\bar{b})$$

$$S = \bar{C}i(a \otimes b) + C i(\overline{a \otimes b})$$

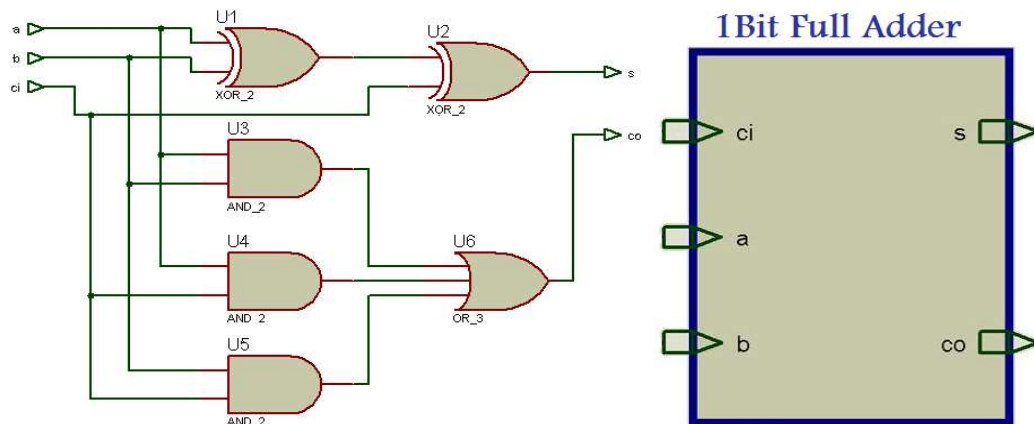
$$S = C i \otimes a \otimes b$$

$$Co = \bar{C}i.a.b + C i.\bar{a}.b + C i.a.\bar{b} + C i.a.b$$

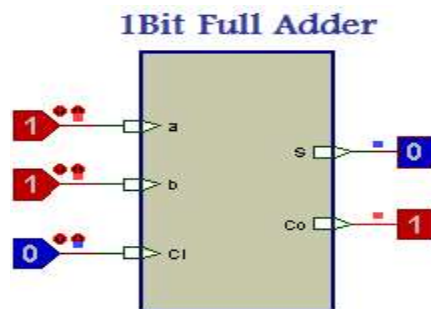
$$Co = a.b + a.C i + b.C i$$

نرسم الدارة ضمن مخطط صندوقي Sub Circuit ، نستخدم البوابات المنطقية الموجودة ضمن المكتبة Modeling Primitives .
ونضع الدارات هذه ضمن صندوق :

| | | |
|----------------------------|--|----------------------|
| هندسة الحاسوب والمعلوماتية | جامعة الشهباء Al-Shahbaa University | جامعة الشهباء الخاصة |
| بنية وتنظيم الحاسوب | | كلية هندسة المعلومات |

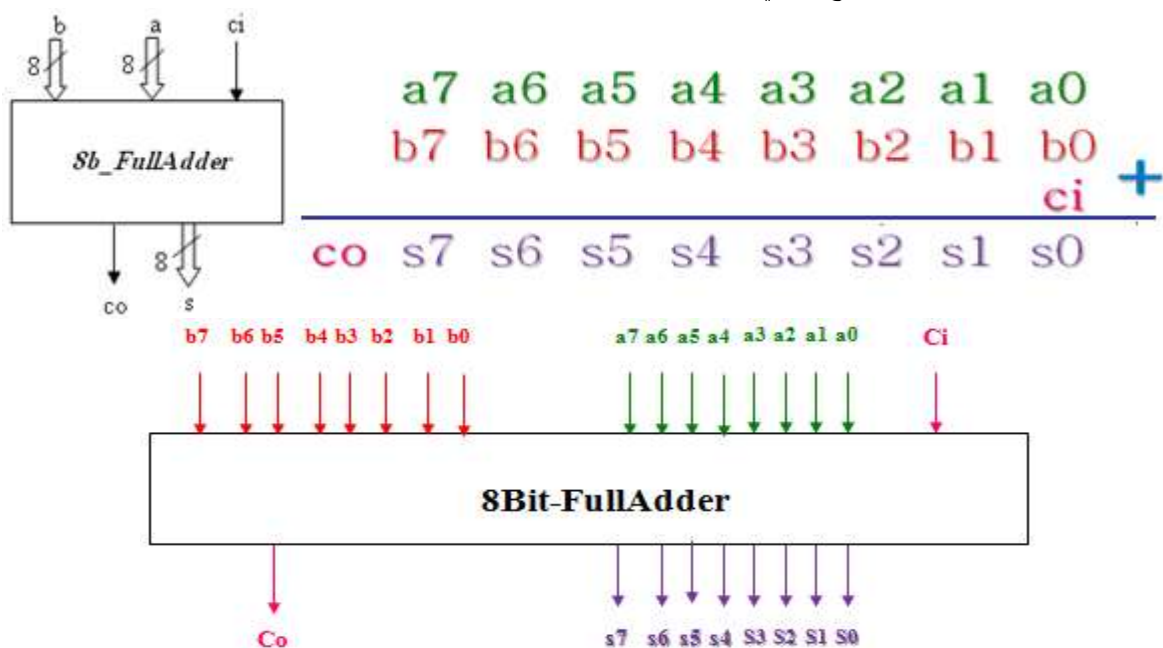


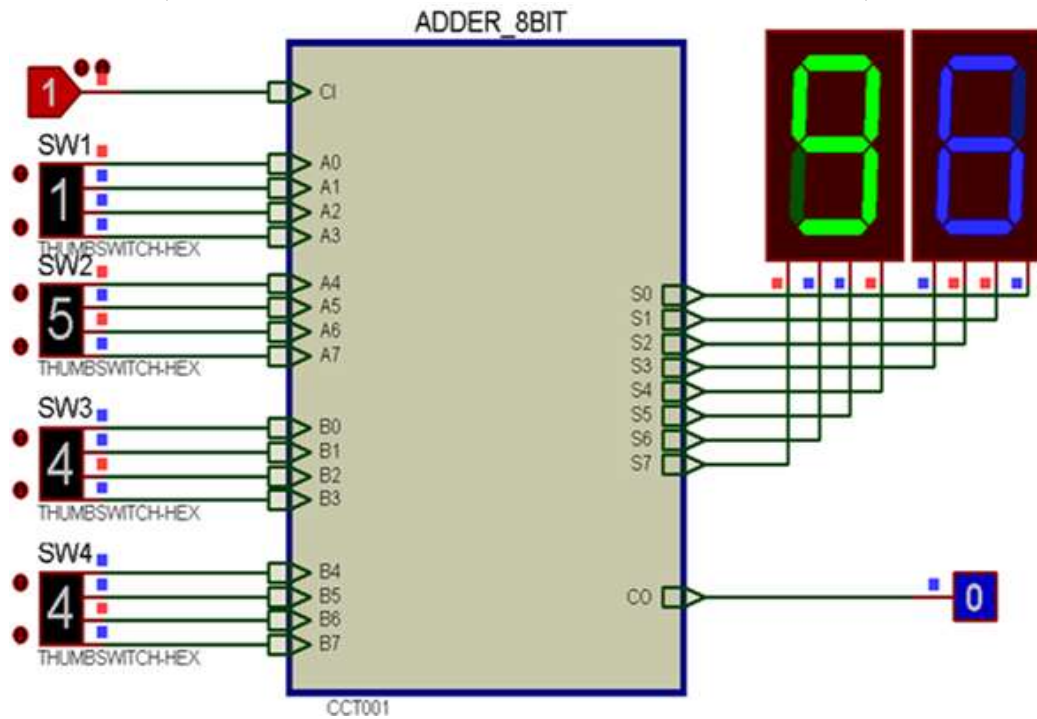
نصل Logic State على أقطاب الدخل و على أقطاب الخرج نصل Logic Probe الموجودة ضمن مكتبة العناصر Debugging Tools.



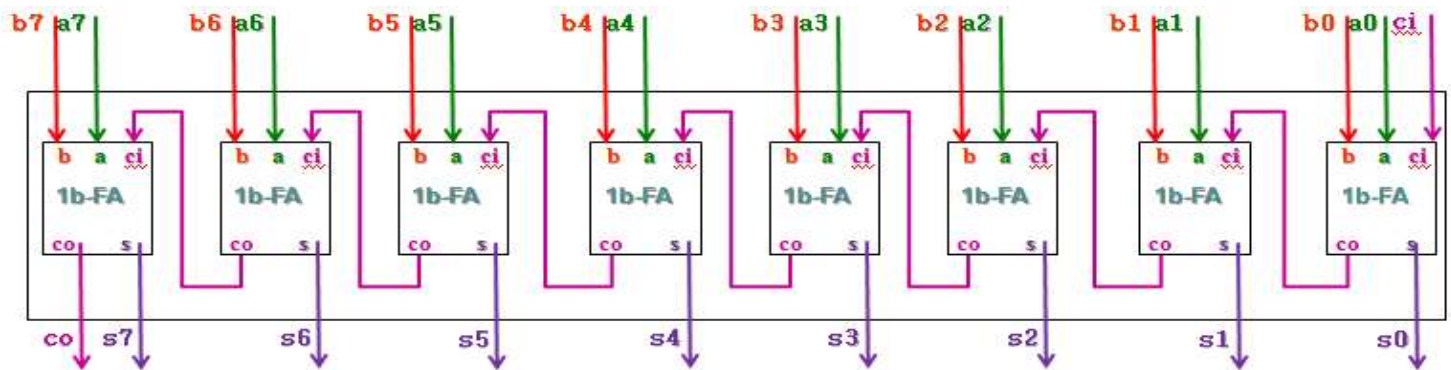
المرحلة الثانية من العمل: استخدام دائرة الجامع الكامل 1Bit-FA لتصميم دائرة جامع كامل لعددتين كل منهما بطول 8bits.

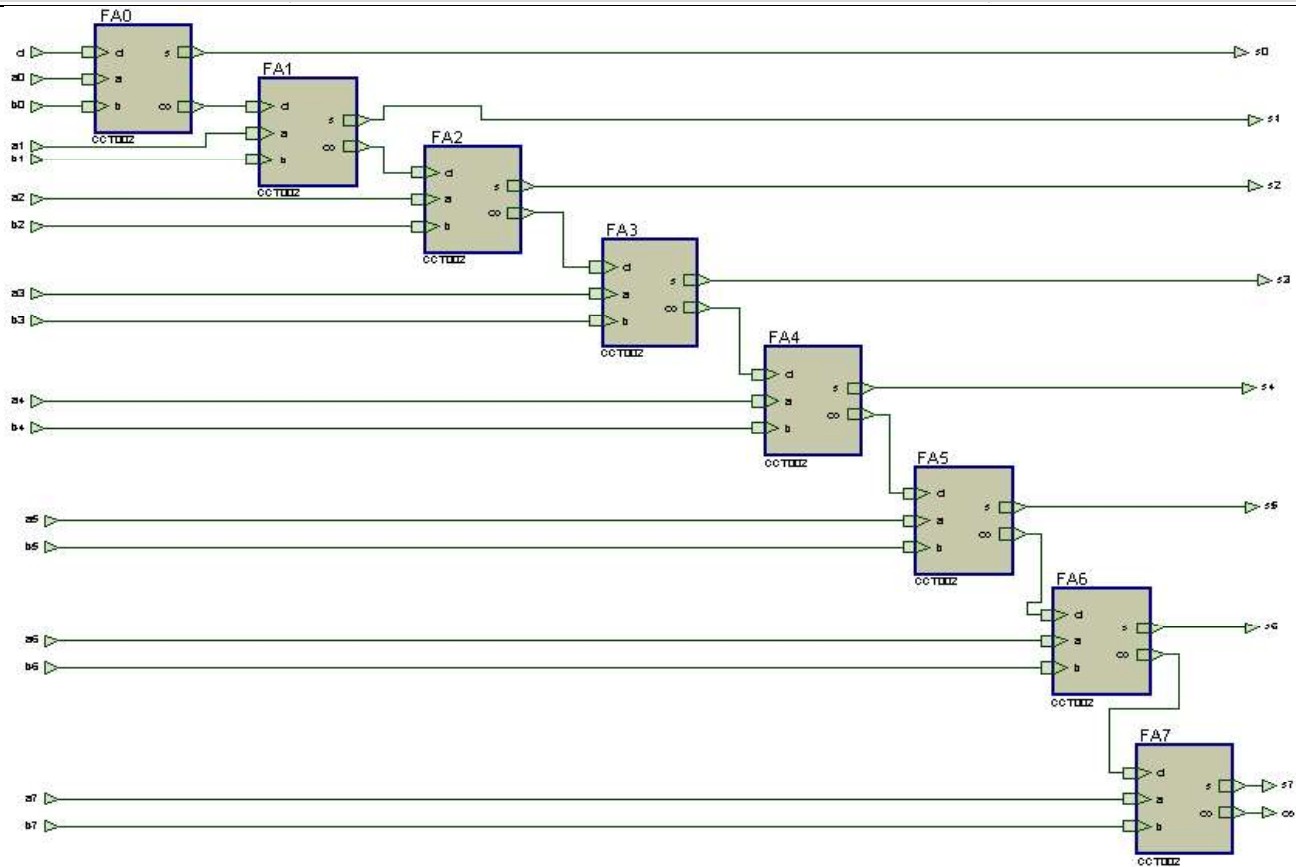
لجمع عددتين A و B كل منهما بطول 8bits نتبع ما يلي :





لتنفيذ التصميم يلزمنا 8 دارات 1Bit Full Adder توصل مع بعضها على الشكل التالي



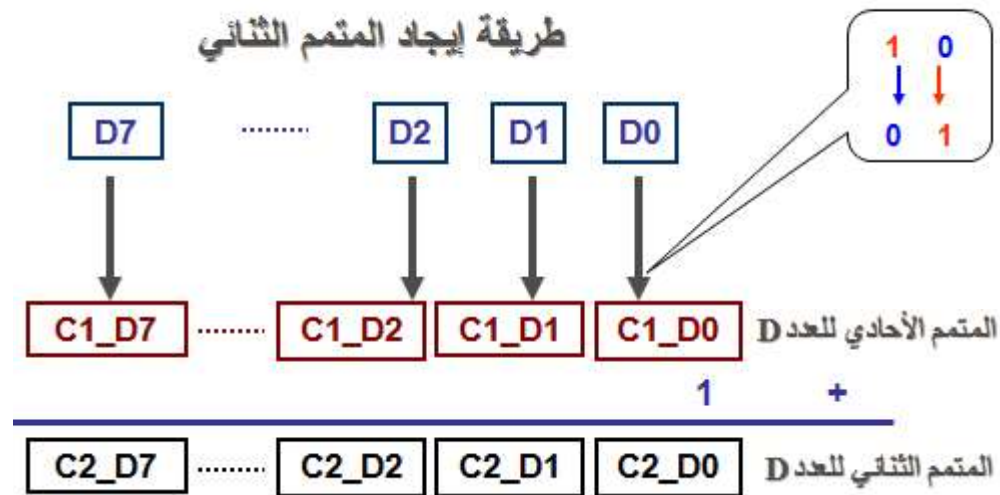


| Name | Library | |
|-----------------|---------------------|-------------------|
| AND / OR / XOR | Modeling Primitives | بوابات منطقية |
| Logic State | Debugging Tools | Input (1bit) |
| Logic Probe | Debugging Tools | Output (1bit) |
| ThumbSWITCH-HEX | Switches and Relays | Input (4bits) |
| 7seg-BCD-blue | Optoelectronics | 7 segment (logic) |

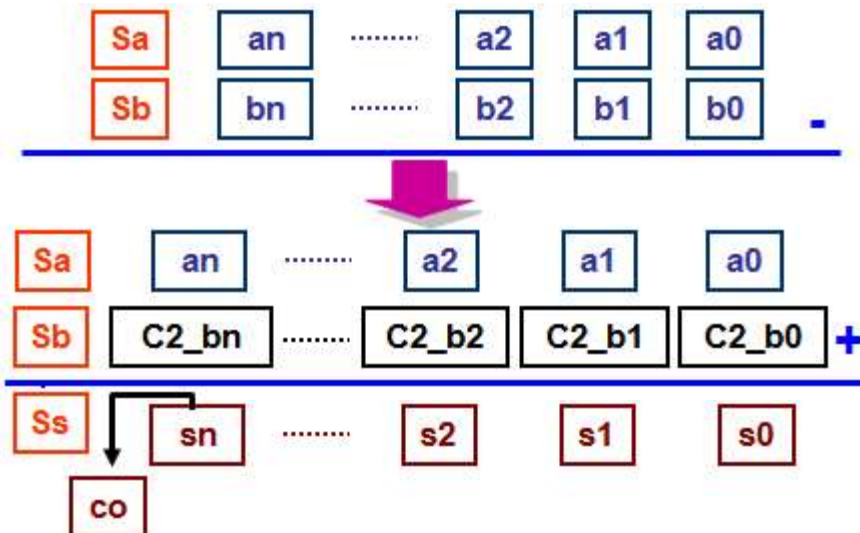
| | | |
|----------------------------|---|----------------------|
| هندسة الحاسوب والمعلوماتية |  | جامعة الشهباء الخاصة |
| بنية وتنظيم الحاسوب | | كلية هندسة المعلومات |

ثانياً – تصميم جامع/طرح بطول 8bits:

يتم تنفيذ عملية الطرح عن طريق جمع العدد مع متممه الثنائي .



لتنفيذ العملية (A-B) باستخدام دائرة الجامع الكامل نقوم بجمع العدد A مع المتمم الثنائي للعدد B.



Co = 0 ➡ Result is **negative** and binary complemented

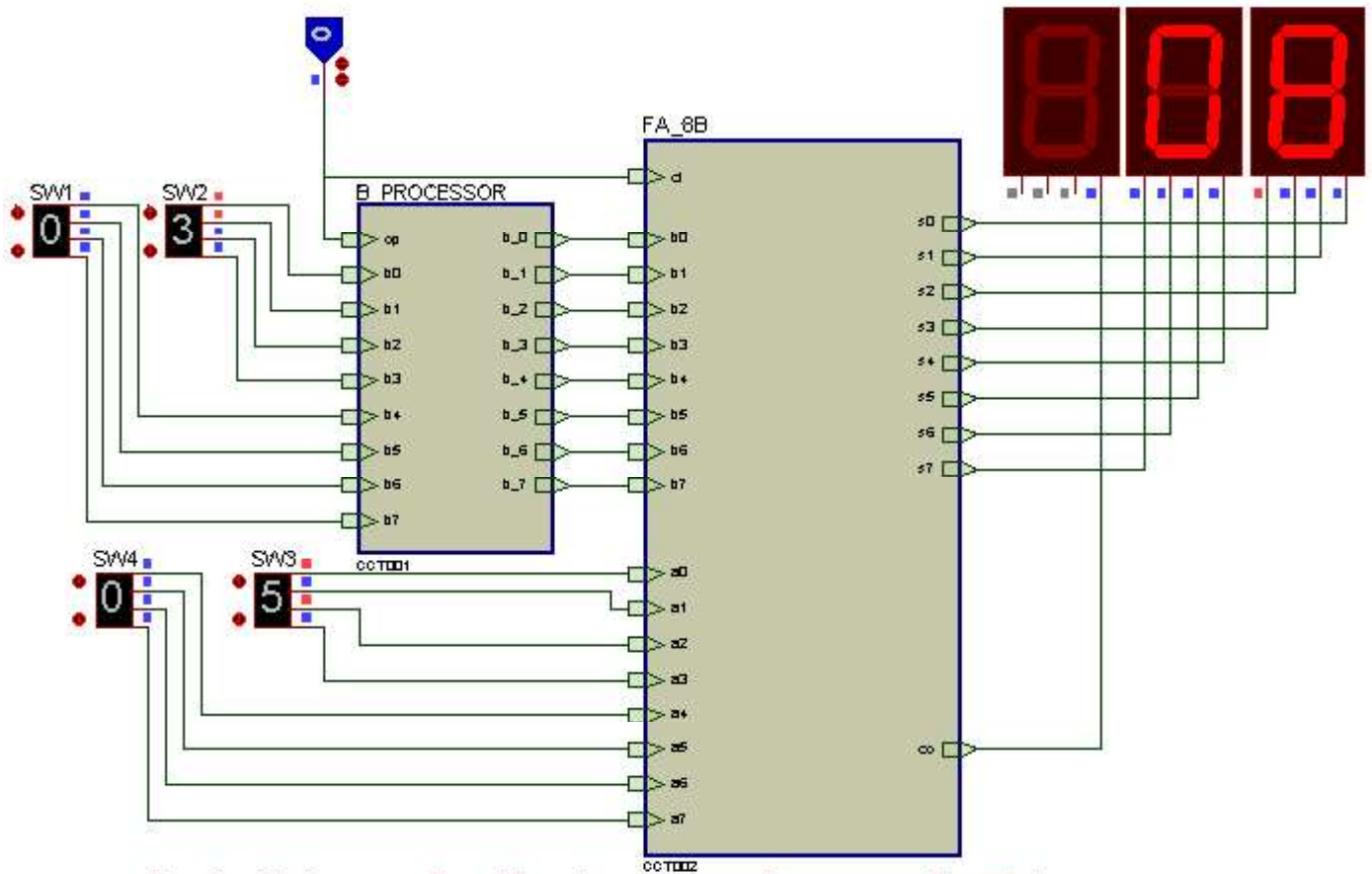
Co = 1 ➡ We omit it and Result is **positive**

| | | |
|----------------------------|---|----------------------|
| هندسة الحاسوب والمعلوماتية |  | جامعة الشهباء الخاصة |
| بنية وتنظيم الحاسوب | | كلية هندسة المعلومات |

خطوات العمل: نعدل دائرة الجامع الكامل نضيف لها قطب تحكم OP بحيث تعمل على النحو التالي :

Op=0⇒sum

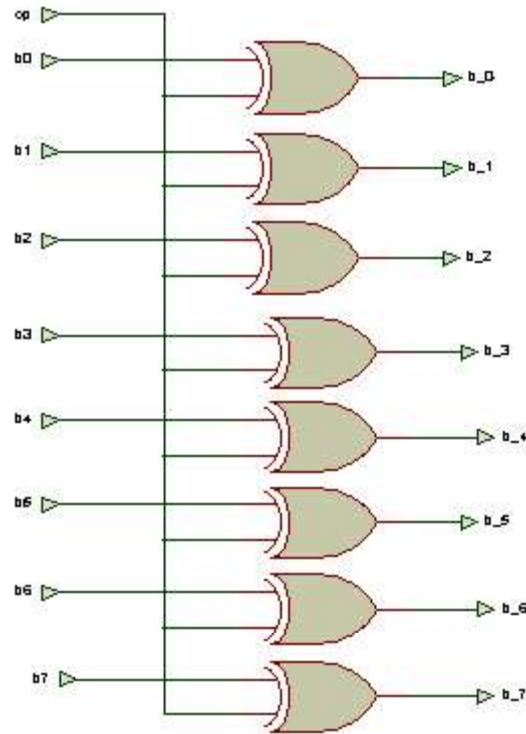
Op=1⇒subtract



Addition & Subtraction - 8 Bit

حيث B_Processor هو لإيجاد المتمم الثنائي للعدد في حال كانت العملية المراد تنفيذها هي طرح وتمر العدد كما هو في حال كان المطلوب تنفيذ الجمع وتكون بذلك بنية B_Processor:

| | | |
|----------------------------|---|----------------------|
| هندسة الحاسوب والمعلوماتية |  | جامعة الشهباء الخاصة |
| بنية وتنظيم الحاسوب | | كلية هندسة المعلومات |



من خلال هذه الدارة نجد في حال كانت العملية جمع سيقى العدد B على حاله دون تغيير ، وفي حال كانت العملية طرح سيتم إيجاد المتمم الثنائي للعدد B ليتم جمعه مع العدد A لنحصل على ناتج طرح العدد B من العدد A.