

FFT 示例测试说明

(版本号：V1.0)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2018/3/5	初始版本

名词术语解释

Abbreviations 缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释

目录

一、文档内容说明.....	1
二、系统环境	2
(一) 硬件	2
(二) 软件	2
(三) 工程目录	3
三、工程说明	4
(一) FFT 单元设计	4
(二) FFT 逻辑框图	4
(三) 性能说明	5
四、仿真说明	6
五、测试说明	7

图目录

图 1 PGL2KF01_A0 开发板硬件框图	2
图 2 FFT 示例工程的目录结构	3
图 3 FFT 单元逻辑框图	4
图 4 工程资源使用情况	5
图 5 示例工作正常时的波形	7

表目录

表 1 测试用信号说明	7
-------------------	---

一、文档内容说明

本文档主要介绍了基于 PGL2KF01_A0 开发板的 FFT 示例测试情况，包括系统环境介绍，工程说明以及测试说明。

二、系统环境

(一) 硬件

本工程需要 PGL2KF01_A0 开发板，主要使用了 PGL22 芯片，50MHz 晶振，按键和 LED 等。

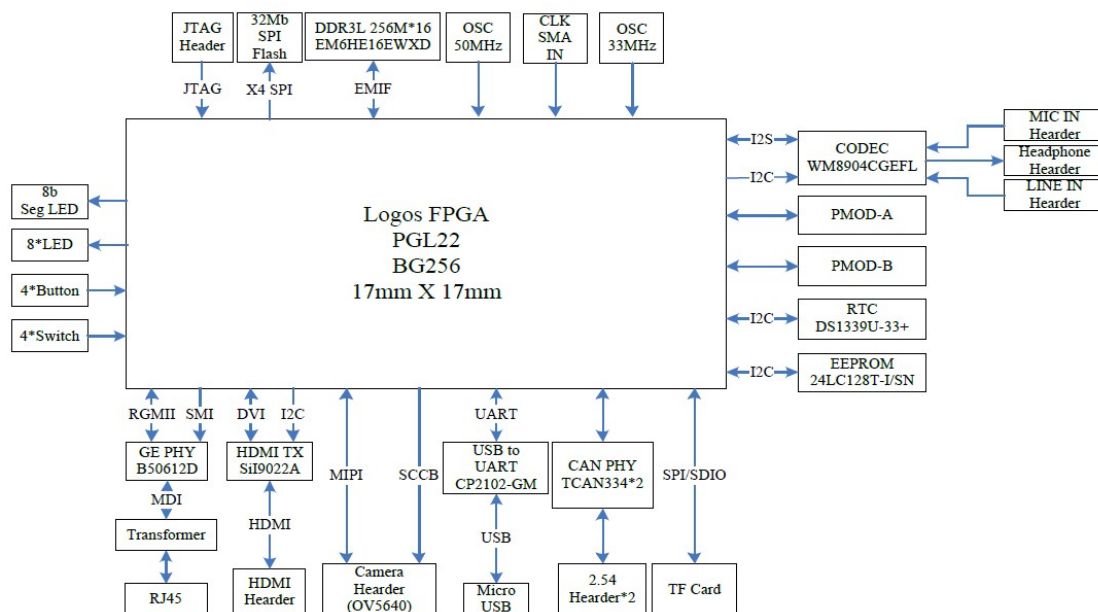


图 1 PGL2KF01_A0 开发板硬件框图

(二) 软件

本工程使用的软件版本为 PDS 2018.2B-patch1，仿真工具为 ModelSim。

(三)工程目录

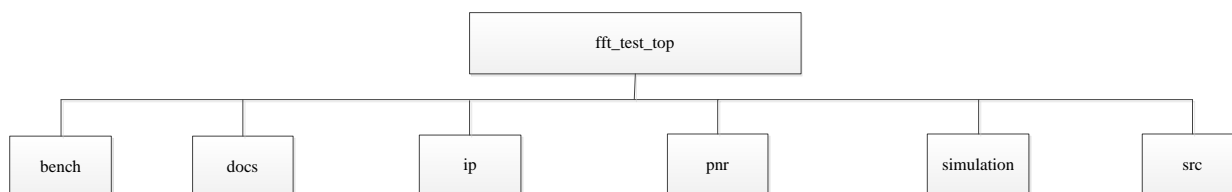


图 2 FFT 示例工程的目录结构

工程目录结构描述

- **fft_test_top.v**: FFT 示例工程的顶层文件，存放在..\pgr_PGL22G_AMP_FFT\src;
- **bench**: testbench 目录
存放仿真用到的 tb 文件;
- **docs**: 文档目录
存放说明文档;
- **ip**: ip 目录
存放 pll, rom 和 ram 的 rtl 文件;
- **pnr**: 综合布局布线工程
存放工程文件，约束文件及位流文件;
- **simulation**: 功能仿真目录
存放运行功能仿真所需的脚本文件;
- **src**: 源文件目录
存放 FFT 示例的 verilog 代码文件。

三、工程说明

(一) FFT 单元设计

FFT 单元设计选择串行突发传输式设计 FFT 电路。串行突发传输式，采用 1 个蝶形运算单元实现 FFT 电路，每次只能实现 1 次蝶形运算，共需要 $(N/2) * \log_2^N$ 次蝶形运算完成一次 FFT 运算。这种设计电路硬件资源开销最小，但电路的吞吐量低也最低。

- 输入输出兼容 AXI4-stream 接口
- 可以配置为正向 FFT 变换
- 数据精度（数据位宽）为 16-bit
- 相位精度为 16-bit
- 变换长度为 1024
- 采用时域抽样（DIT）的基 2FFT 算法
- 输入/输出为自然顺序

(二) FFT 逻辑框图

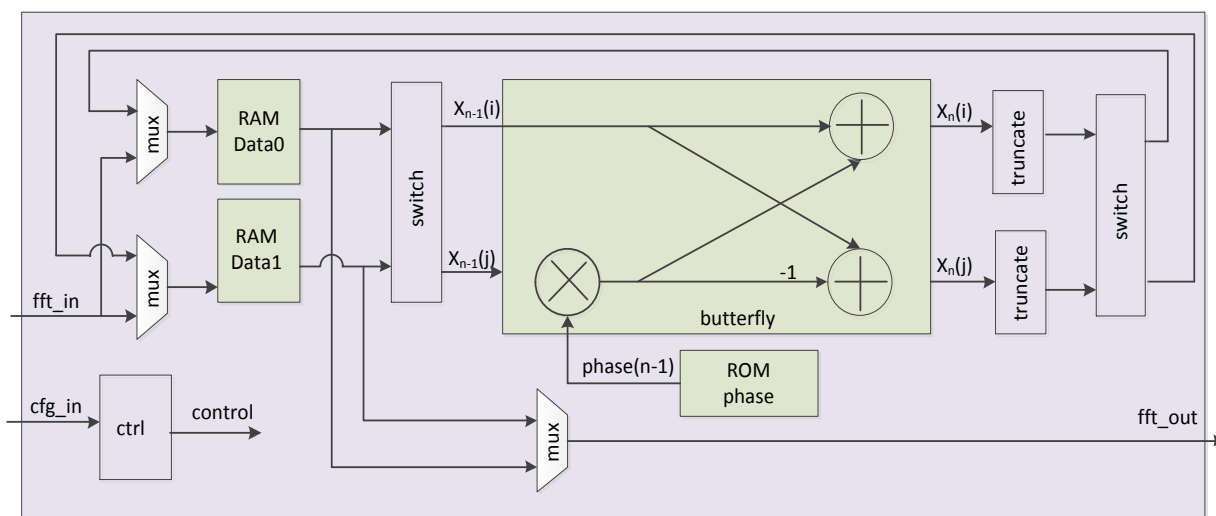


图 3 FFT 单元逻辑框图

- 1) ctrl 电路，实现 FFT 模块的配置与时序控制；
- 2) RAM Data0 与 RAM Data1，存储输入数据与运算值中间值；
- 3) ROM phase，存储相位因子值；
- 4) butterfly 电路，实现蝶形运算；
- 5) switch 电路，实现对 2 路数据进行位置交换；
- 6) truncate 电路，实现截位于取整处理。

(三) 性能说明

FPGA 外部输入时钟 50MHz，经过 pll 倍频输出 100MHz 时钟作为工程的系统时钟。工程调用了 6 个 FFT 单元，APM 使用 80%，CLM 使用 75%，DRM 使用 88%。详细资源使用情况如下所示：

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization(%)
Use of ADC	0	1	0
Use of APM	24	30	80
Use of APMMUX	0	30	0
Use of BKCL	2	6	33
Use of CKEB	0	100	0
Use of CKEBMUX	0	6	0
Use of CLMA	2460	3274	75
FF	5008	19644	25
LUT	5161	13096	39
LUT-FF pairs	2691	13096	21
Use of CLMS	817	1110	74
FF	1593	6660	24
LUT	1560	4440	35
LUT-FF pairs	875	4440	20
Distributed RAM	0	1110	0
Use of CRYSTAL	0	6	0
Use of DLLMUX	0	6	0
Use of DQS1MUX	0	18	0
Use of DRM	42	48	88
Use of FLSIF	0	1	0
Use of FUSECODE	0	1	0
Use of G2RCHMUX	0	12	0
Use of HARDON1	0	2745	0
Use of HMEMC	0	2	0
Use of HMEMCMUX_DLL	0	2	0
Use of HMEMCMUX_DQS	0	10	0
Use of HMEMCMUX_IOL	0	60	0
Use of HMEMCMUX_SRB	0	60	0
Use of IO	5	186	3

图 4 工程资源使用情况

四、仿真说明

仿真工具为 ModelSim。

首先打开路径..\pgr_PGL22G_AMP_FFT\simulation，双击 script.bat 即可运行功能仿真。

注意：sim.tcl 文件的第 4 行需要改成本机安装的 PDS 目录路径。如本机的 PDS 安装在 D:/Pango，则将第 4 行中的 E:/Pango/改为 D:/Pango。

五、测试说明

工程中，使用 rom 存放用 matlab 预先算好的结果，然后与 FFT 单元计算的结果进行对比，以 led 作为错误标识，以 out_vld 作为校验指示信号。主要信号如下表所示：

表 1 测试用信号说明

信号名	输入/输出	位宽	说明
全局信号			
clk	I	1	输入参考时钟
rstn	I	1	输入复位信号，低有效，SW3
校验信号			
led	O	1	校验错误信号，高有效，led5
pll_lock	O	1	pll lock 信号，高有效，led2
out_vld	O	1	校验指示信号，高低电平变化，led1

通过 JTAG 线缆连接 PC 与板卡，扫描器件，下载位流；

配置 FPGA 成功后，可见 led2 常亮，led1 闪烁，led5 灭，则说明示例工作正常。复位键按下，led1 和 led5 灭，led2 亮。

通过 debug core 抓取波形如下所示：

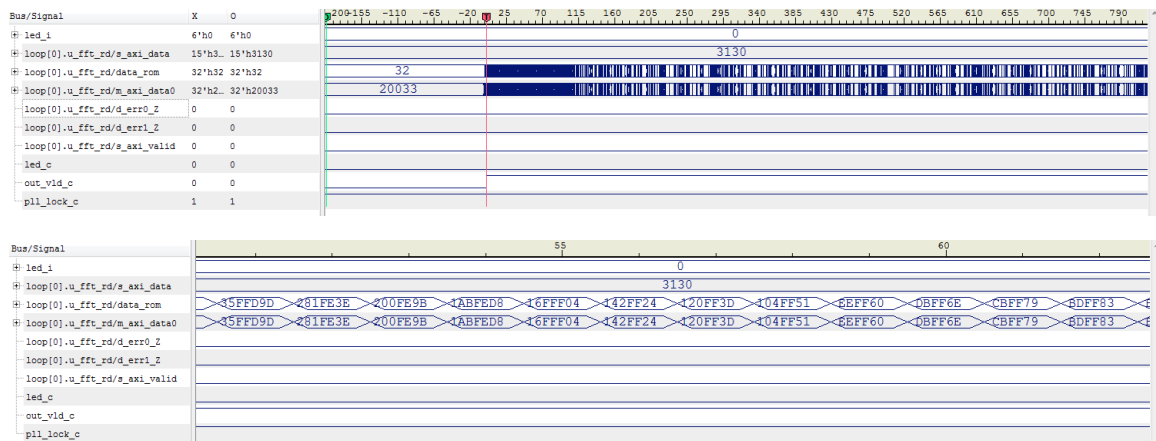


图 5 示例工作正常时的波形

上图中，led_i 表示每个 FFT 单元各自的校验结果，都是 0，结果正确；data_rom 是 matlab 预先计算的结果，m_axi_data0 是 FFT 单元计算出来的结果，两相对比，结果正确。