



ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO
Departamento de Engenharia de Computação e Sistemas Digitais

PCS3635 – LABORATÓRIO DIGITAL II

EXPERIÊNCIA 4 – Trena Digital

Planejamento da Bancada B6 – Turma 2 – Prof. Paulo Cugnasca

Data de Emissão: 23 de SETEMBRO de 2025.

Nome: André Takeshi Ito	Número USP: 14558422
Nome: Paulo Hideyuki Yamaguti	Número USP: 12554612
Nome: Roberto Jun Hiraoka	Número USP: 14606280

1 INTRODUÇÃO

Esta experiência tem por objetivo desenvolver uma Trena Digital a partir de um circuito digital que realiza a medida de distância para um objeto, usando um sensor ultrassônico de distância HC-SR04, com saída das medidas em uma porta de comunicação serial. A implementação e testes serão desenvolvidas para a placa de desenvolvimento FPGA DE0-CV, usando a infraestrutura disponível na bancada do Laboratório Digital.

2 DESCRIÇÃO DO PROJETO

Neste experimento, o circuito lógico desenvolvido tem a função de medir distâncias de objetos em relação ao circuito utilizando um sensor ultrassônico de distância HC-SR04 e transmitir a medida via interface serial. O circuito emprega um detector de borda ligado a uma chave para identificar quando deve ser ativado, e utiliza o tx_serial utilizado na experiência 2 e a interface serial da experiência 3.

3 DETALHAMENTO DO PROJETO LÓGICO

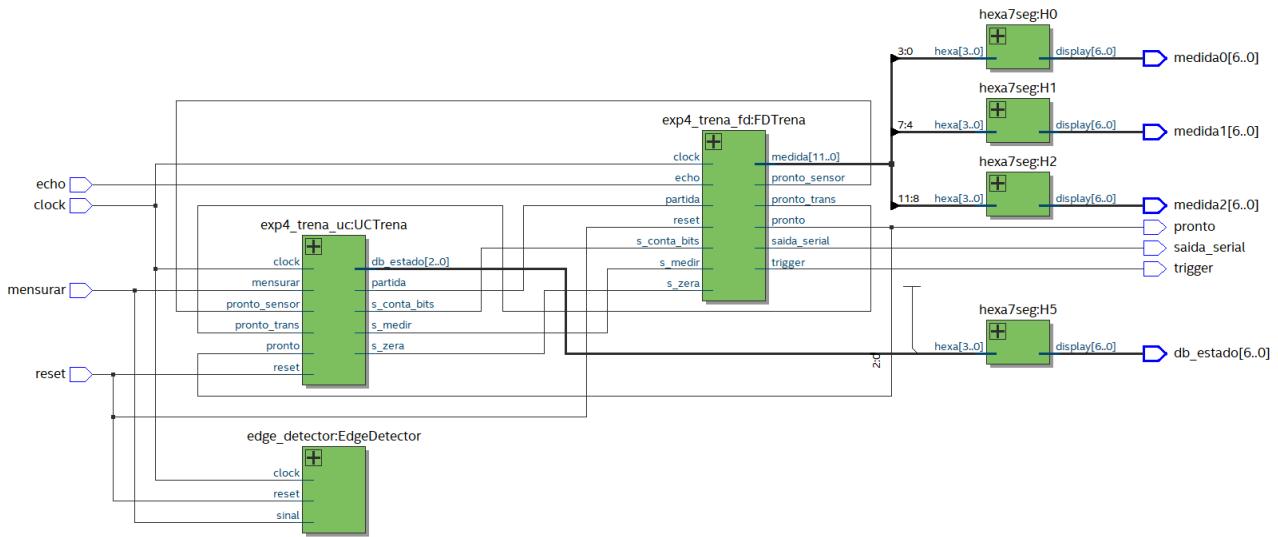


DIAGRAMA DO PROJETO LÓGICO DO CIRCUITO DA EXPERIÊNCIA 4

O circuito vai ter um detector de borda para realizar a interpretação dos sinais de entrada referentes ao reset e início de medição (mensurar). Como saída, ele mostrará a distância obtida em centímetros utilizando 3 displays de 7 segmentos, podendo representar distâncias que variam de 0cm a 999cm (quase 10 metros) e uma saída seria sendo os dígitos da medida de distância convertidos em caracteres ASCII e enviados um a um, e terminados pelo caractere #. Como saídas de depuração, o circuito apresentará num display de 7 segmentos o estado atual da Unidade de Controle.

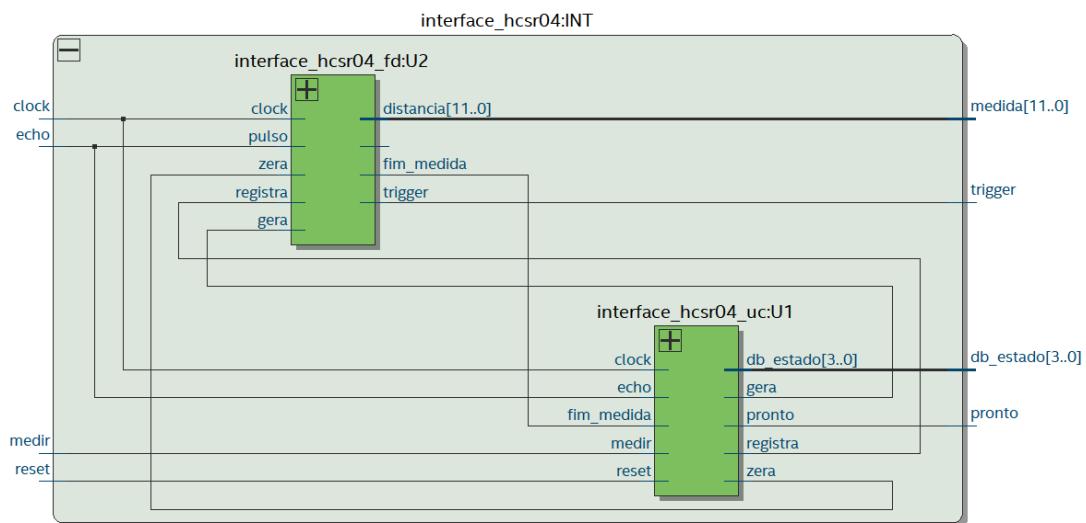


DIAGRAMA DO PROJETO LÓGICO DA INTERFACE PARA O HC-SR04

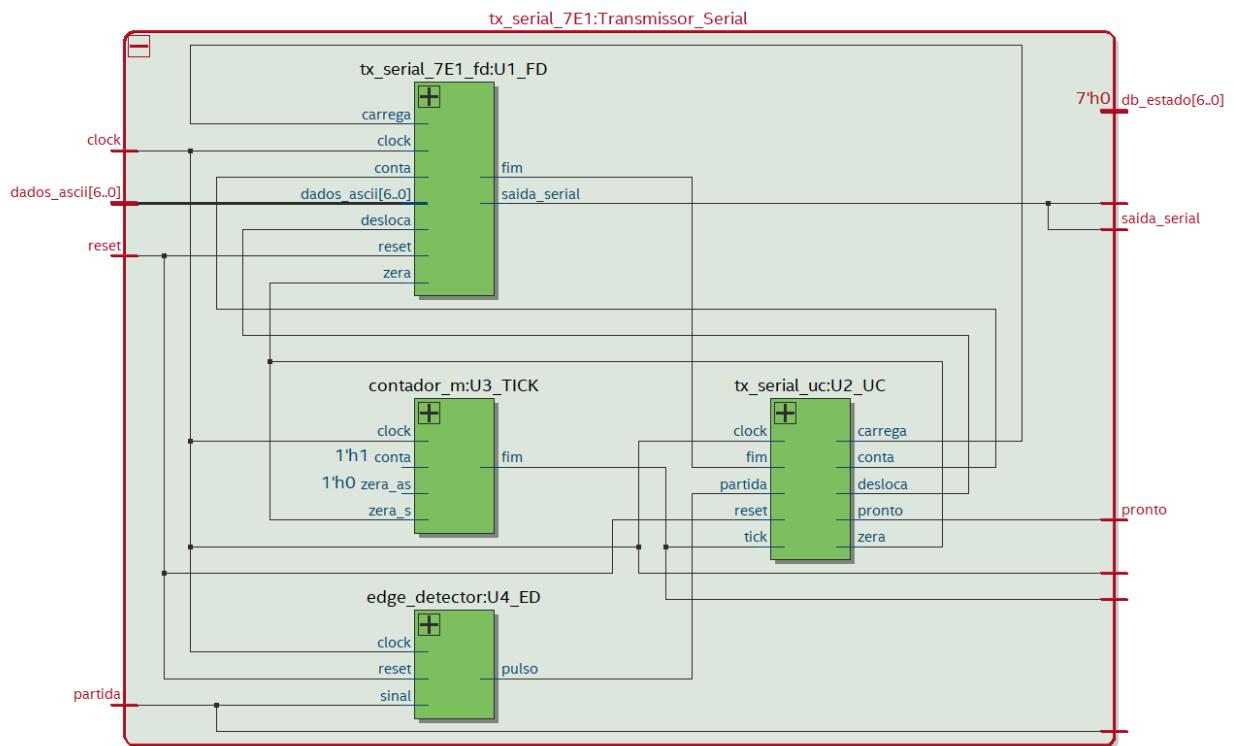


DIAGRAMA DO PROJETO LÓGICO DO TX_SERIAL_7E1

3.1 PROJETO DO FLUXO DE DADOS

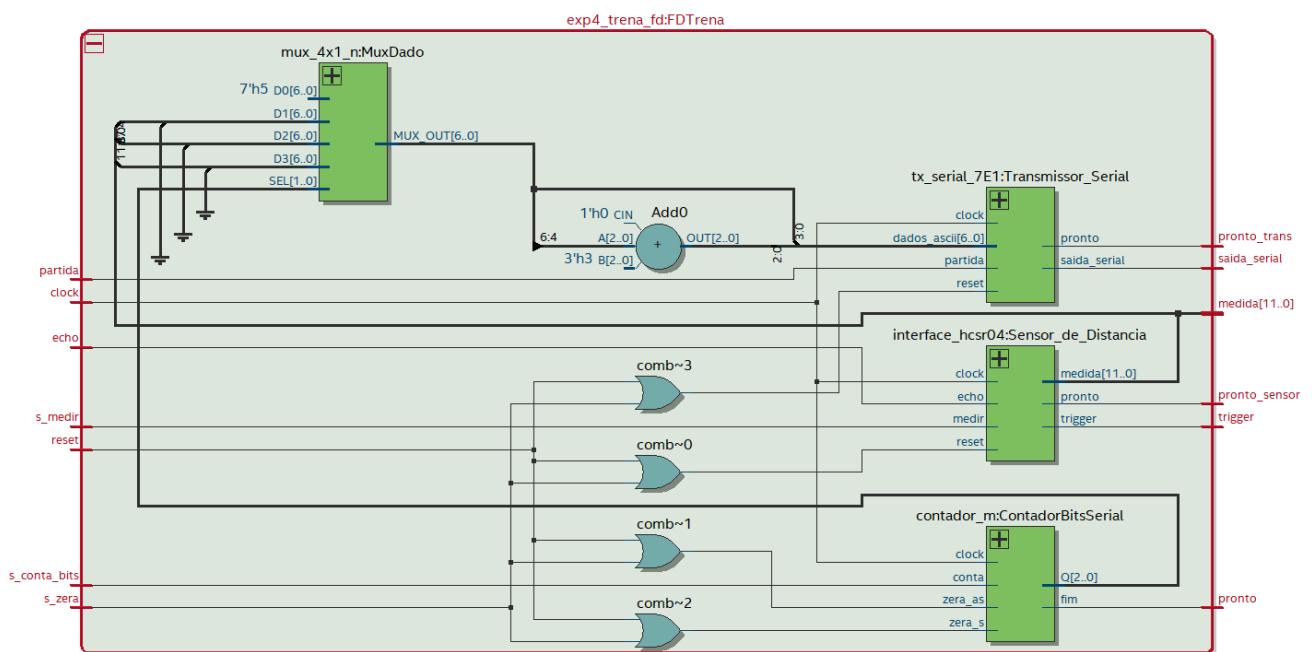
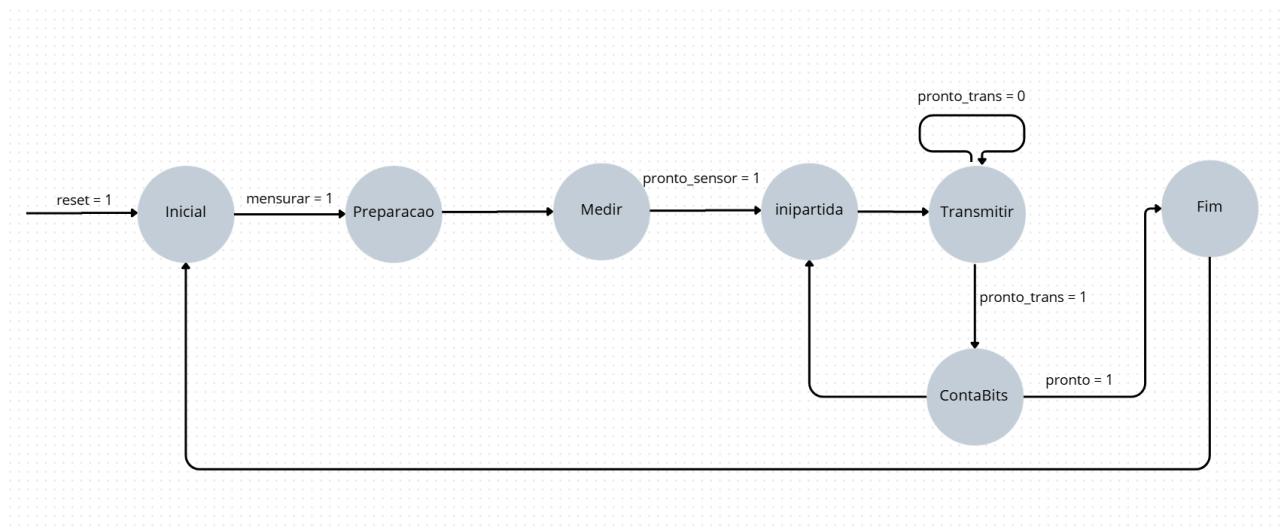


DIAGRAMA DO FLUXO DE DADOS DA TRENA

O fluxo de dados será composto por um transmissor serial (tx_serial_7E1), uma interface do sensor de distância (interface_hcsr04), um Mux e um Contador de bits. Seu funcionamento ocorre da seguinte forma: um sinal para medir chega na interface do sensor de distância, o qual devolve o valor da medida e manda para o Mux que separa em 3 dígitos e um #. Em seguida, o contador seleciona o primeiro dígito para ser enviado para o Transmissor serial e aqui se soma 8'h30 para que o valor em binário seja convertido em ASCII. Assim o transmissor recebe o primeiro dígito para a saída serial. Esse processo se repete para todos os dígitos.

3.2 PROJETO DA UNIDADE DE CONTROLE

3.2.1 UNIDADE DE CONTROLE DA TRENA



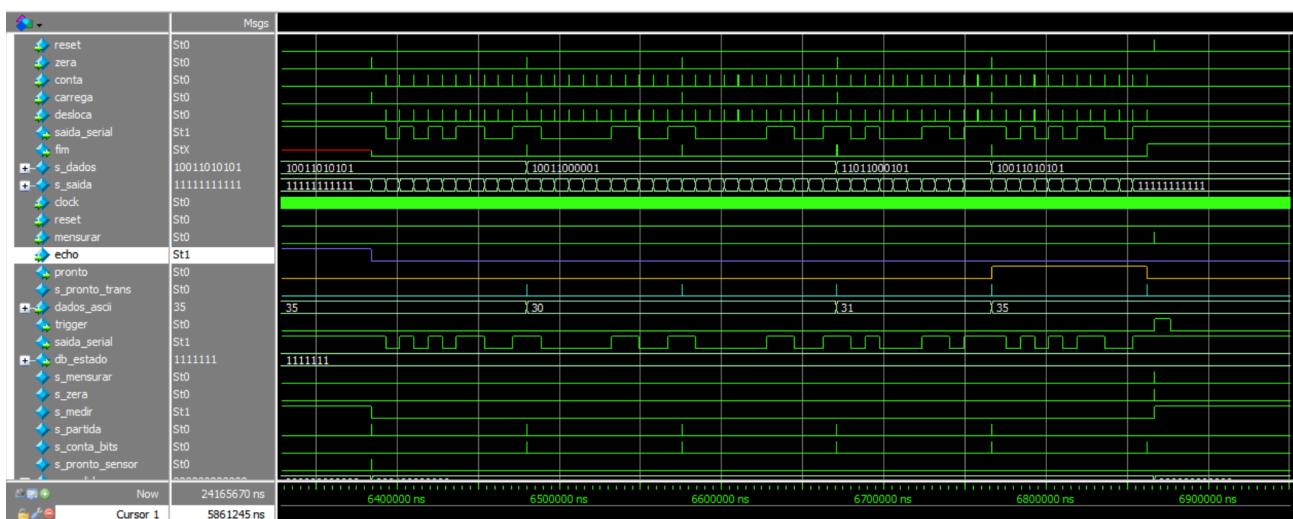
MÁQUINA DE ESTADOS DA UNIDADE DE CONTROLE DA TRENA

Nome do Estado	Descrição do Estado	Próximo Estado	Condições e Justificativas para a Transição entre Estados
Inicial	Espera o sinal mensurar ativar	Inicial	(mensurar = 0) Permanece no estado “Inicial” enquanto o circuito não é iniciado
Inicial	Espera o sinal mensurar ativar	preparacao	(mensurar = 1) Vai para o preparacao
preparacao	Reseta todo o circuito	medir	(pronto_sensor = 0) (s_conta_bits = 1)
medir	Espera o sinal pronto_sensor ativar	medir	(pronto_sensor = 1) (s_conta_bits = 1)

Nome do Estado	Descrição do Estado	Próximo Estado	Condições e Justificativas para a Transição entre Estados
medir	Espera o sinal pronto_sensor ativar	inipartida	(pronto_sensor = 1) (s_conta_bits = 1)
inipartida	Ativa o transmissor serial	transmitir	(partida = 1)
transmitir	Verifica se transmitiu um dígito	transmitir	(pronto_trans = 0)
transmitir	Verifica se transmitiu um dígito	contabits	(pronto_trans = 1)
contabits	Conta para o próximo dígito	inipartida	(pronto = 0)
contabits	Conta para o próximo dígito	fim	(pronto = 1)
fim	Estado para dizer que terminou a transmissão dos dígitos	inicial	(s_zera = 0) (s_medir = 0) (s_conta_bits = 0) (partida = 0)

4 PLANO DE TESTES DO SISTEMA E SIMULAÇÕES

4.1 CENÁRIO DE TESTE 1 – POSICIONAR UM OBJETO A 100CM E INICIAR MEDIÇÃO COM TRANSIÇÃO SERIAL



FORMA DE ONDA DA TESTBENCH DO CIRCUITO COMPLETO DA ATIVIDADE 2.1



FORMA DE ONDA DA TESTBENCH DAS ONDAS MAIS IMPORTANTES

Após o sinal echo ser ativado a transmissão serial começa e os dados ASCII são mandados para saída serial e a cada pulso do s_pulso_trans um dígito foi transmitido, transformando o dado do sensor em uma onda serial, sendo nesse exemplo o valor de 100#.

5 IMPLANTANÇÃO DO PROJETO

5.1 PINAGEM DA PLACA FPGA

Node Name	Direction	Location
clock	Input	PIN_M9
db_estado[6]	Output	PIN_W19
db_estado[5]	Output	PIN_C2
db_estado[4]	Output	PIN_C1
db_estado[3]	Output	PIN_P14
db_estado[2]	Output	PIN_T14
db_estado[1]	Output	PIN_M8
db_estado[0]	Output	PIN_N9
echo	Input	PIN_B12
medida0[6]	Output	PIN_AA22
medida0[5]	Output	PIN_Y21
medida0[4]	Output	PIN_Y22
medida0[3]	Output	PIN_W21
medida0[2]	Output	PIN_W22
medida0[1]	Output	PIN_V21
medida0[0]	Output	PIN_U21
medida1[6]	Output	PIN_U22
medida1[5]	Output	PIN_AA17
medida1[4]	Output	PIN_AB18
medida1[3]	Output	PIN_AA18
medida1[2]	Output	PIN_AA19
medida1[1]	Output	PIN_AB20
medida1[0]	Output	PIN_AA20
medida2[6]	Output	PIN_AB21
medida2[5]	Output	PIN_AB22
medida2[4]	Output	PIN_V14
medida2[3]	Output	PIN_Y14
medida2[2]	Output	PIN_AA10
medida2[1]	Output	PIN_AB17
medida2[0]	Output	PIN_Y19
mensurar	Input	PIN_U7
pronto	Output	PIN_AA2
reset	Input	PIN_U13
saída_serial	Output	PIN_B16
trigger	Output	PIN_A12

TABELA DE PINOS DO PIN PLANNER

5.2 ESTRATÉGIA DE MONTAGEM

Para realizar os testes de funcionamento do circuito de interface com o sensor ultrassônico de distância em ambiente remoto, iremos seguir um protocolo experimental bem definido. Inicialmente, os circuitos digitais precisam estar em condição inicial, ou seja, devidamente resetados e prontos para operação. Em seguida, um objeto de teste é colocado em uma posição previamente estabelecida na bancada remota. Com o objeto posicionado, iremos acionar o sinal de medida no circuito de interface, o que gera o pulso de disparo no sensor HC-SR04 e permite a obtenção da distância correspondente. Após o acionamento, iremos conseguir verificar a medida obtida, tanto na saída serial quanto nos displays de 7 segmentos, assim analisando o valor apresentado pelo sistema. Concluída essa etapa, o objeto deve ser reposicionado para a próxima distância de teste definida no experimento, e o processo de medição é repetido.

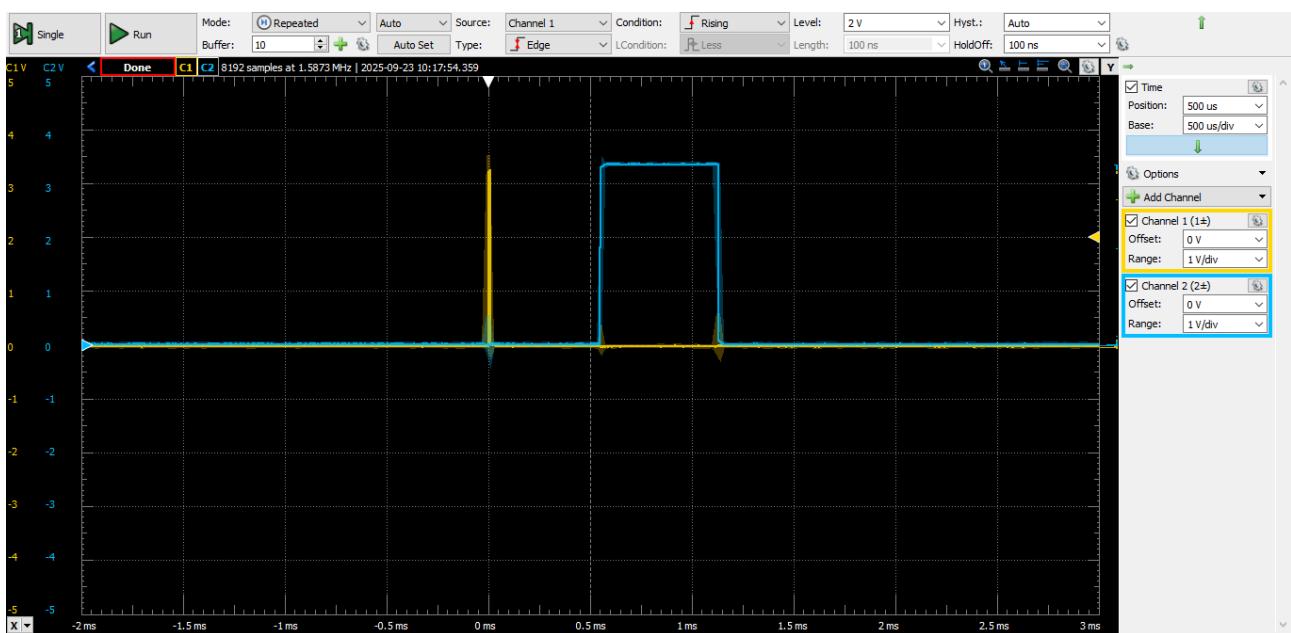
As medidas obtidas devem ser avaliadas com base em dois critérios principais: precisão, que indica o quão próximo o valor medido está da distância real do objeto, e estabilidade, que se refere à baixa variação entre várias medições repetidas na mesma posição. Esse protocolo garante a validação tanto da corretude do circuito quanto da confiabilidade dos resultados fornecidos pelo sistema.

5.3 ESTRATÉGIA DE DEPURAÇÃO

Para realizar os testes de depuração, vamos rodar os testes de funcionamento e veremos os leds, display de 7 segmentos e a saída serial para verificar se está tudo certo.

5.4 EXECUÇÃO PRÁTICA

Fizemos a montagem do circuito de acordo com as especificações, utilizando o sensor HC-SR04, o circuito integrado 74HC4050, o Analog Discovery e a placa FPGA. Primeiramente, utilizamos a ferramenta scope para analisar as ondas de Trigger e Echo. Foi notado um problema na máquina de estados inicial, que, ao ficar no estado medir, continuamente enviava o sinal de trigger. Isso foi corrigido com a inclusão de um novo estado, ini_medir, que emite o pulso de trigger, antes de ir para o estado de esperar a conclusão da medida.



FORMAS DE ONDAS DO TRIGGER E ECHO

Com as ondas certas, fomos para segunda etapa em que consistia na montagem da transmissão serial com a FPGA com o sensor, utilizando o circuito integrado 74HC4050. Primeiro, realizamos os testes de curto TX-RX e TD-RD e garantimos a devida montagem do projeto. Ao realizar a implementação completa, notou-se que o TeraTerm recebia um 0 a mais em toda medição. Isso foi corrigido reduzindo-se o número de bits do contador de transmissão de 5 para 4. O incremento inicial foi por causa de uma implementação ineficiente da conversão do dado BCD para ASCII, a qual foi corrigida para se adaptar à redução de bits. Feita a correção, foi verificada a operação esperada pelo TeraTerm, e o grupo seguiu para o teste do circuito completo.

No entanto, ao realizar a integração do circuito, foram encontrados alguns problemas a serem corrigidos. O circuito parecia ficar preso no estado de medir, o que foi corrigido com uma alteração da lógica de medição, que levava em conta a característica ativo-baixo dos botões da placa DE0-CV. A última alteração feita foi de um problema em que o circuito realizava a medição

assim que a alavanca de reset era abaixada. Isso ocorria porque o reset estava ligado também no edge detector do trigger. A variação provocada por esse reset era interpretada como o acionamento de um novo trigger, que gerava a medida. A desconexão do reset resolveu o problema e, assim, o circuito operou corretamente, como pôde ser observado pelo TeraTerm. A análise pelo Processing não foi feita pois este não estava instalado no computador da bancada.

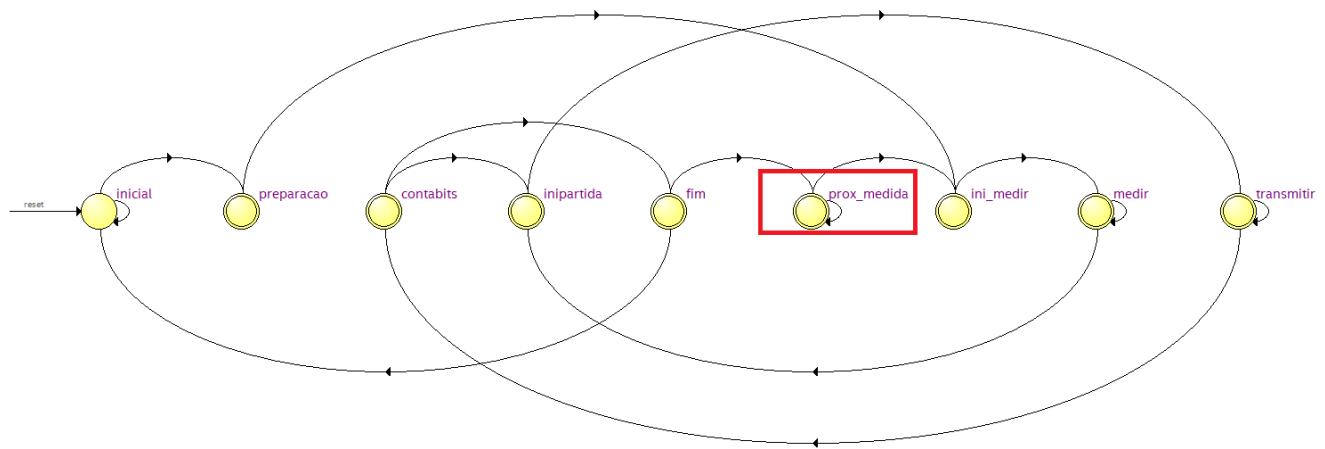
6 IMPLANTAÇÃO DO PROJETO

6.1 DESCRIÇÃO DO DESAFIO

O desafio proposto consiste em adicionar um modo de medição automático que faça a medida a cada 1 segundo e mostre na interface do software Processing.

6.2 DESCRIÇÃO DO PROJETO LÓGICO

Para o desafio proposto, o grupo decidiu adicionar um novo estado (**prox_medida**) para que quando a chave **modo** estivesse ligada, o circuito entraria na forma automática invés de voltar para o início após uma medição, e portanto o circuito realizaria uma nova medição.



MÁQUINA DE ESTADOS DA UNIDADE DE CONTROLE DA TRENA DO DESAFIO

Além disso, no fluxo de dados foi adicionado um contador para que realizasse a próxima mediação após 1 segundo. Fizemos ele com um parâmetro de 50,000,000s e 26 bits devido a taxa de 50MHz do clock.

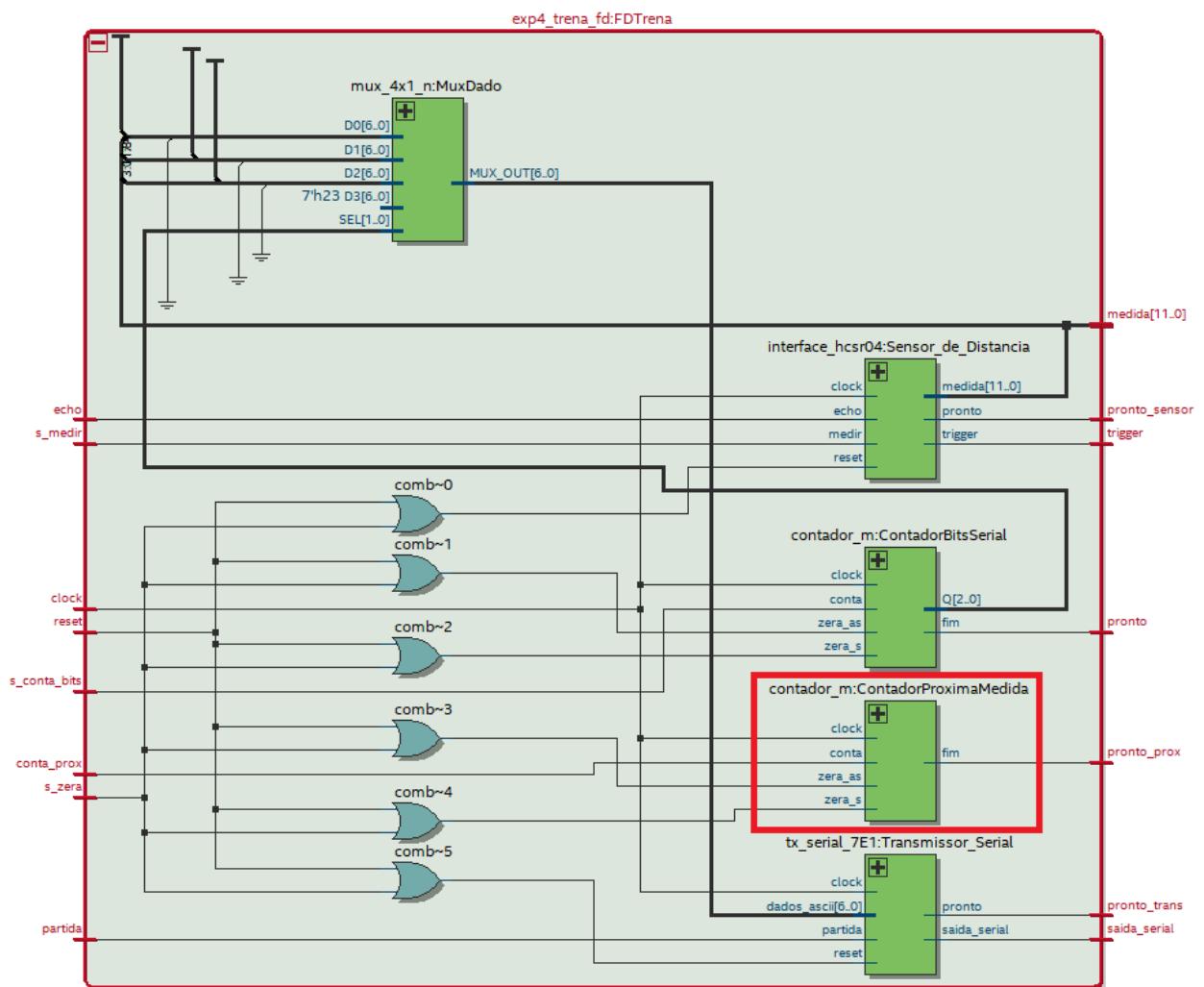
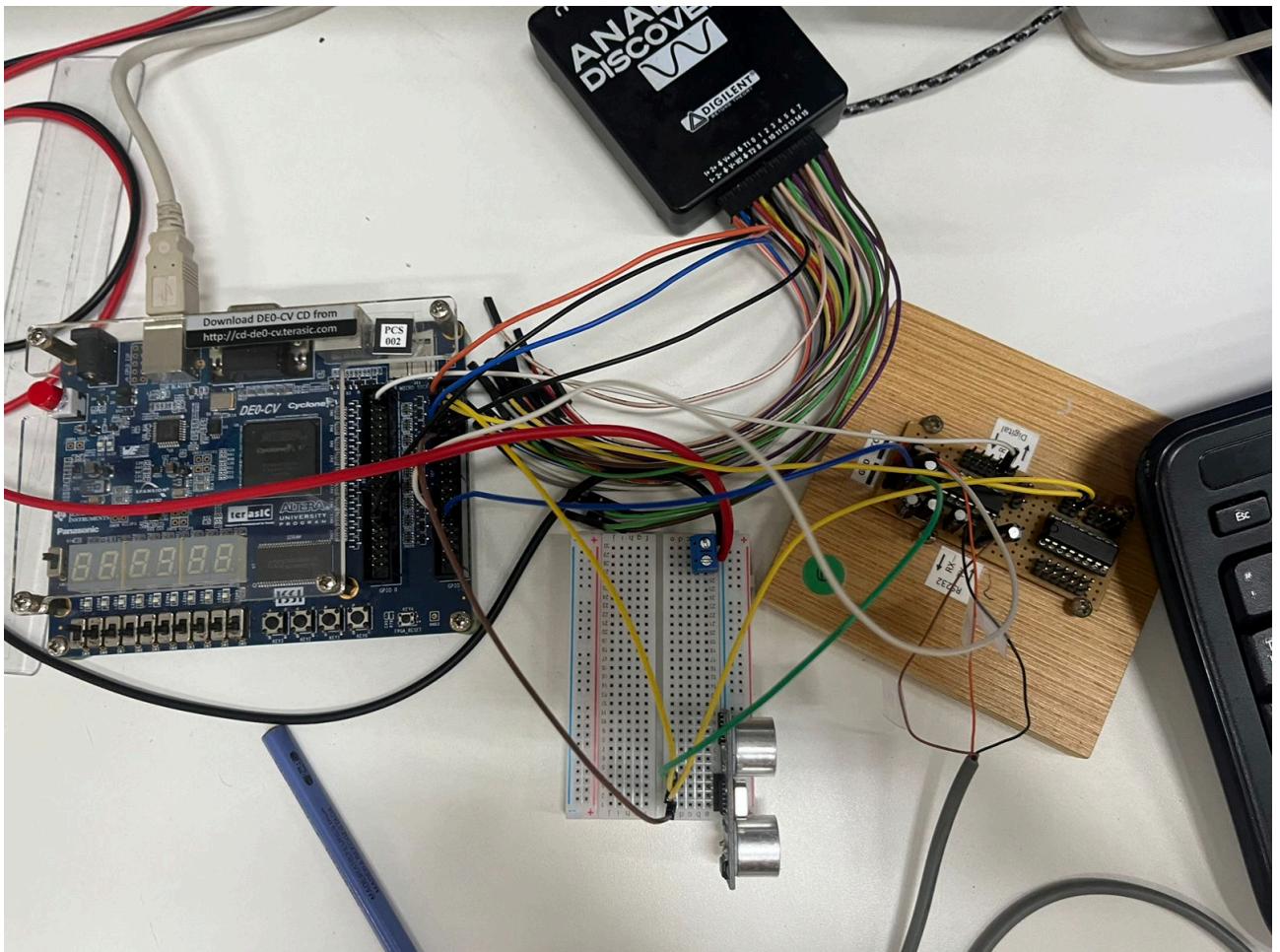


DIAGRAMA DO FLUXO DE DADOS DA TRENA DO DESAFIO

Como em nossa bancada o PC utilizado não possuía o software Processing instalado, dessa vez foi aceito o resultado do desafio no TeraTerm.

7 CONCLUSÃO

O projeto possibilitou a implementação conjunta de um sensor ultrassônico de distância HC-SR04, com saída das medidas em uma porta de comunicação serial, por meio do circuito integrado 74HC4050 e a placa FPGA, permitindo compreender na prática o funcionamento desses dispositivos. Apesar das dificuldades encontradas durante o desenvolvimento, a experiência foi fundamental para revisar o que foi aprendido nas experiências passadas e ir além integrando-as.



MONTAGEM DO CIRCUITO DO SENSOR INTEGRADO COM A TRANSMISSÃO SERIAL