

Trena Digital com Saída Serial

Versão 2025

OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Medida de distância;
- Interface com Sensor ultrassônico;
- Comunicação serial;
- Desenvolvimento de Máquina de estados;
- Codificação Verilog;
- Projeto em FPGA.

RESUMO

Esta experiência tem por objetivo desenvolver uma Trena Digital, ou seja, um circuito digital que realiza a medida de distância para um objeto, usando um sensor ultrassônico de distância HC-SR04, com saída das medidas em uma porta de comunicação serial. A implementação e testes serão desenvolvidas para a placa de desenvolvimento FPGA DE0-CV, usando a infraestrutura disponível na bancada do Laboratório Digital.

1. ESPECIFICAÇÃO DO PROJETO

O projeto desta experiência visa desenvolver um circuito digital que permite realizar a medida de distâncias com apresentação em *displays* de 7 segmentos e transmissão via interface serial. A interface básica do circuito deve seguir os sinais apresentados na figura 1. Além dos sinais de RESET e CLOCK, o circuito tem os sinais de entrada LIGA e MENSURAR, e os sinais de saída MEDIDA, SAIDA_SERIAL e PRONTO. O processo de medida de distância é executado com auxílio de um sensor específico, o sensor ultrassônico de distância HC-SR04. A interface do circuito e o sensor HC-SR04 é composta pelos sinais TRIGGER e ECHO.

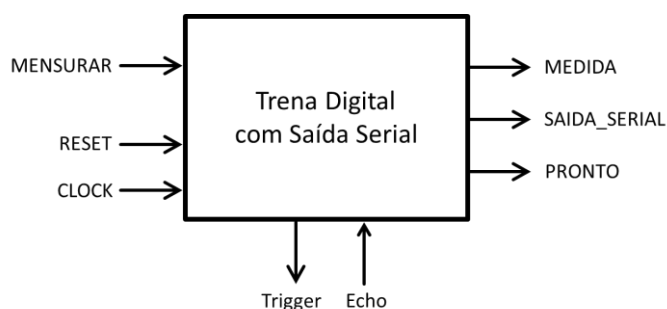


Figura 1. Interface básica da Trena Digital com Saída Serial.

A figura 2 apresenta a definição do módulo principal do circuito de teste do projeto da experiência. O grupo pode acrescentar sinais de depuração adicionais.

```
module exp4_trena (
    input      clock,
    input      reset,
    input      mensurar,
    input      echo,
    output     trigger,
    output     saida_serial,
    output [6:0] medida0,
    output [6:0] medida1,
    output [6:0] medida2,
    output     pronto,
    output [6:0] db_estado
);
```

Figura 2. Módulo principal do circuito de teste da experiência.

O acionamento do sinal RESET coloca o circuito na condição inicial, com a saída MEDIDA iniciada com 000. O sistema deve realizar a medição de distância quando o sinal MENSURAR for acionado.

A saída da medida de distância em centímetros deve ser apresentada em formato BCD em três *displays* de 7 segmentos. O valor da medida realizada deve permanecer na saída até a execução da próxima medida ou até que o circuito seja reiniciado. Além da apresentação em *displays*, o circuito deve também enviar a medida via comunicação serial a um dispositivo de apresentação. Os dígitos da medida de distância devem ser convertidos em caracteres ASCII e enviados um a um, e terminados pelo caractere # (código hexadecimal 23H). Por exemplo, uma distância de 1,72 m (ou 172 cm) deve ser apresentado pelo envio serial da sequência de quatro caracteres ASCII: 1, 7, 2 e # (códigos ASCII: 31H, 37H, 32H e 23H).

A comunicação serial deve ser projetada conforme configuração **115200/7E1** (*baud rate* de 115200 *bauds*, 7 *bits* de dados, paridade par e 1 *stop bit*).

Seguem abaixo algumas **orientações gerais** sobre o desenvolvimento do projeto do circuito de Trena Digital com Saída Serial.

- A implementação do circuito da Trena Digital deve ser realizada na **placa DE0-CV**. Os alunos devem levar em consideração o uso de técnicas de projeto síncrono, conforme estudados anteriormente;
- Considere, por definição, que todos os sinais de entrada e de saída e todos os sinais de controle e de condição do projeto são ativos em nível alto;
- O circuito deve ser decomposto em **fluxo de dados** (FD) e **unidade de controle** (UC). O funcionamento dos elementos do FD do circuito deve ser controlado pela UC e esta deve ser especificada através de um diagrama ASM;
- Os circuitos desenvolvidos nas experiências anteriores (comunicação serial assíncrona e interface com sensor de distância) devem ser usados como **componentes internos** do projeto;
- Contudo, estes componentes devem ser **refatorados** para excluir todos os elementos de interface externa (como detector de borda, codificadores para *displays* de 7 segmentos, etc).

2. PARTE EXPERIMENTAL

2.1. Atividade 1 - Projeto e Simulação do Circuito

- a) Desenvolva o **projeto lógico** do circuito de Trena Digital com Saída Serial, conforme especificação apresentada na seção 1. Mostre as decisões de projeto e detalhe seu funcionamento.

DICA: Na documentação do projeto use os diagramas gerados pelas ferramentas *RTL Viewer* e *State Machine Viewer* do Intel Quartus Prime. No diagrama de transição de estados, anote as transições para indicar as condições e anote os estados para incluir os sinais de controle gerados. Para isto, edite a imagem obtida pelo *State Machine Viewer* com um editor como o Paint, por exemplo.

- b) Elabore um **Plano de Teste** para o projeto com detalhamento passo-a-passo dos procedimentos de verificação de operação do circuito (verificação lógica por simulação e verificação experimental na bancada do laboratório).
- c) Acrescente no Planejamento as formas de onda das **simulações** do sistema digital e de suas partes com o ModelSim. Escolha adequadamente sinais de depuração para as formas de onda para mostrar o funcionamento interno do circuito.

DICA: use os *testbenches* das experiências anteriores (Comunicação Serial Assíncrona e Interface com Sensor Ultrassônico de Distância) como referência para desenvolver o *testbench* deste projeto.

- d) Submeta o *testbench* desenvolvido pelo grupo (`exp4_trena_tb.vhd`) junto com o Planejamento.

- e) Elabore um **Plano de Execução Experimental** a ser usado na bancada do laboratório.

1. Este plano deve incluir um plano de montagem experimental e um plano de testes para verificação do funcionamento de etapas intermediárias da montagem (p.ex. teste da porta serial (cabo USB-serial, placa MAX3232), teste da ligação dos sinais do sensor HC-SR04 com o circuito integrado 74HC4050 e teste da interligação da placa FPGA com a porta serial).
2. Durante a execução da experiência, para os testes de funcionamento do circuito na bancada do Laboratório Digital, os sinais do projeto devem ser monitorados usando as ferramentas disponíveis. Detalhe como cada sinal deve ser monitorado pela ferramenta escolhida e quais os resultados esperados.

2.2. Atividade 2 – Preparação do Projeto para Síntese na Placa FPGA

- f) O circuito projetado deve ser implementado na placa DE0-CV e seguir a seguinte designação mínima de sinais abaixo.

sinal	pino da DE0-CV	pino da FPGA	Analog Discovery
clock	<i>clock</i> CLK_50	M9	-
reset	chave SW0		-
mensurar	botão KEY0		-
medida	<i>displays</i> HEX0 a HEX2		-
saida_serial	pino GPIO_0_D1		-
trigger	pino GPIO_1_D1		-
echo	pino GPIO_1_D3		-
pronto	<i>led</i> LEDR0		-
db_mensurar	<i>led</i> LEDR1		-
db_saida_serial	pino GPIO_0_D35		Protocol – DIO7
db_trigger	pino GPIO_1_D33		Scope – CH1+
db_echo	pino GPIO_1_D35		Scope – CH2+
db_estado	<i>display</i> HEX5		-

Defina um conjunto de sinais de depuração que podem ser mostrados em *leds* e *displays* disponíveis. O Planejamento deve conter uma tabela com a designação destes sinais adicionais. Observe que alguns sinais de depuração já foram definidos na tabela acima e devem ser observados.

DICA: na placa FPGA DE0-CV, os botões KEY0 a KEY3 são ativos em nível baixo. Leve isto em consideração para ajustar o tratamento do sinal de entrada *mensurar* no código Verilog.

Submeta o arquivo PDF do Planejamento (PCS3645-TxByy-Planejamento4.pdf), o arquivo QAR (exp4_txbyy.qar) e o arquivo de *testbench* (exp4_trena_tb.vhd) do projeto.

DICA 1: prepare também um Plano de Execução Experimental com o roteiro de atividades a serem desenvolvidas na bancada do Laboratório Digital durante a montagem e testes do circuito da experiência.

DICA 2: selecione as ferramentas disponíveis na bancada para os procedimentos de teste e depuração da montagem e operação da Trena Digital. Documente no Plano de Execução do Planejamento.

2.3. Atividade 3 – Síntese e Teste do Projeto na Placa FPGA

- g) Programe o projeto sintetizado na placa DE0-CV no Laboratório Digital e inicie a montagem experimental, usando o Plano de Execução Experimental elaborado pelo grupo. Descreva os resultados observados e ocorrências experimentais no Relatório. No computador, um *sketch* do Processing deverá ser executado para apresentar a saída gráfica da Trena Digital.
- h) Ao final da montagem completa, execute os testes planejados no Plano de Teste e verifique o funcionamento da trena digital com saída serial. Descreva quaisquer ocorrências experimentais no Relatório. Registre no relatório as atividades realizadas na bancada.
- i) Submeta o arquivo PDF (PCS3645-TxByy-Relato4.pdf), o arquivo QAR do projeto testado no Laboratório Digital (exp4_final_txbyy.qar), junto com o arquivo Verilog do *testbench* final do circuito.

2.4. Desafio

- j) Após a demonstração do circuito da Trena Digital com Saída Serial, uma **modificação** será apresentada pelo professor. Estude a especificação e documente o projeto realizado.
- k) Implemente as modificações em Verilog e execute uma demonstração de seu funcionamento na bancada do Laboratório Digital.
- l) Documente os resultados experimentais obtidos.

3. BIBLIOGRAFIA

- ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais em Verilog no Quartus Prime 20.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2024.
- ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais hierárquicos em VHDL no Quartus Prime 16.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.
- ALTERA / Intel. **DE0-CV User Manual**. 2015.
- ALTERA / Intel. **Quartus Prime Introduction Using Verilog Designs**. 2016.
- ALTERA / Intel. **Quartus Prime Introduction to Simulation of Verilog Designs**. 2016.
- Cytron Technologies. **HC-SR04 Product user's manual**. May 2013.
- MIDORIKAWA, E.T. **Metodologia de Projeto com Dispositivos Programáveis**. Apostila de Laboratório Digital. PCS-EPUSP, 2016.
- Ricardo Menotti, Ricardo dos Santos Ferreira. **Introdução à Lógica Digital com Verilog: uma abordagem prática**. Kindle. 2023
- WAKERLY, John F. **Digital Design Principles & Practices**. 5th edition, Prentice Hall, 2018.

4. MATERIAL DISPONÍVEL

- 1 placa para conversão de tensão com circuitos integrados MAX3232 e 74HC4050.
- 1 sensor ultrassônico HC-SR04.
- 1 *protoboard* ou outra plataforma de montagem.
- 1 objeto para medida de distância.
- 1 régua ou outra ferramenta de medida.

5. EQUIPAMENTOS NECESSÁRIOS

- 1 computador com interface serial (ou 1 cabo USB serial) e software de comunicação.
- 1 computador com software Intel Quartus Prime e ModelSim.
- 1 dispositivo Analog Discovery da Digilent.
- 1 placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.

Histórico de Revisões

E.T.M./2014 – versão inicial
 E.T.M./2015 – revisão
 E.T.M./2016 – revisão e adaptação
 E.T.M./2022 – revisão das atividades e adaptação
 E.T.M./2023 – revisão
 E.T.M./2024 – revisão e adaptação para Verilog
 E.T.M./2025 – revisão