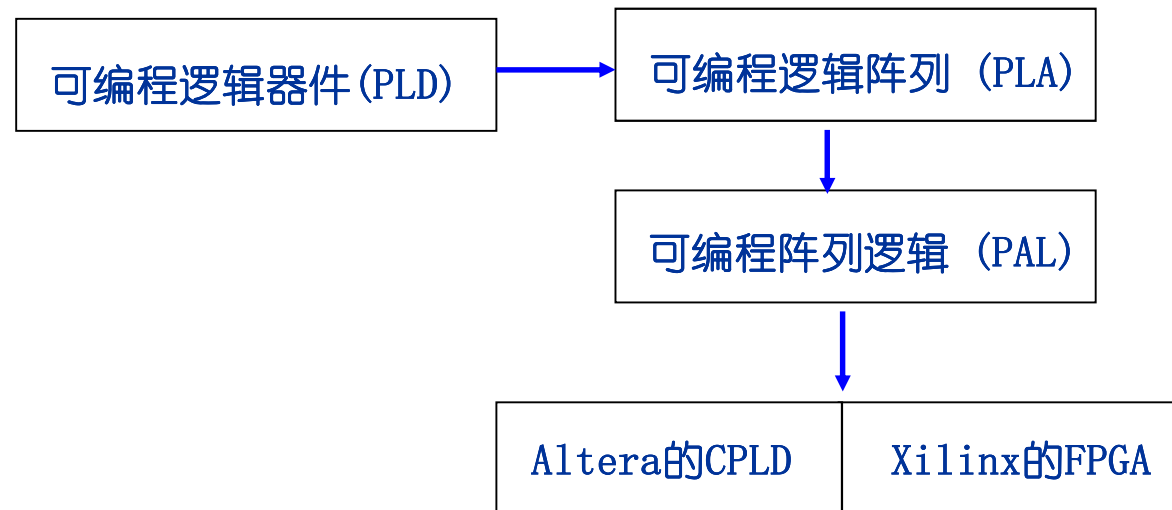


第八章 可编程逻辑器件

现场可编程门阵列 (FPGA)

- ◆ **FPGA**的基本结构
- ◆ **FPGA**的IOB和CLB
- ◆ **FPGA**的互联资源

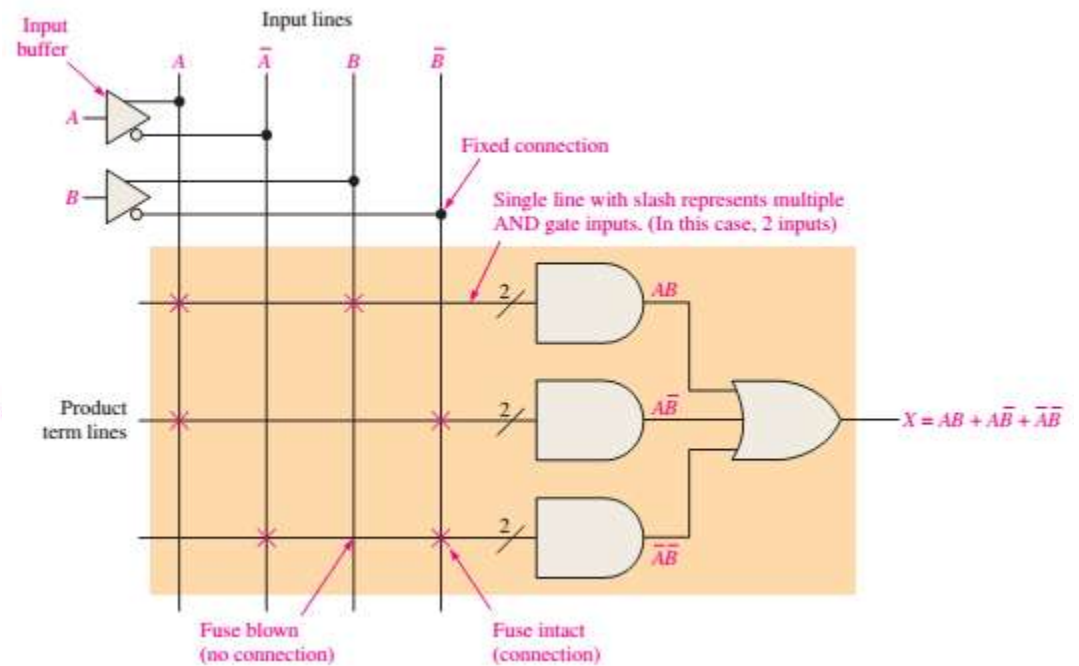
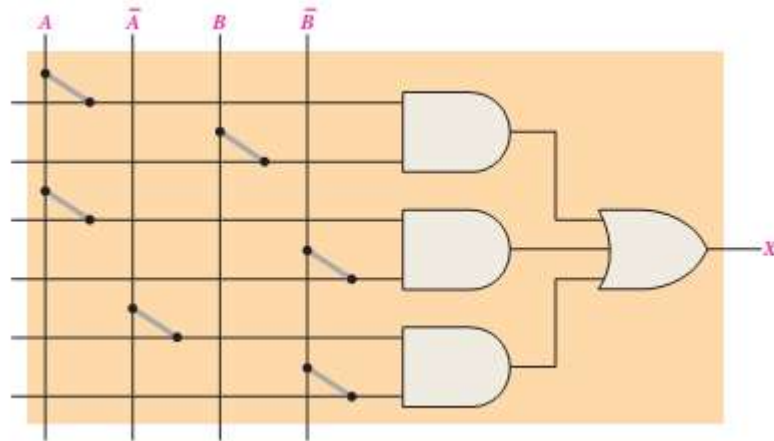
FPGA的发展历程



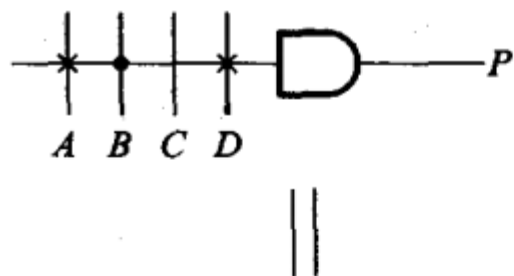
第八章 可编程逻辑器件

一、FPGA的电路结构

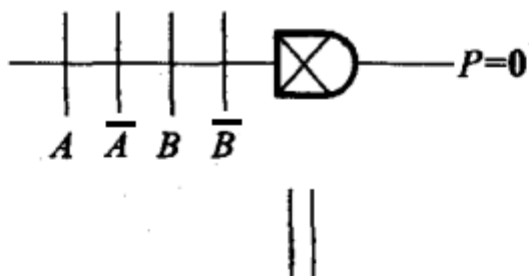
1、门电路的惯用画法



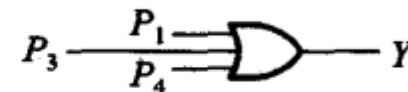
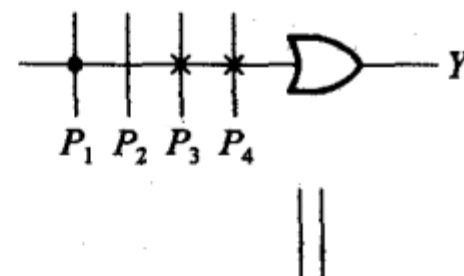
第八章 可编程逻辑器件



与门



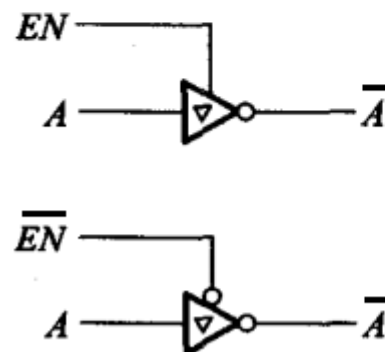
输出恒为0的与门



或门



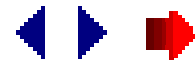
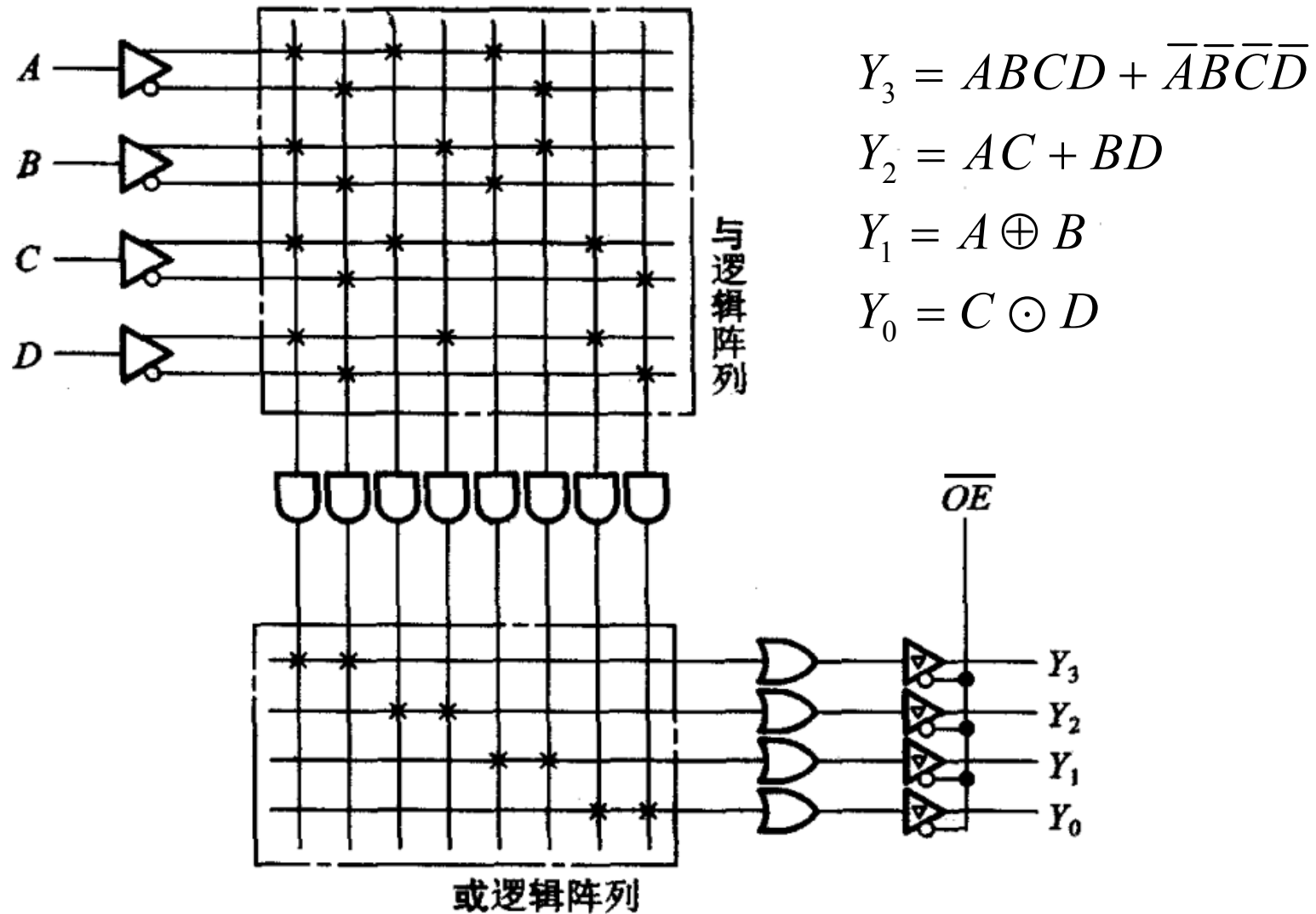
互补输出的缓冲器



三态缓冲器



第八章 可编程逻辑器件

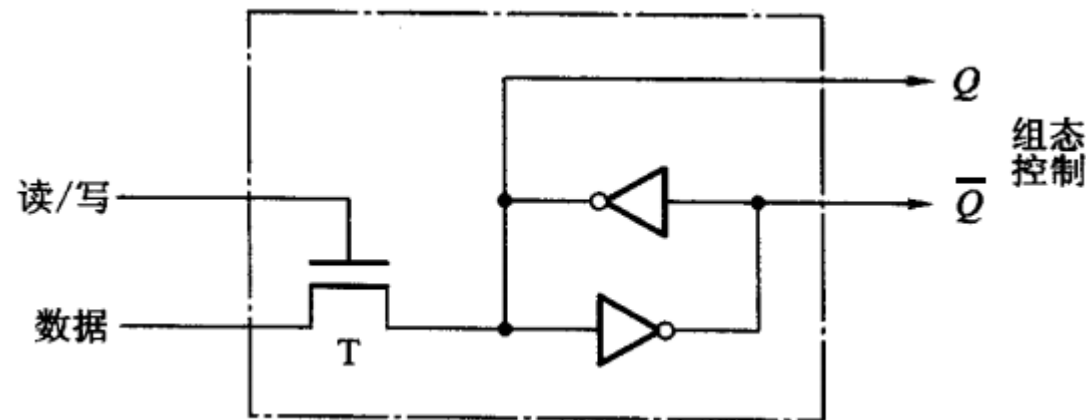


第八章 可编程逻辑器件

2、FPGA的基本结构

FPGA由三个可编程单元和一个静态存储器构成。

◆ FPGA内静态存储器的存储单元

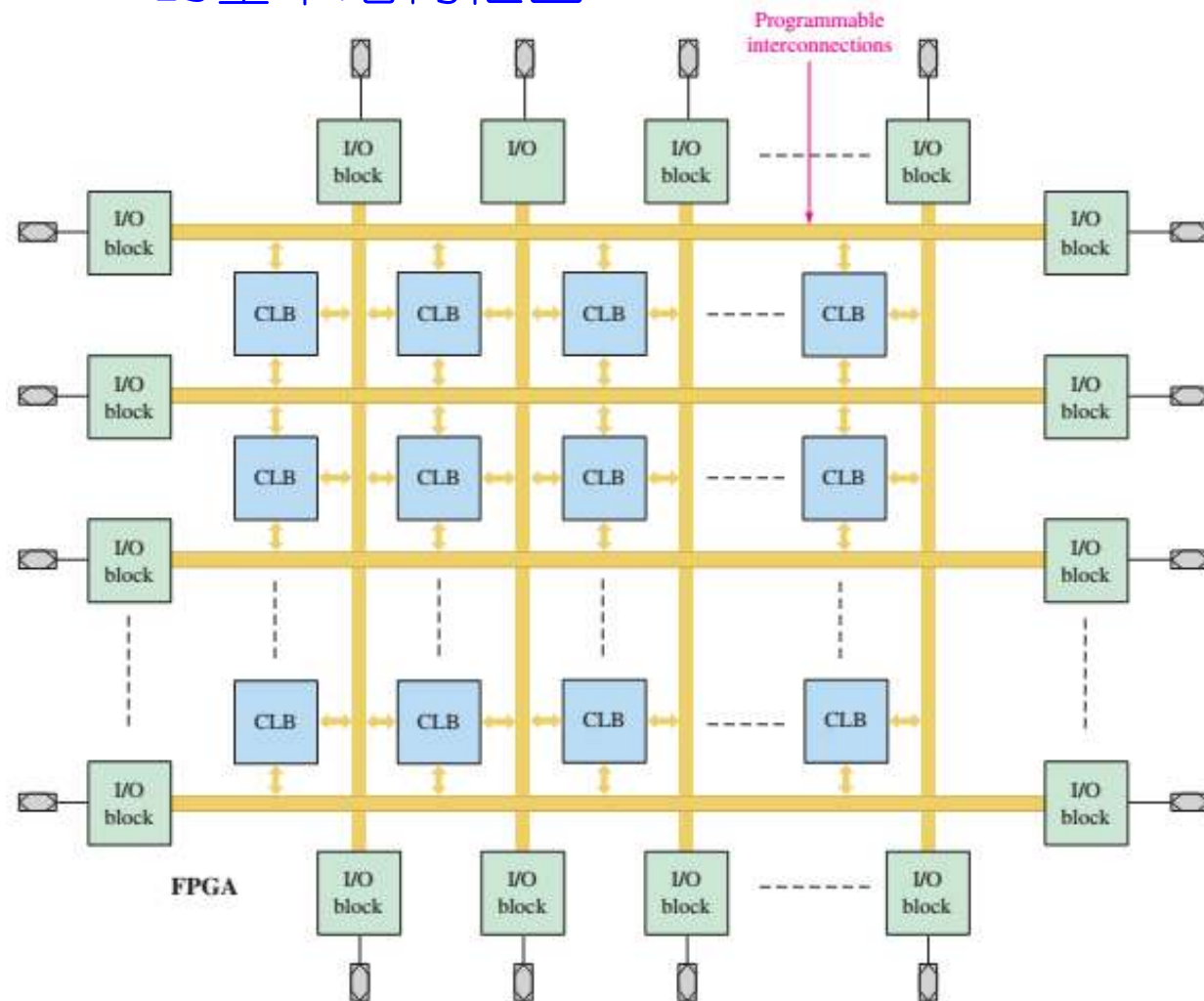


◆ 三个可编程单元：输入/输出模块（Input/Output Block, IOB），可编程逻辑模块（Configurable Logic Block, CLB），可编程互联（Programmable Interconnect, PI）



第八章 可编程逻辑器件

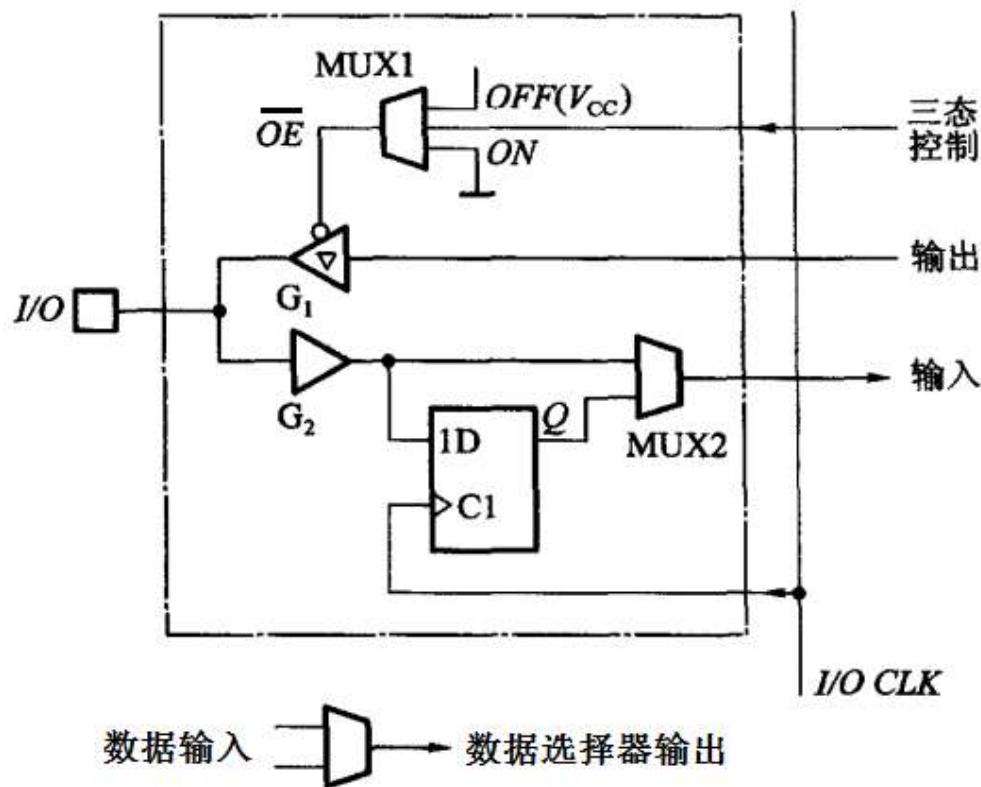
FPGA的基本结构框图



第八章 可编程逻辑器件

3、FPGA的IOB和CLB

◆ IOB电路



XC2064的IOB电路

G_1 : 三态缓冲器

G_2 : 输入缓冲器

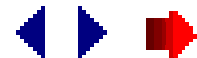
MUX1, MUX2: 程序控制 (地址) 的数据选择器

D触发器

输入状态: $\overline{OE} = 1$

输出状态: $\overline{OE} = 0$

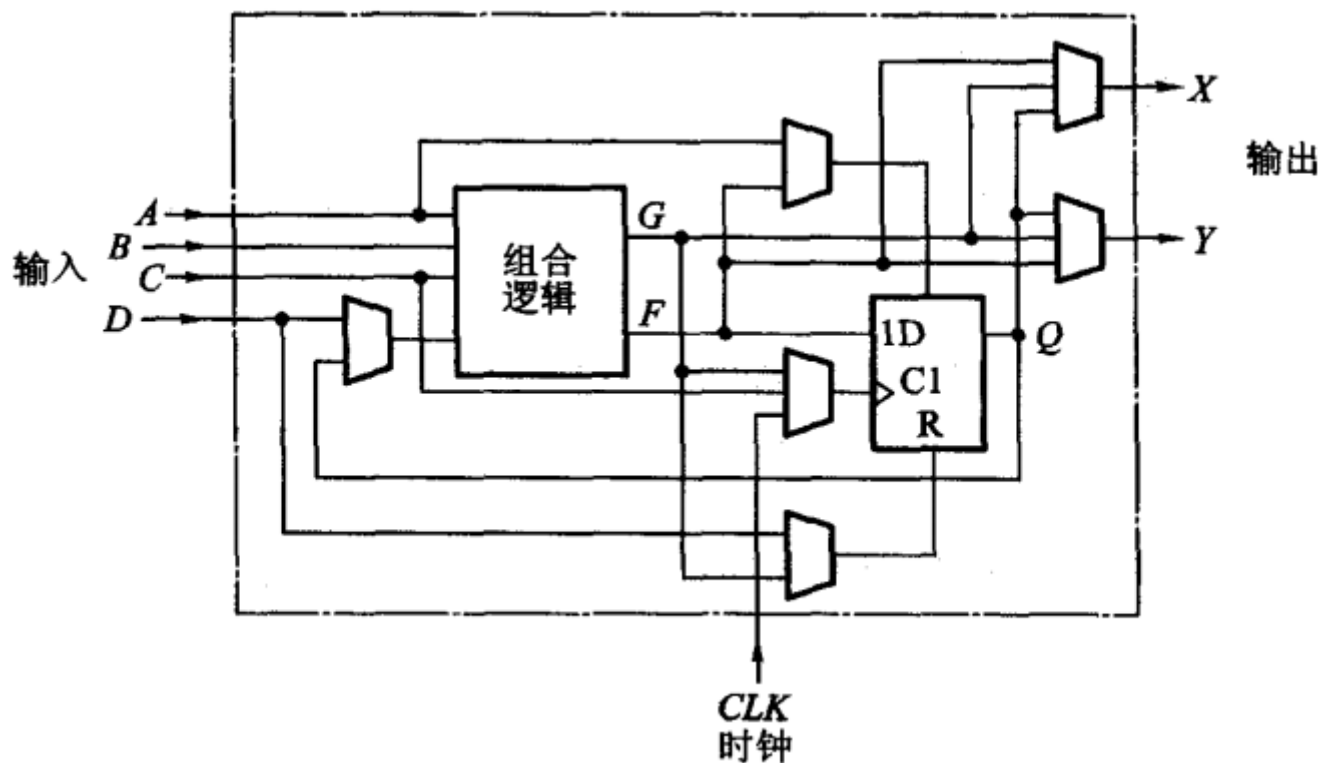
MUX2: 选 G_2 输出为异步输入方式; 选D触发器输出为同步输入方式。



第八章 可编程逻辑器件

◆ CLB电路

由组合逻辑电路、存储电路和内部控制电路组成



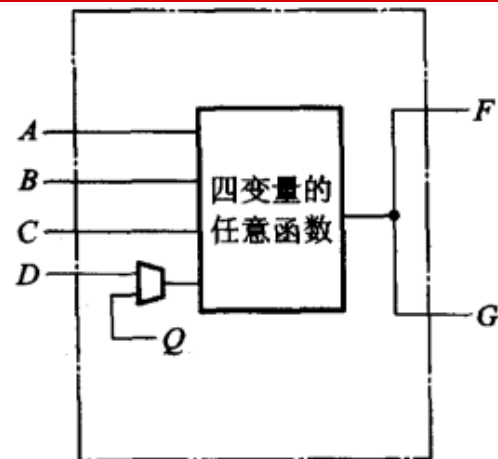
XC2064的CLB电路



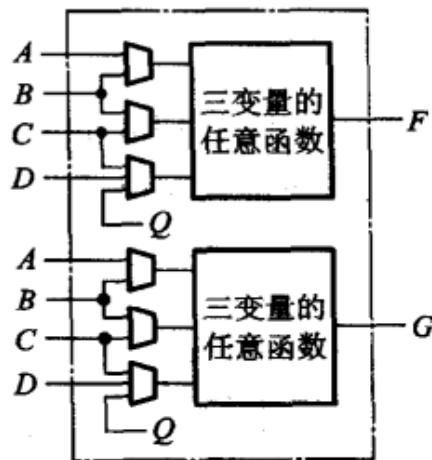
第八章 可编程逻辑器件

组合逻辑电路：

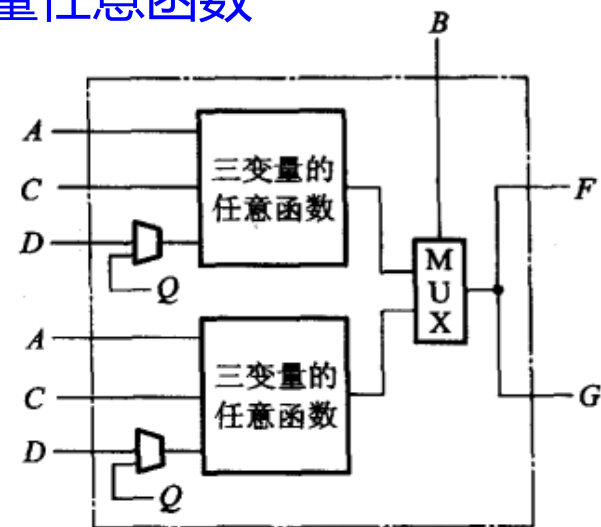
XC2064中CLB的3种组态



四变量任意函数



两个三变量任意函数

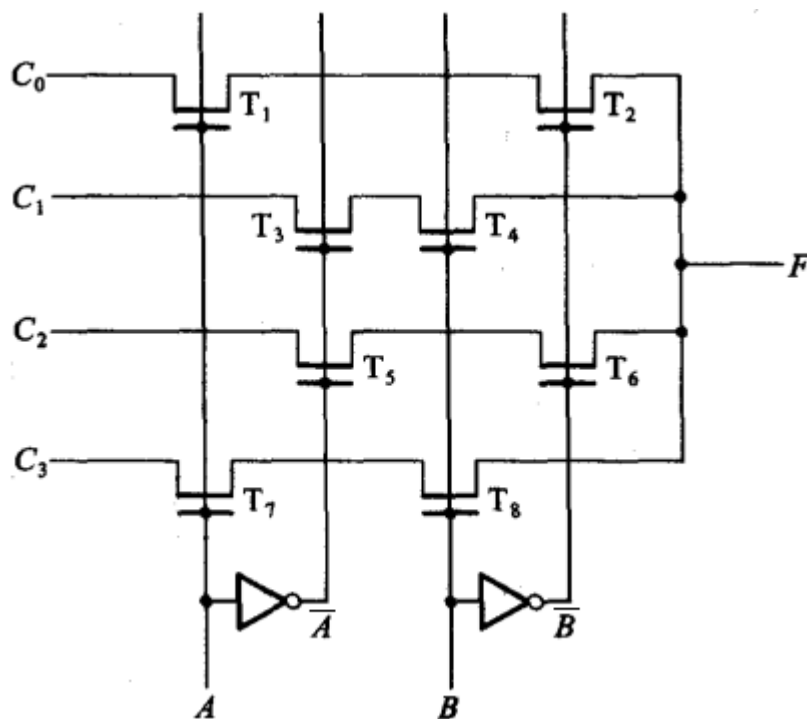


五变量任意函数

第八章 可编程逻辑器件

任意函数实现方式:

- a. 基于乘积项
- b. 基于查找表(Look Up Table, LUT)

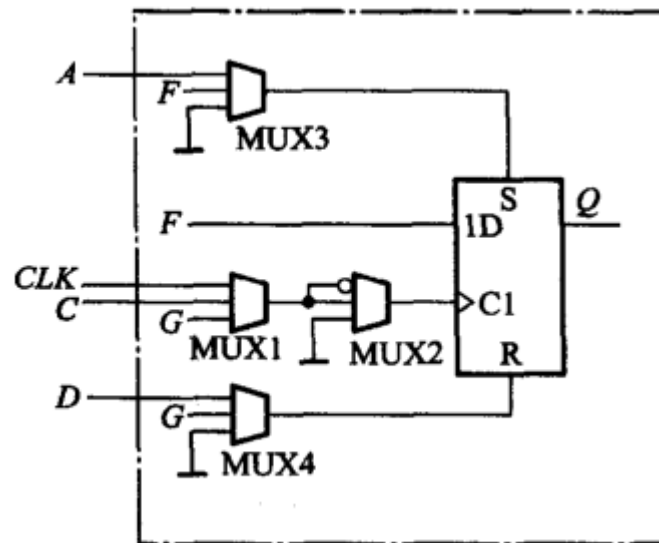


二变量通用逻辑模块原理图

C_0	C_1	C_2	C_3	F
0	0	0	0	0
0	0	0	1	AB
0	0	1	0	$\overline{A}\overline{B}$
0	0	1	1	$A \odot B$
0	1	0	0	$\overline{A}B$
0	1	0	1	B
0	1	1	0	\overline{A}
0	1	1	1	$\overline{A} + B$
1	0	0	0	$A\overline{B}$
1	0	0	1	A
1	0	1	0	\overline{B}
1	0	1	1	$A + \overline{B}$
1	1	0	0	$A \oplus B$
1	1	0	1	$A + B$
1	1	1	0	$\overline{A} + \overline{B}$
1	1	1	1	1

第八章 可编程逻辑器件

存储电路：



XC2064中CLB的存储电路

MUX1：选公共时钟 CLK
工作在同步方式；选 G 或 C
工作在异步方式。

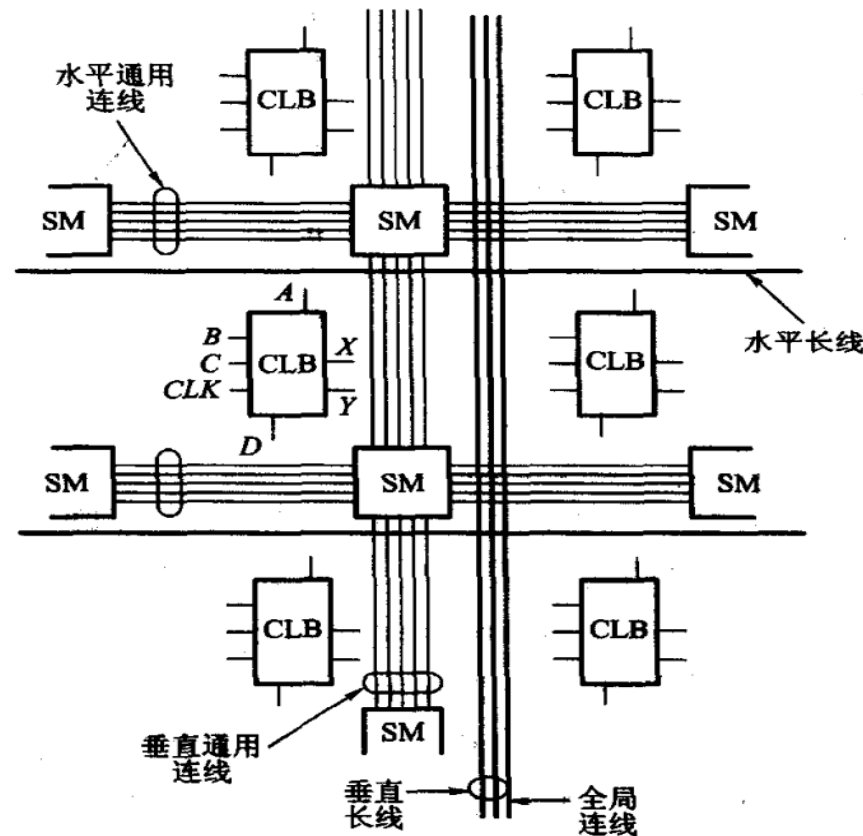
MUX2：选择用时钟上沿
或下沿触发。



第八章 可编程逻辑器件

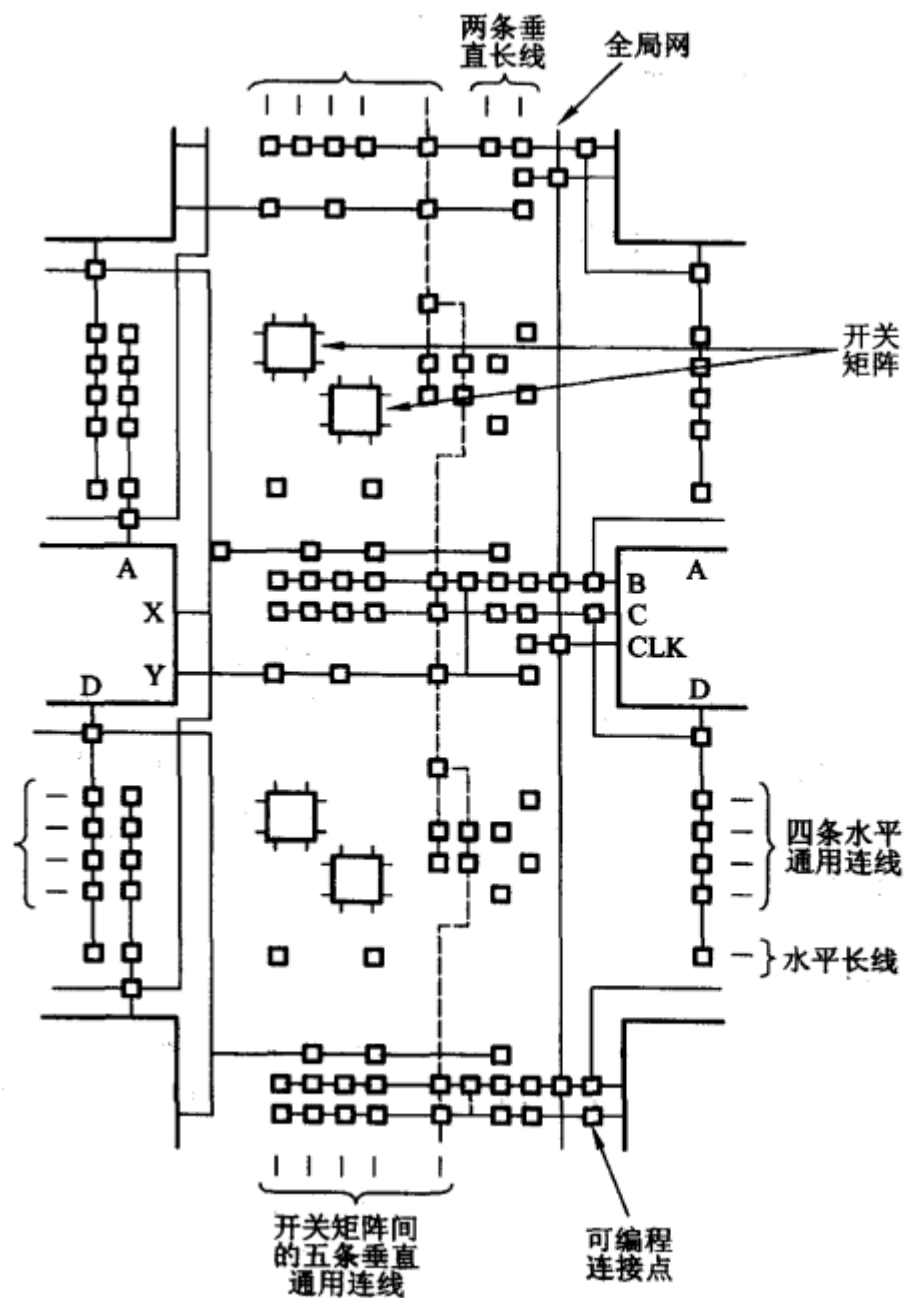
4、FPGA的可编程互联

分三类互联资源：金属线、开关矩阵（Switching Matrix, SM）和可编程连接点（Programmable Interconnect Points, PIP）

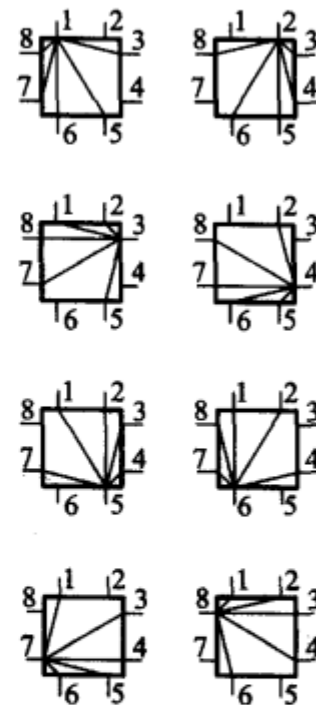


FPGA内部的互联资源

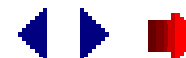




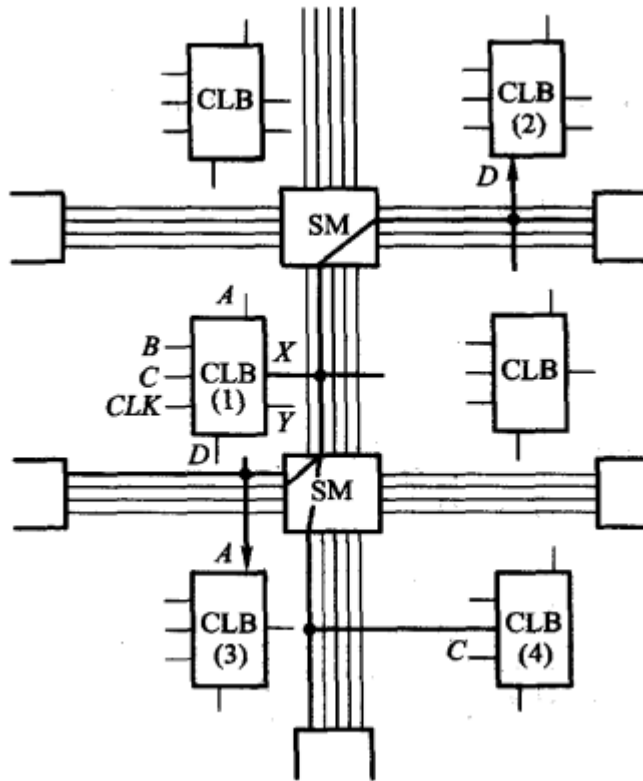
可编程开关矩阵的
八种可能连接方式



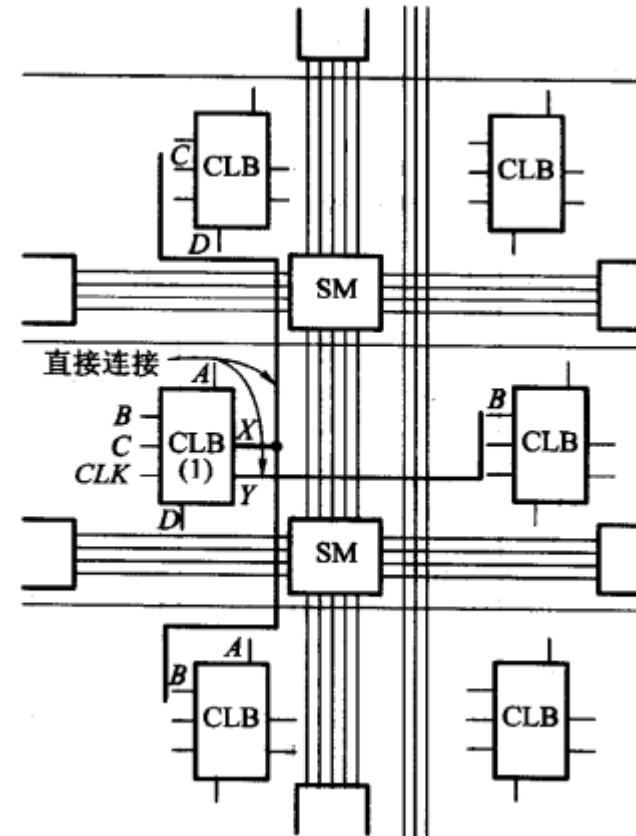
开关矩阵和可编程连接点



第八章 可编程逻辑器件



利用水平和垂直通用连线和开关矩阵实现连接



用直接连线实现连接

