

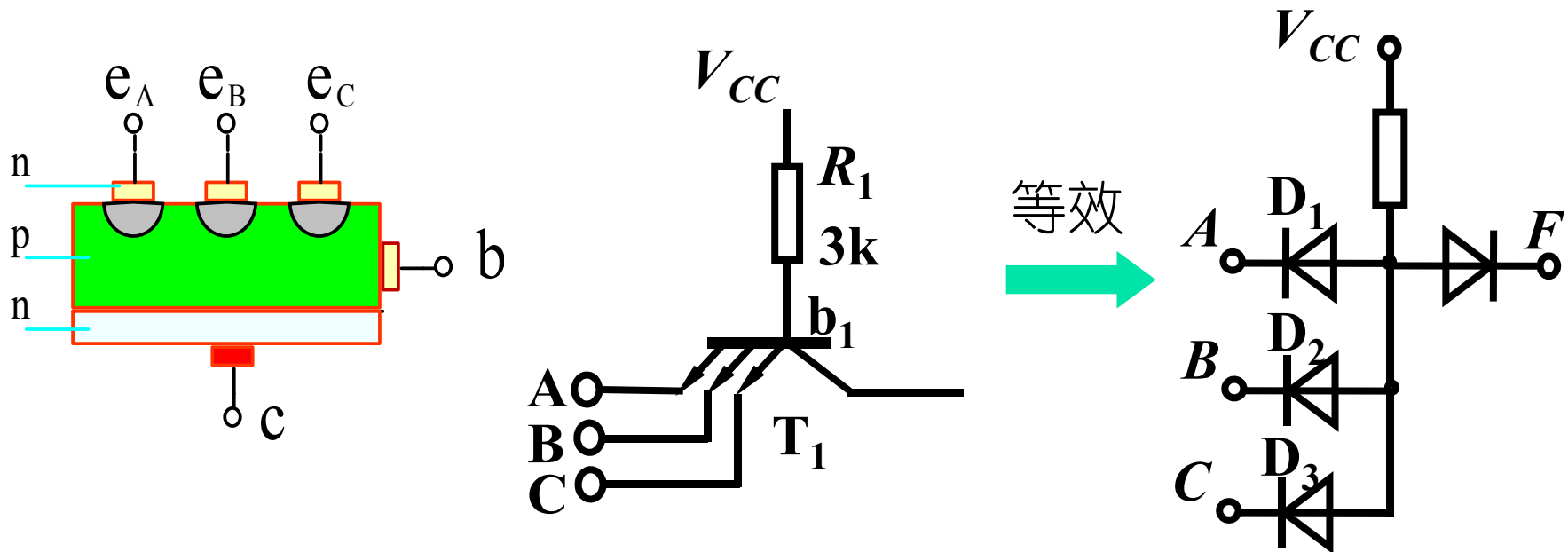
# 第二章 逻辑门电路



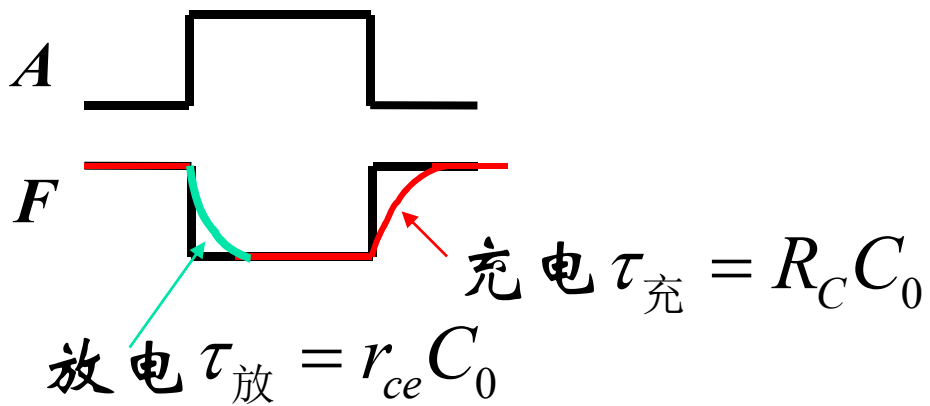
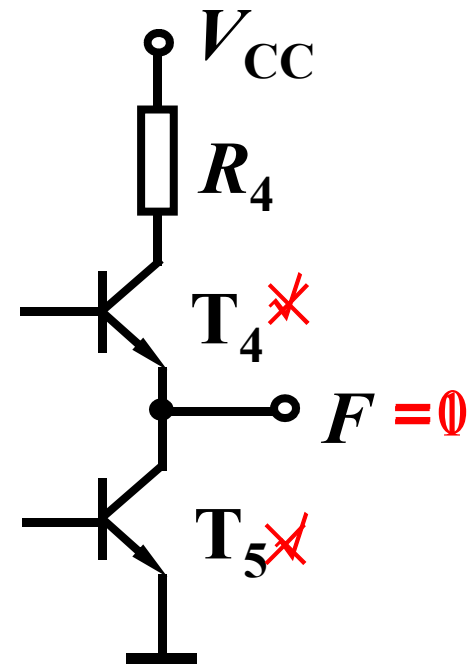
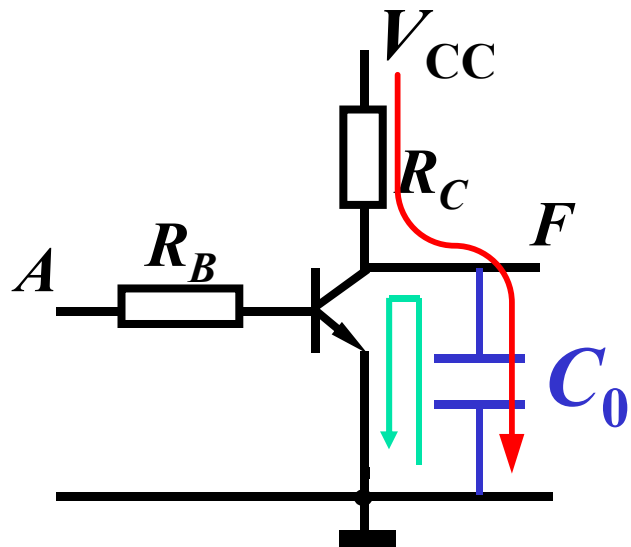
## 第一节 晶体管—晶体管逻辑门电路 (TTL)

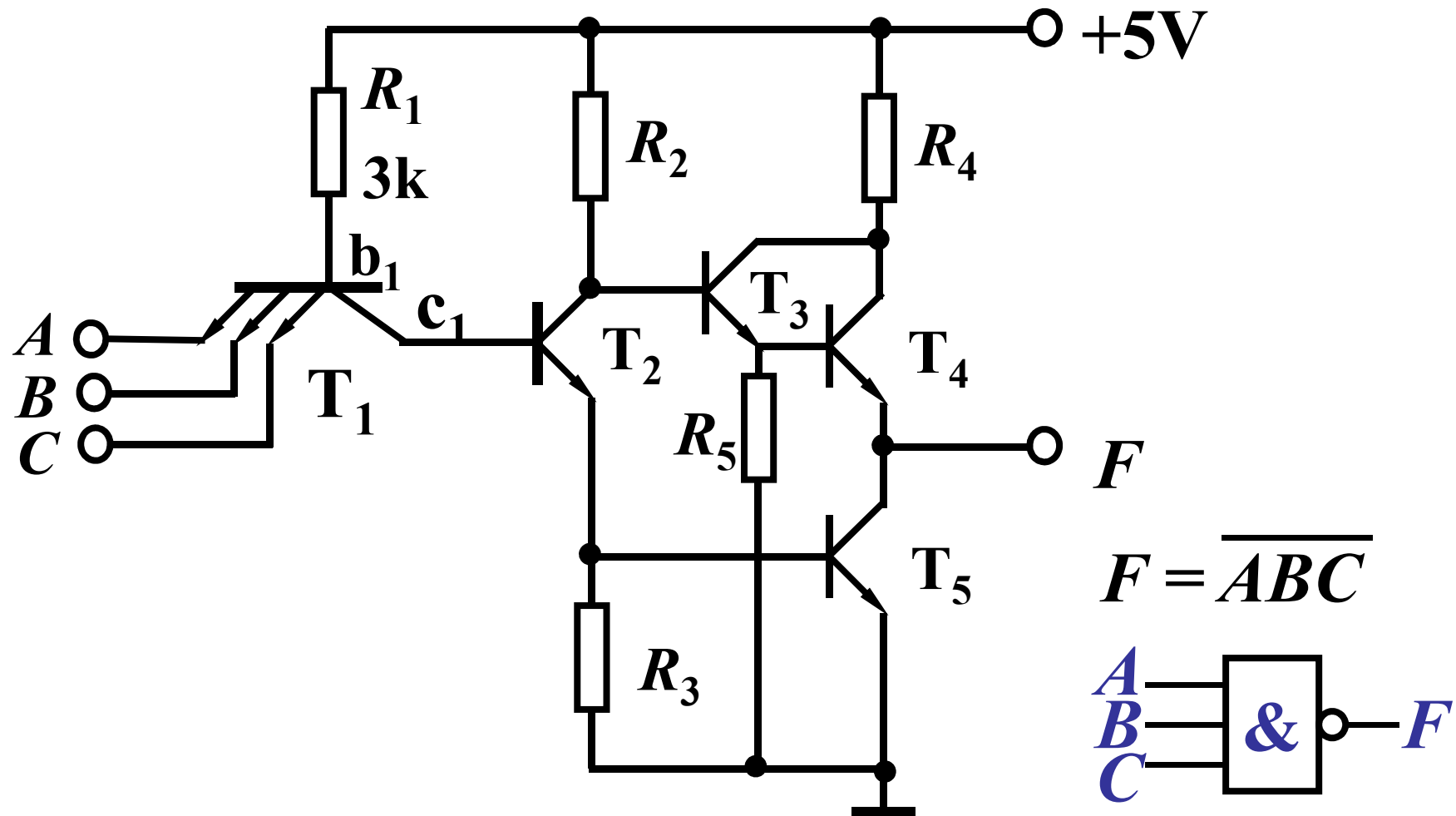
### 一、电路结构

#### 1、输入与门——多射极晶体管



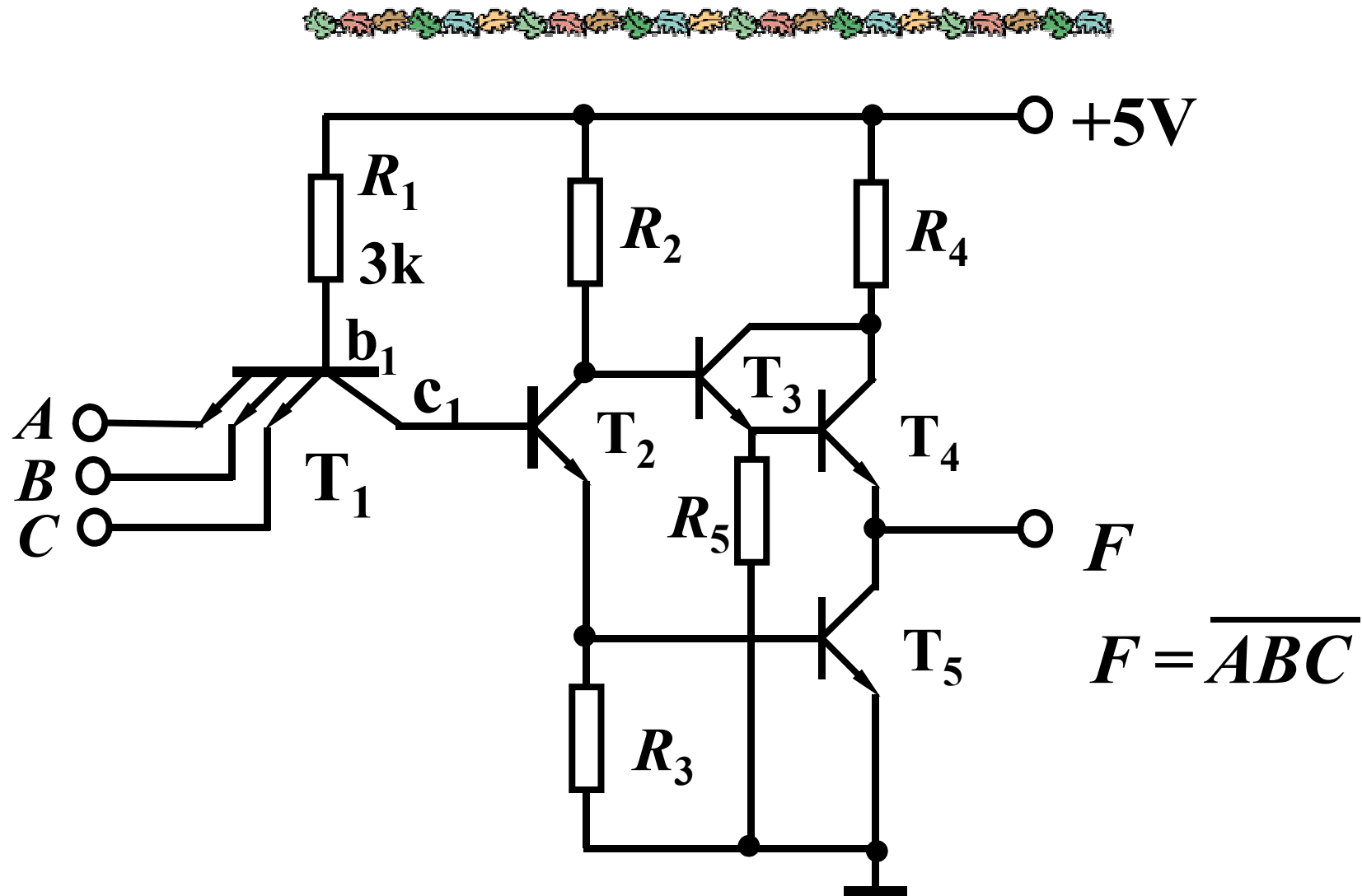
## 2、输出非门——推拉式输出





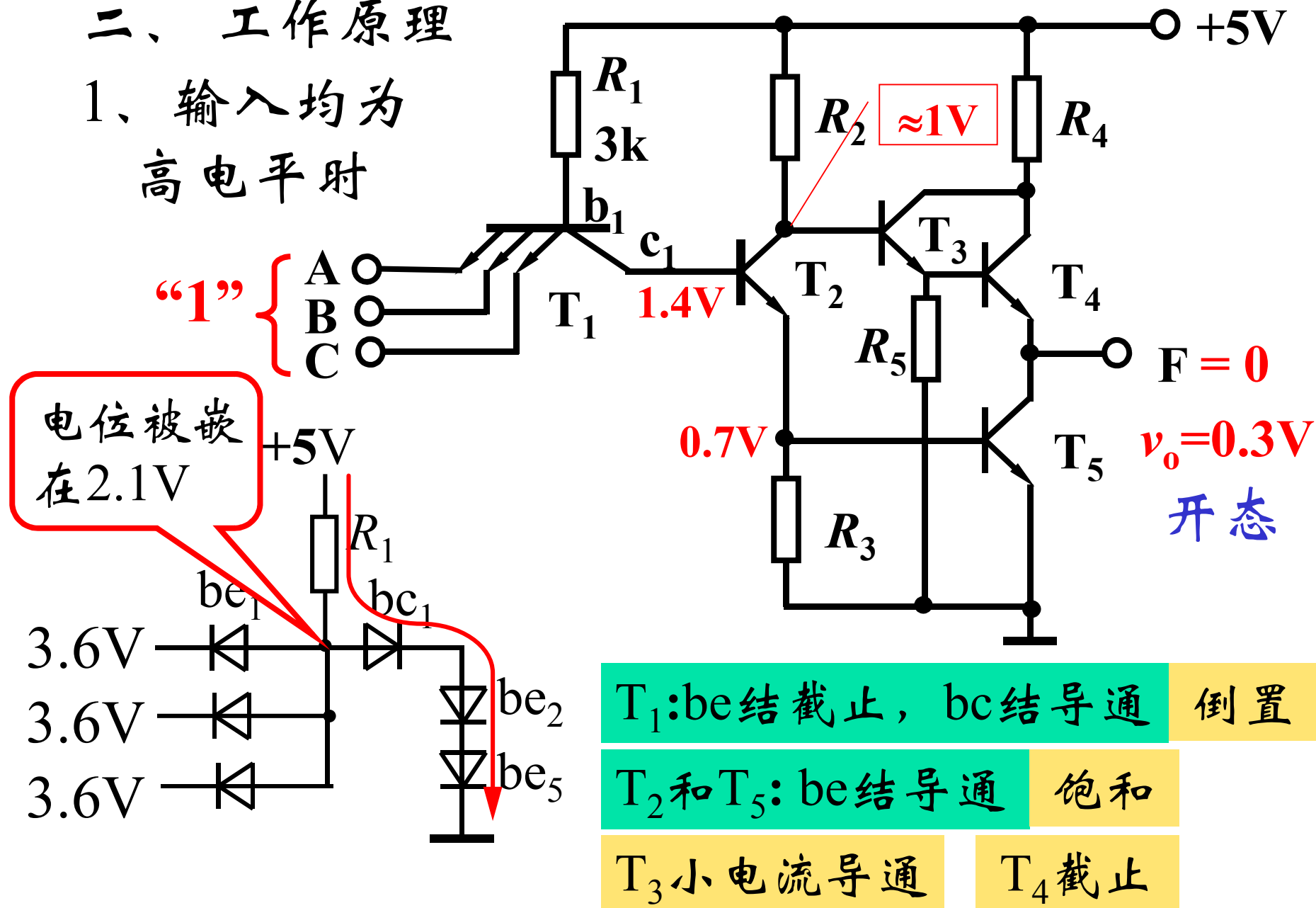
$T_2$ :提供 $T_4$ 、 $T_5$ 一对极性相反的驱动信号

$T_3$ :电平配置(BE结)

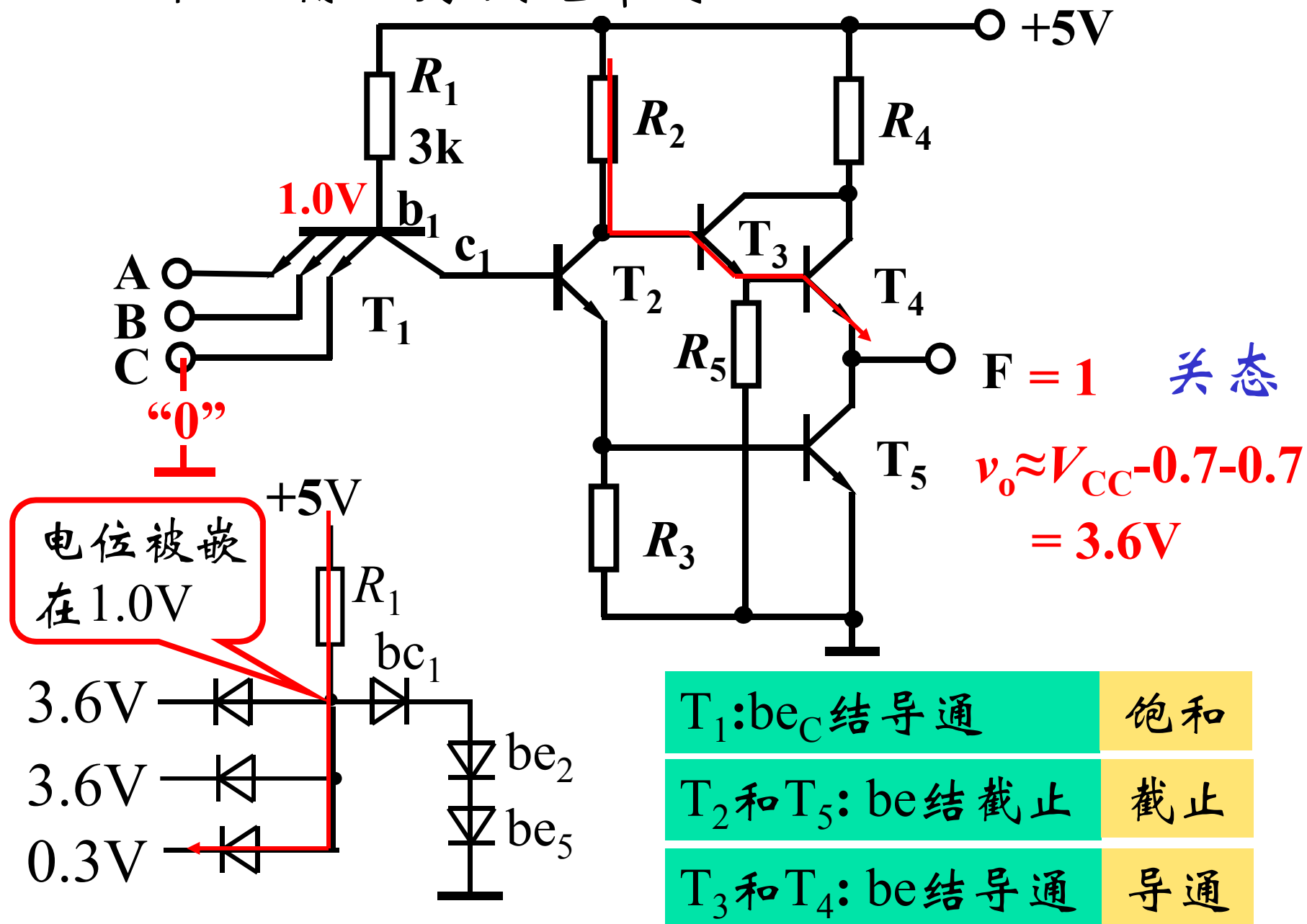


## 二、工作原理

### 1、输入均为高电平时

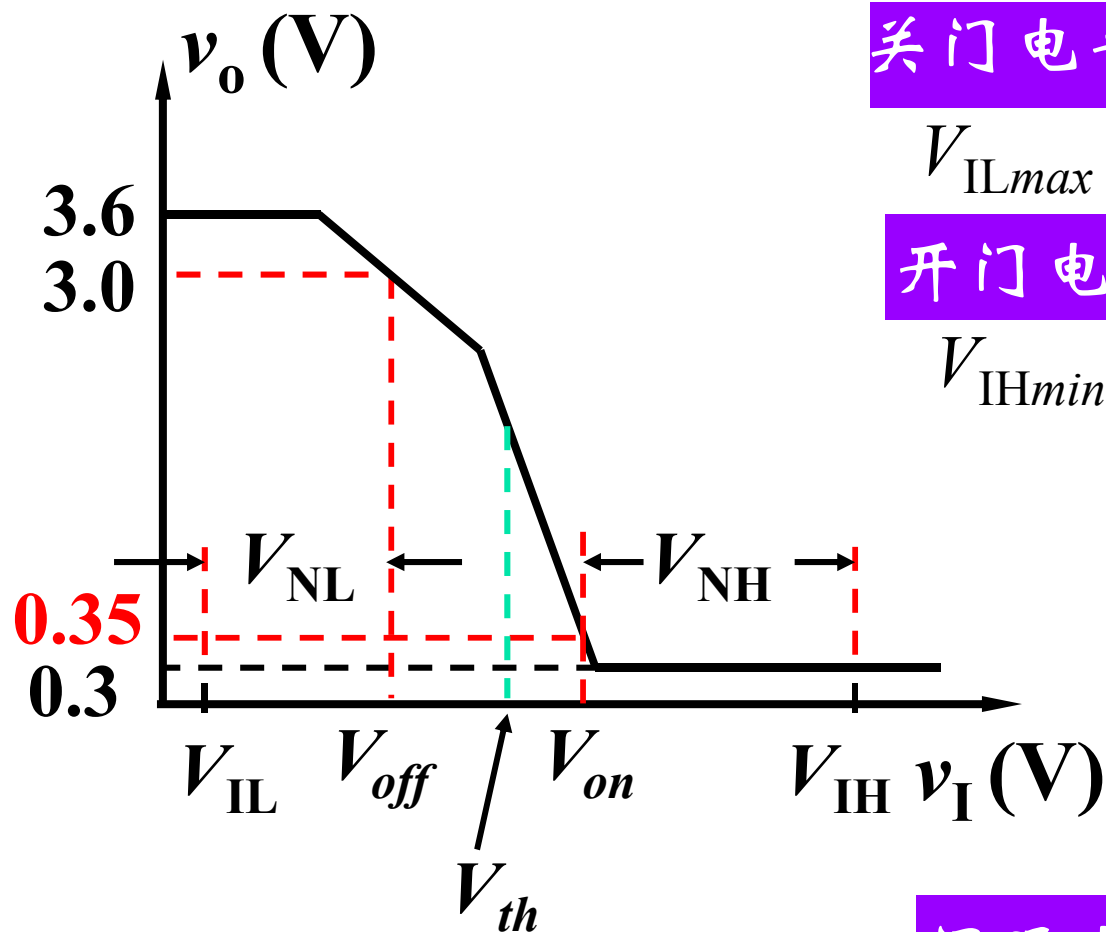


## 2、任一输入为低电平时



### 三、TTL与非门的主要外特性

#### 1、电压传输特性 $v_o = f(v_I)$



关门电平  $V_{off}$  : 在  $V_{OH} = 3.0V$  时,  
 $V_{ILmax}$  , 定义  $V_{off} = 0.8V$

开门电平  $V_{on}$  :  $V_{OL} = 0.35V$  时,  
 $V_{IHmin}$  , 定义  $V_{on} = 1.8V$

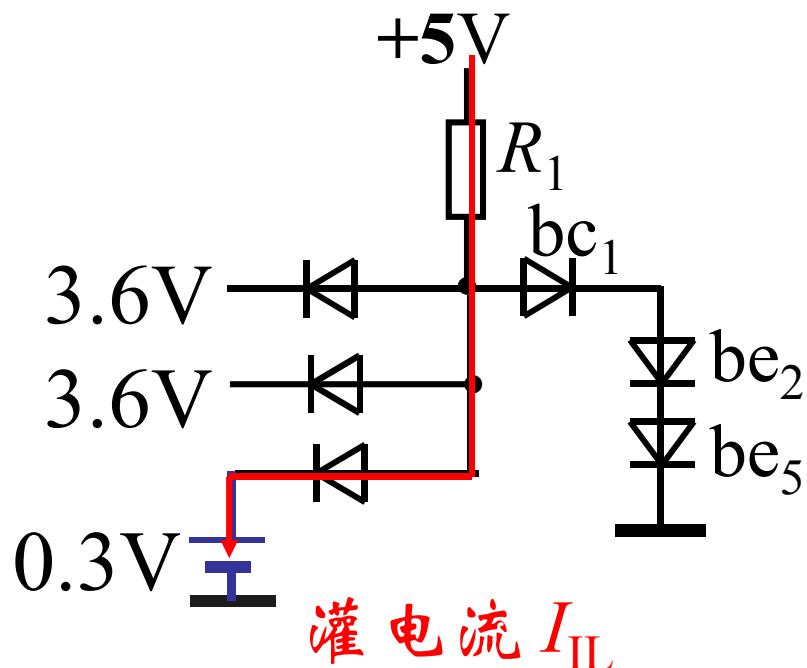
低电平干扰容限  $V_{NL}$  :  
 $V_{NL} = V_{off} - V_{IL}$

高电平干扰容限  $V_{NH}$  :  
 $V_{NH} = V_{IH} - V_{on}$

门限电平  $V_{th}$  :  $V_{th} = 1.4V$

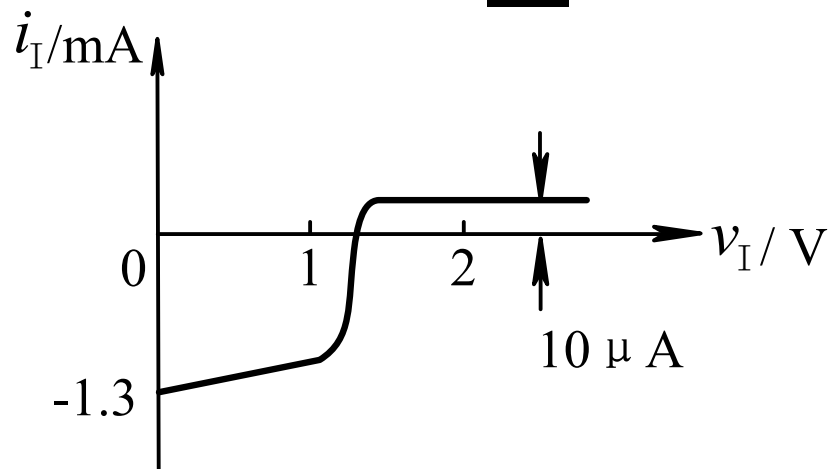
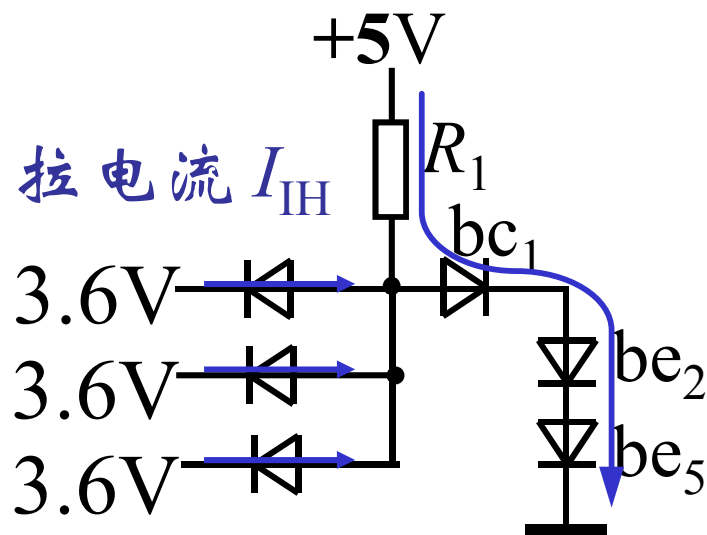
## 2、输入特性 $i_I = f(v_I)$

当输入  $ABC = 110$  时



$$I_{IL} = \frac{V_{CC} - V_{b1}}{R_1} = \frac{5 - 1}{4} \approx 1.0 \text{ mA}$$

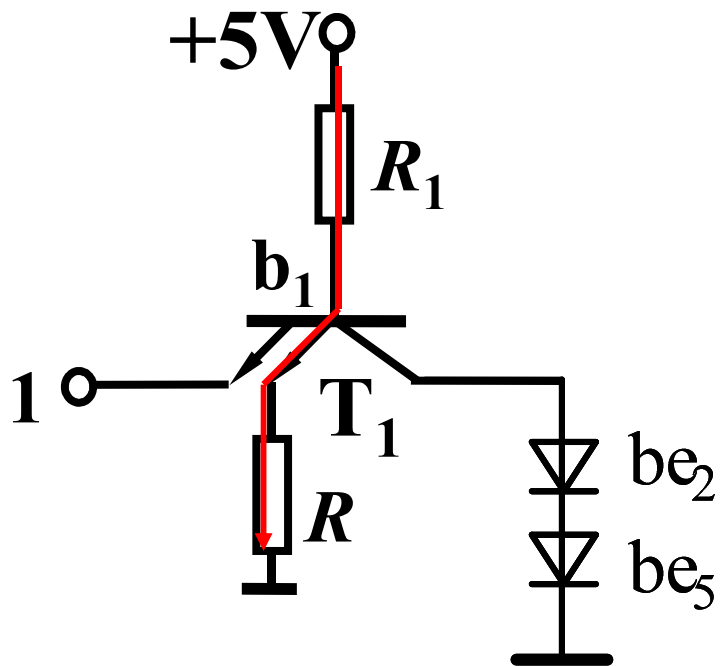
当输入  $ABC = 111$  时



★ 灌电流与门的个数有关，拉电流与输入端的个数有关



### 3、输入负载特性 $v_I = f(R_I)$



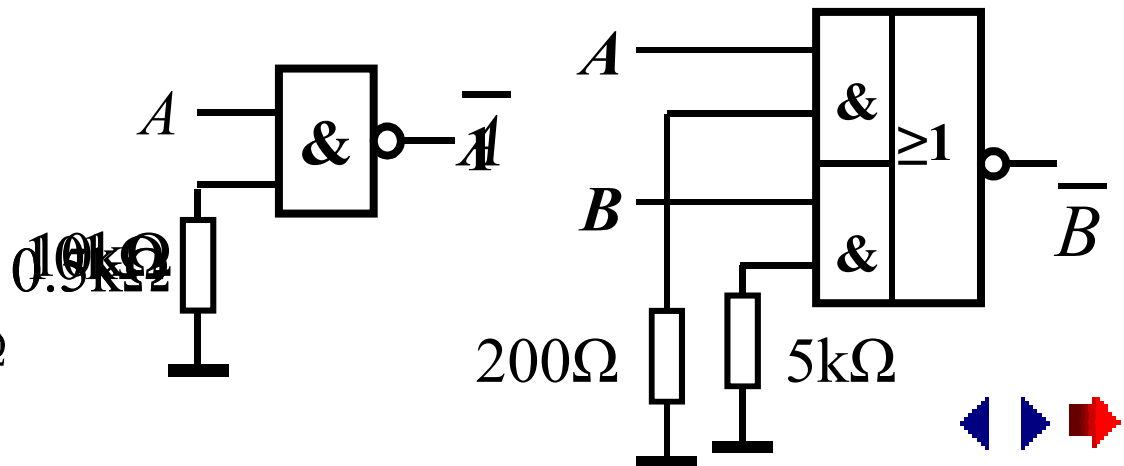
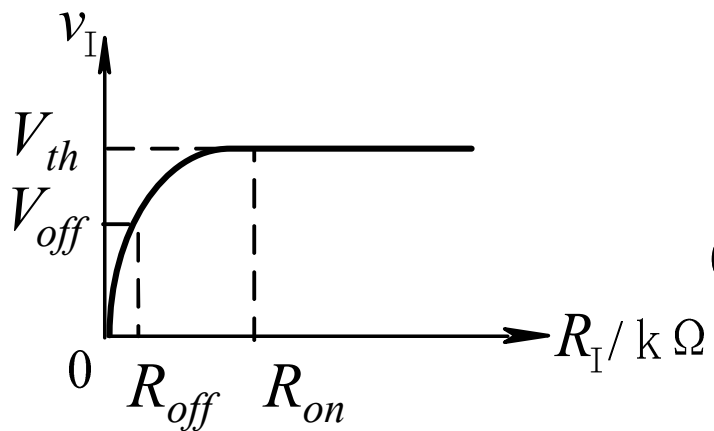
$$V_R = \frac{V_{CC} - V_{BE1}}{R_1 + R} R$$

- 当  $V_R \leq V_{off}$   $\rightarrow$  关门电阻  $R_{off}$

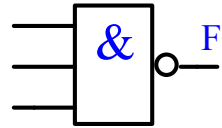
$$R_{off} \leq 0.9 \text{ k}\Omega$$

- 当  $V_R \geq V_{th}$   $\rightarrow$  开门电阻  $R_{on}$

$$R_{on} \geq 2.5\text{k}\Omega$$

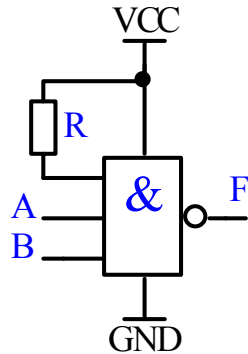


# ☆多余输入端的处理



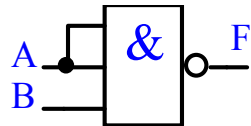
全悬空相当于输入接高电平“1”。

$$F = \overline{1 \cdot 1 \cdot 1} = 0$$



防干扰，将空脚通过电阻接电源

$$F = \overline{A \cdot B \cdot 1} = \overline{AB}$$



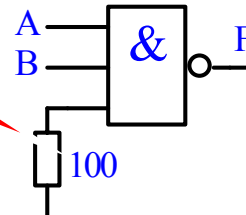
将空脚和其它输入脚接在一起

$$F = \overline{AB}$$



# ☆根据已知电路写出逻辑表达式。

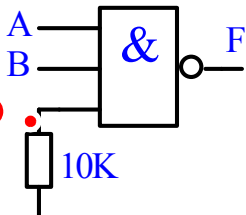
与非门输入端有一个“0”，与非门封锁。



$$R_I \leq R_{off}$$

$$F = \overline{A \cdot B \cdot 0} = 1$$

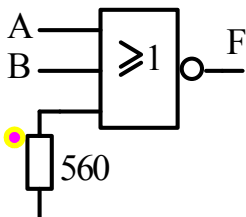
与非门输入端有一个“1”，与非门开放



$$R_I \geq R_{on}$$

$$F = \overline{A \cdot B \cdot 1} = \overline{AB}$$

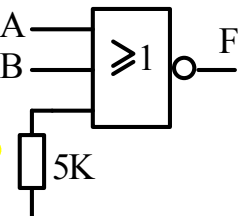
或非门输入端有一个“0”，或非门开放。



$$R_I \leq R_{off}$$

$$F = \overline{A + B + 0}$$

或非门输入端有一个“1”，或非门封锁。



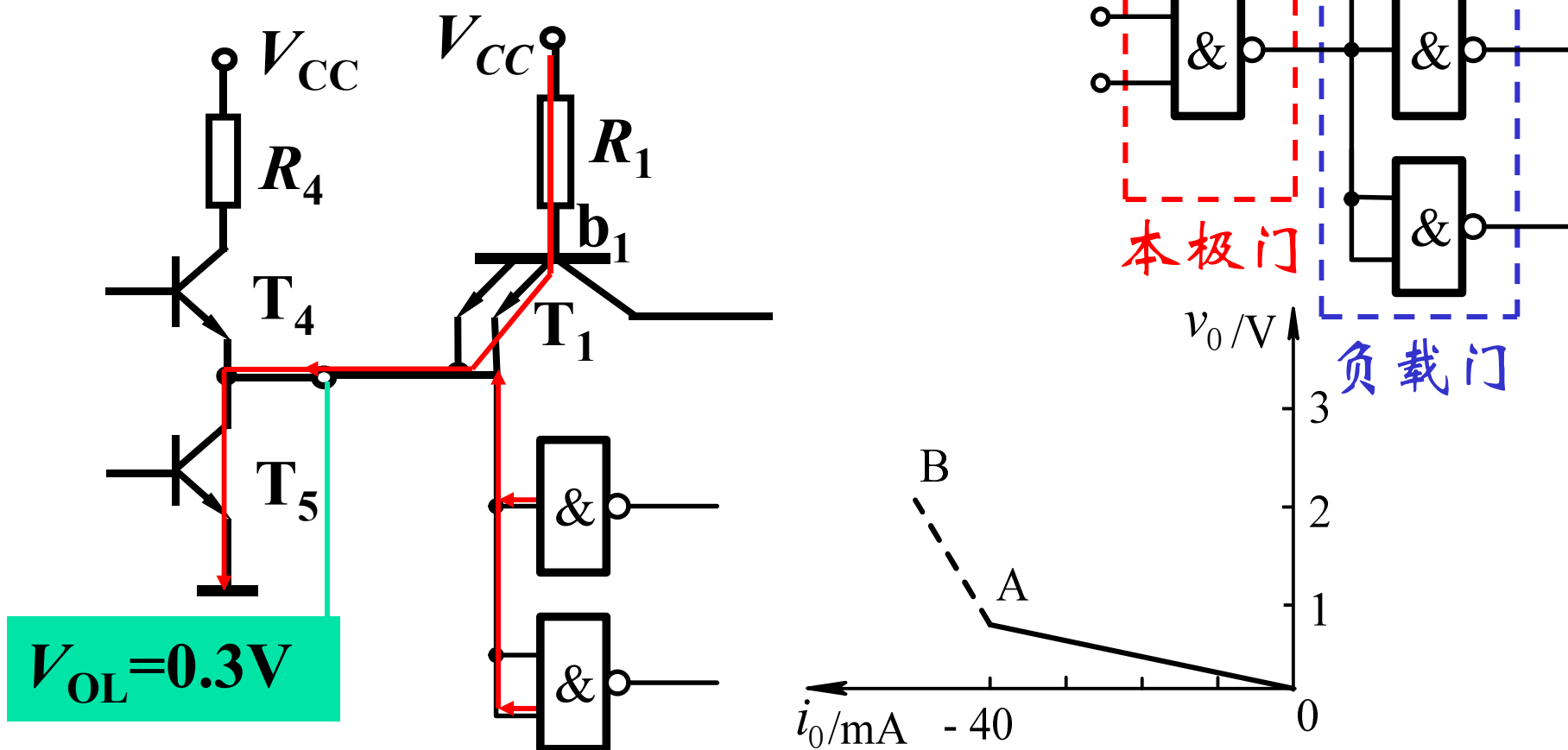
$$R_I \geq R_{on}$$

$$F = \overline{A + B + 1} = 0$$



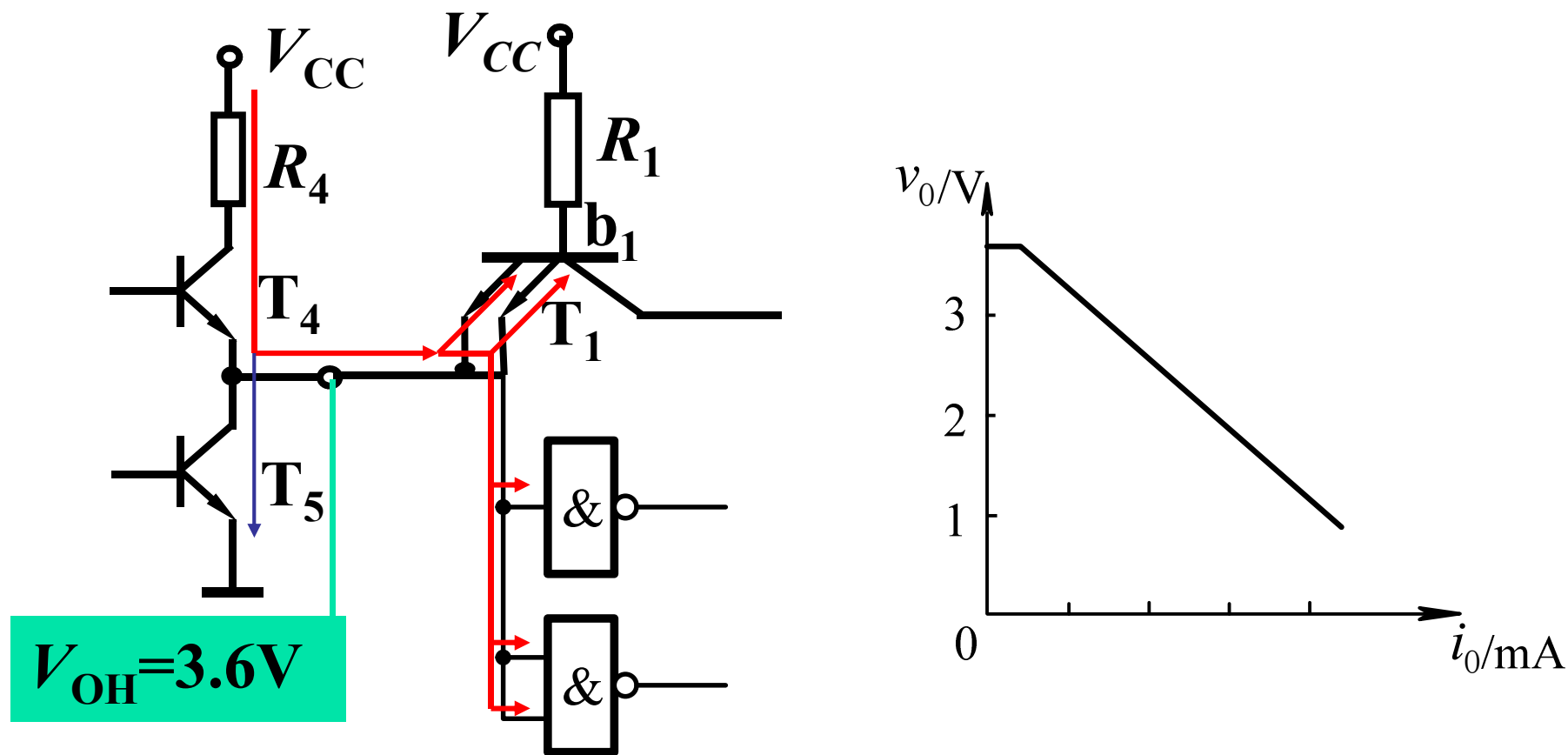
#### 4、输出特性 $v_o = f(I_o)$

- 当本极门输出低电平0.3V时



最大允许灌电流  $I_{LM} (=40mA)$       扇出数

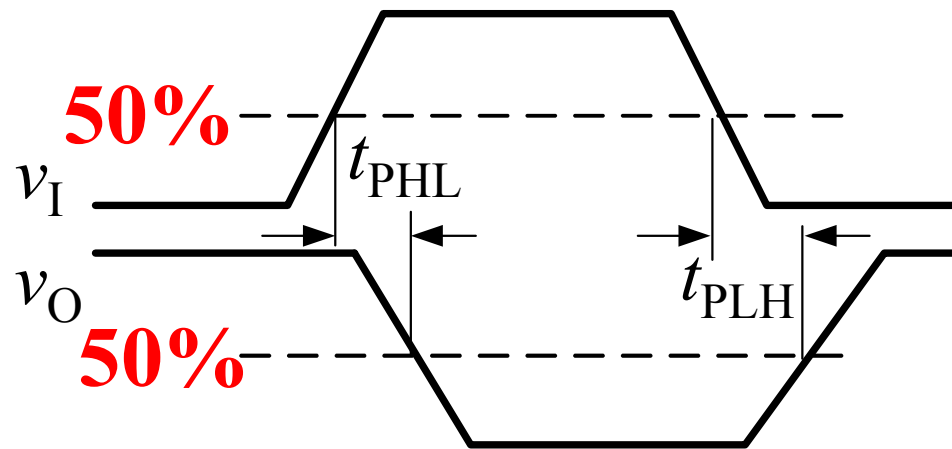
- 当本极门输出高电平3.6V时



最大允许拉电流  $I_{HM} (\approx 400\mu A)$

扇入数

## 5、平均传输延迟时间

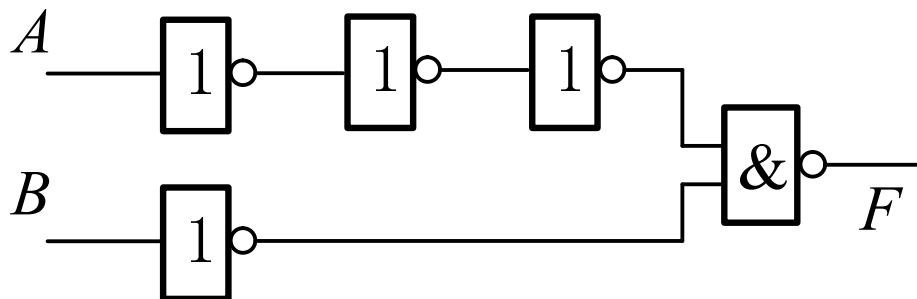


$t_{PHL}$  : 导通延迟时间

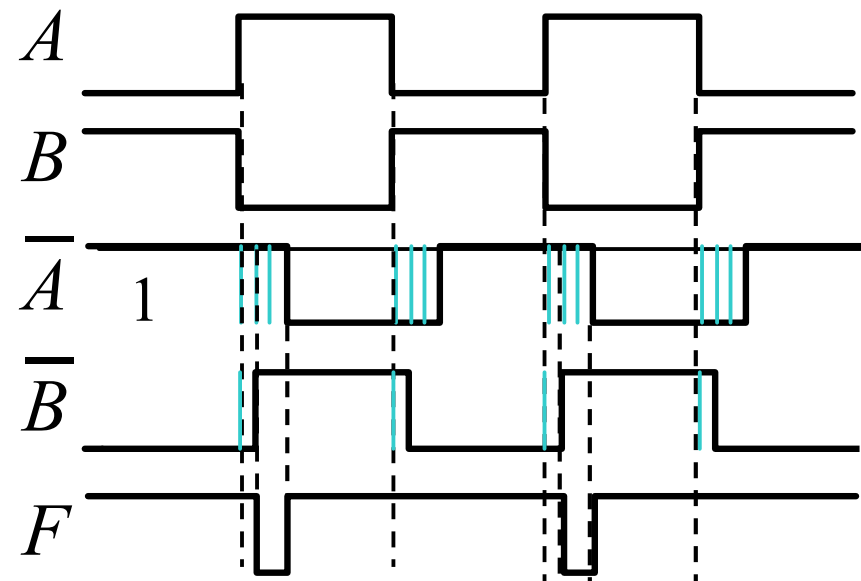
$t_{PLH}$  : 截止延迟时间

$t_{pd}$  : 平均延迟时间

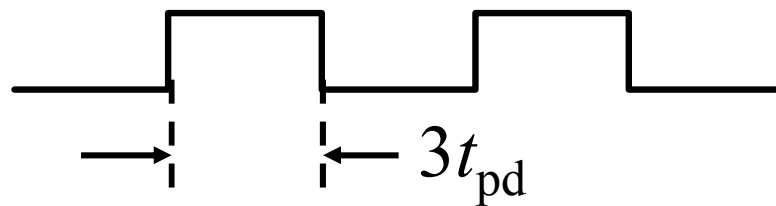
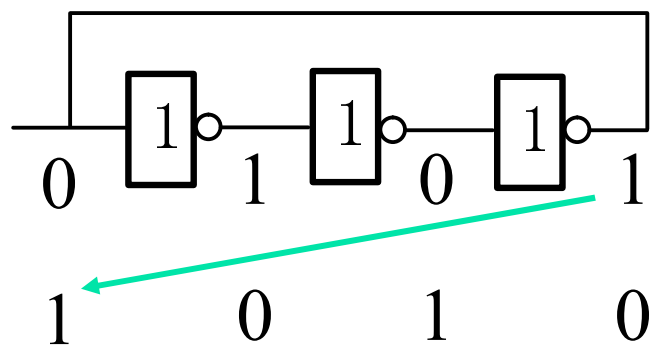
$$t_{pd} = (t_{PHL} + t_{PLH}) / 2 \leq 40ns$$



$$F = \overline{\overline{A}\overline{B}} = A + B = 1$$



# 时差——竞争——险象

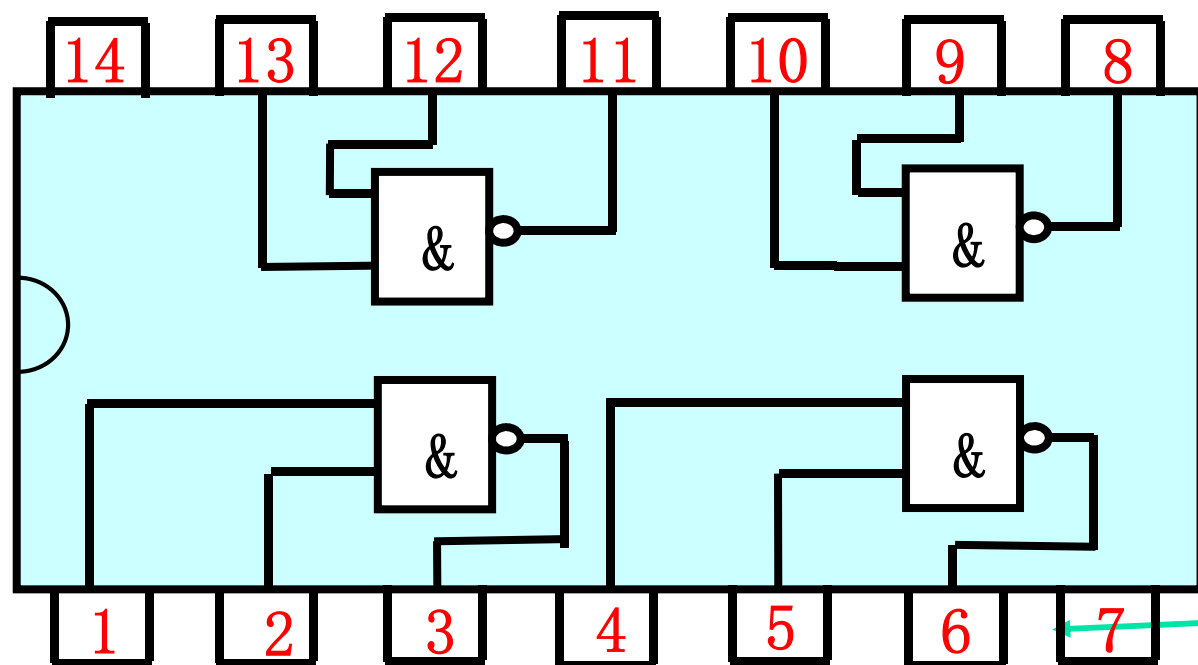


$$f = \frac{1}{T} = \frac{1}{2 \times 3t_{pd}} = 4.1\text{MHz}$$

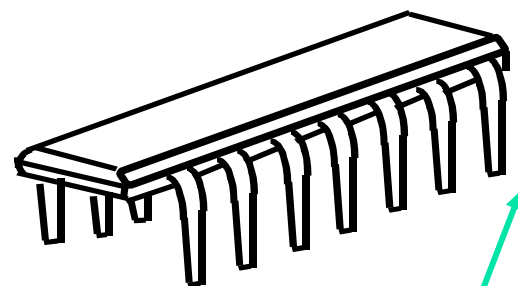
# TTL门电路芯片简介

如：TTL门电路芯片（**四2输入与非门**，型号74LS00）

电源 $V_{CC}$  (+5V)



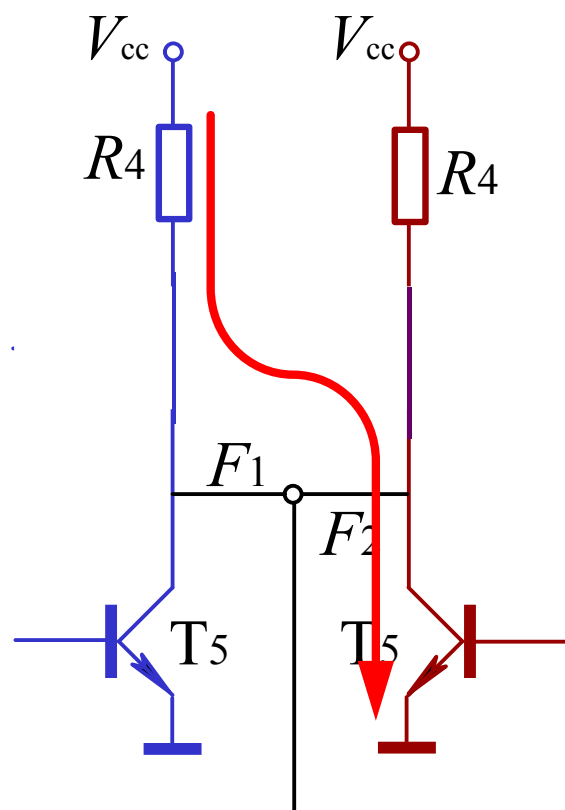
外形



管脚

地GND





## 线与逻辑

当 $F_1 = 1$ ,  $F_2 = 0$ 时,

或 $F_1 = 0$ ,  $F_2 = 1$ 时, 损坏晶体管

★ TTL与非门不能线与工作

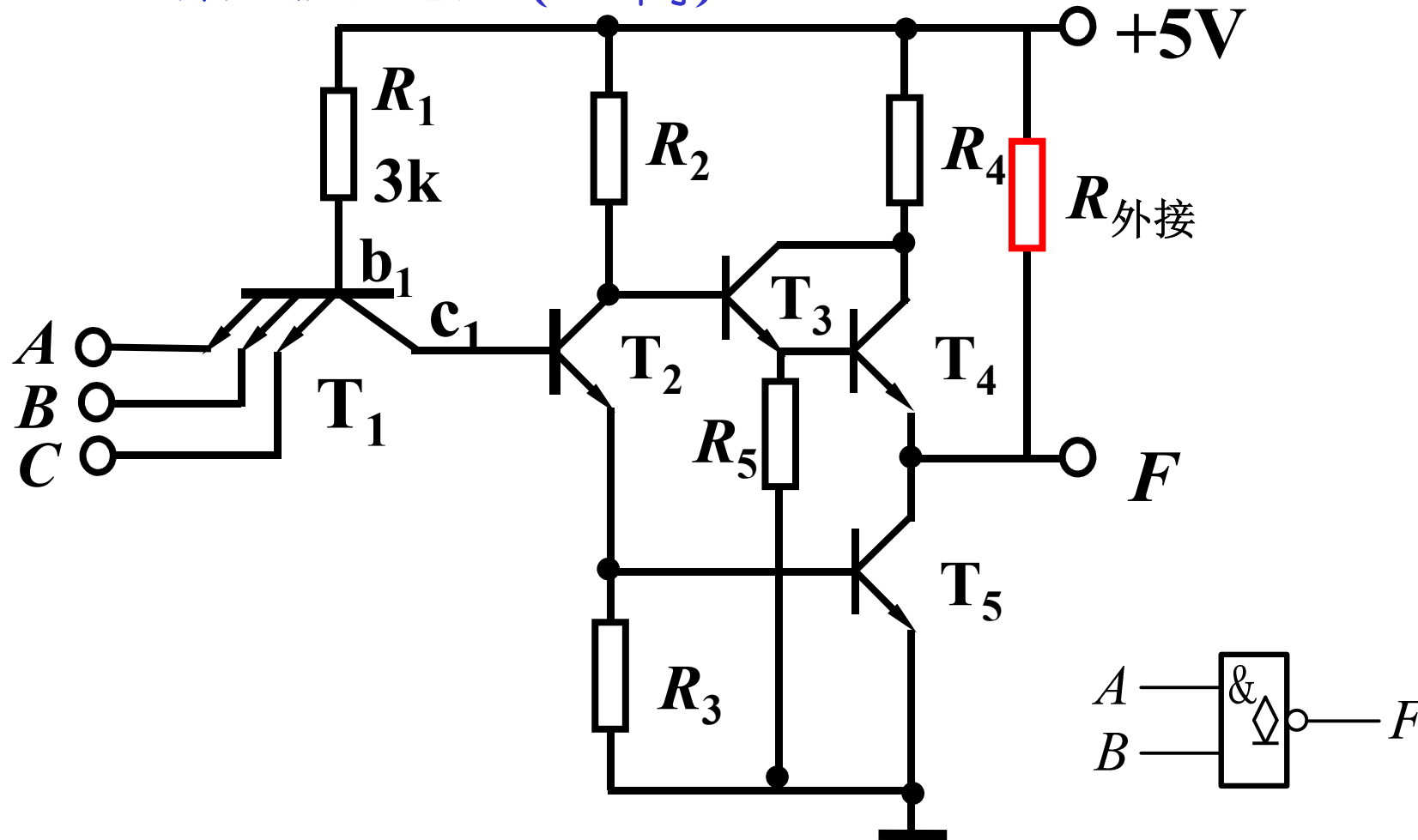
晶体管反相器能不能线与工作?

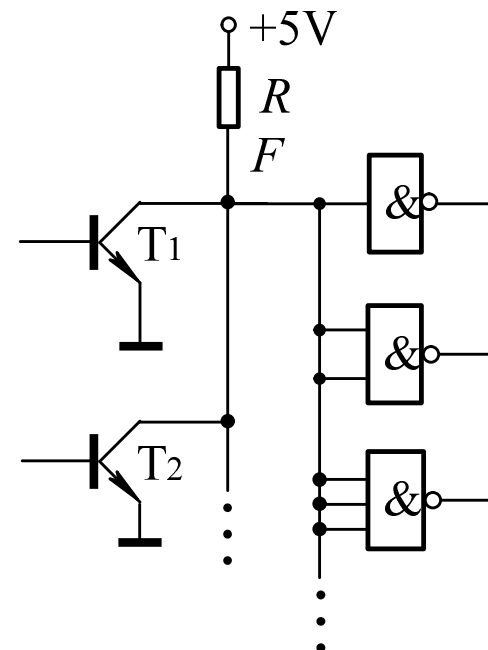
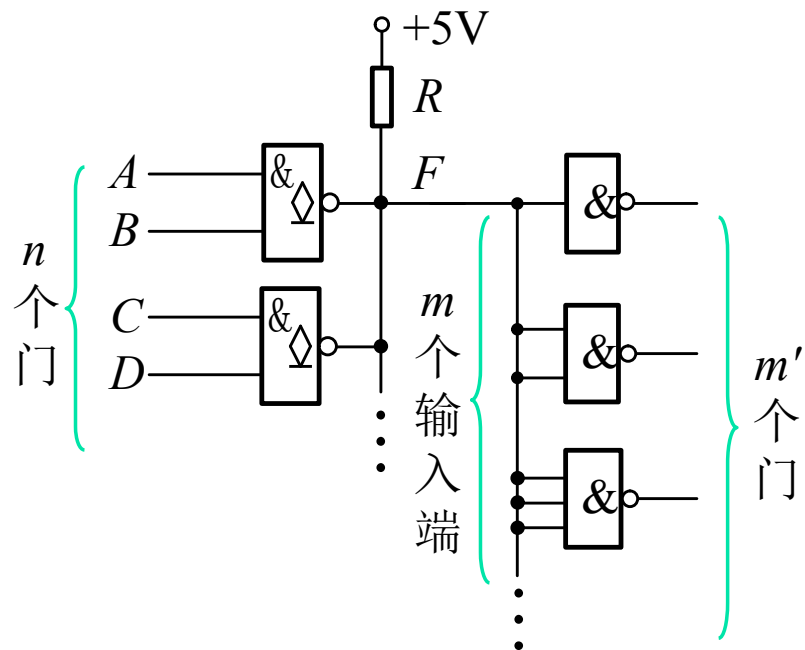
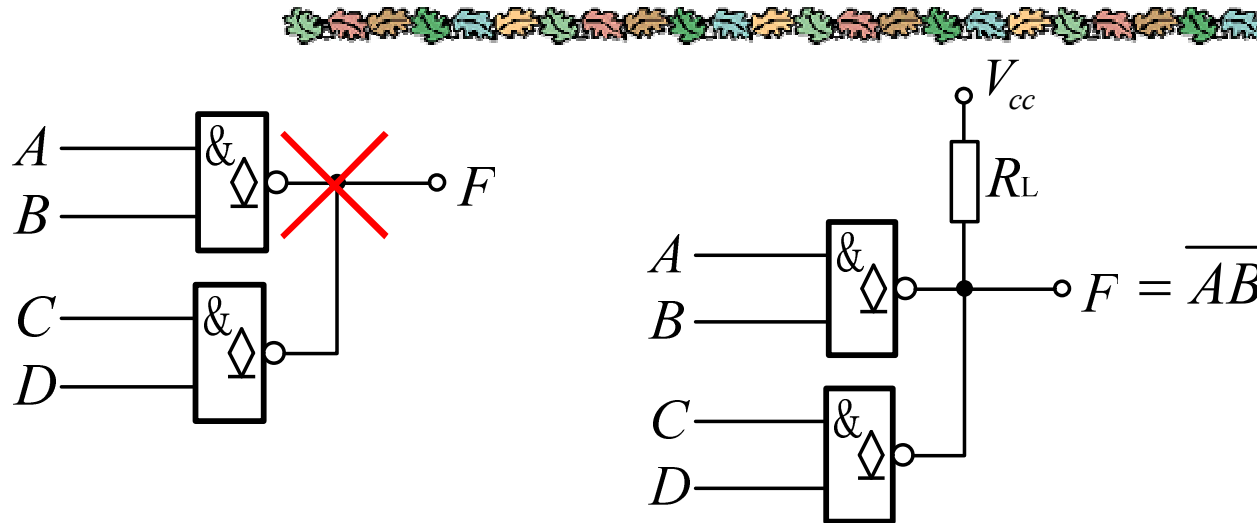


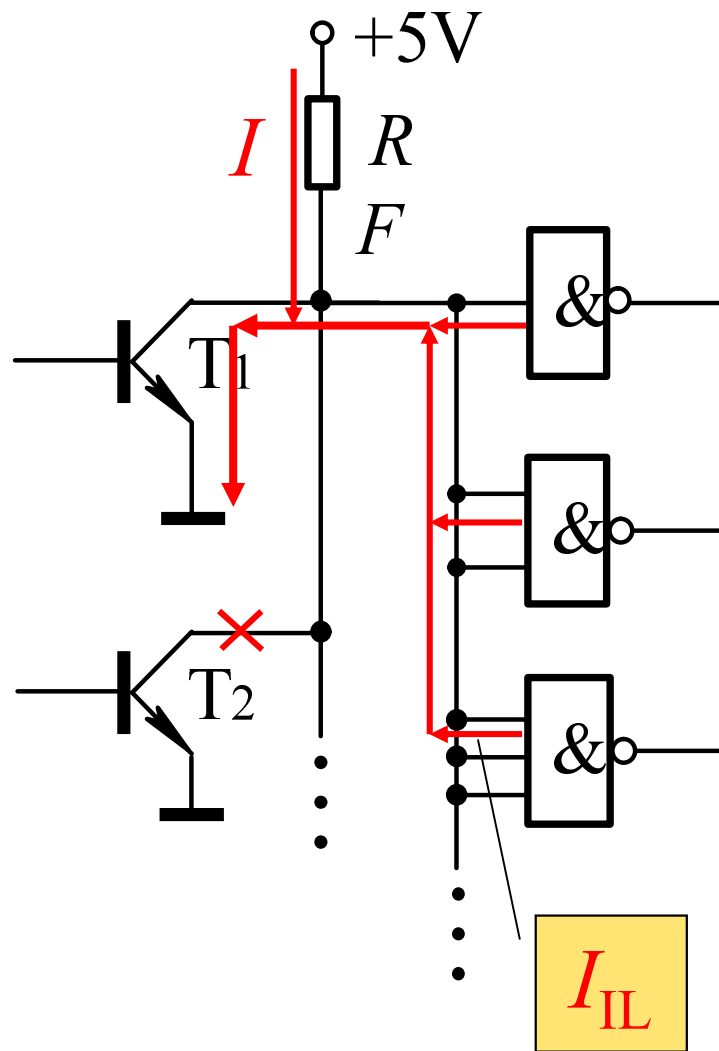
## 四、其他类型的TTL门电路



### 1、集电极开路门 (OC门)



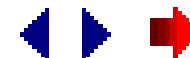


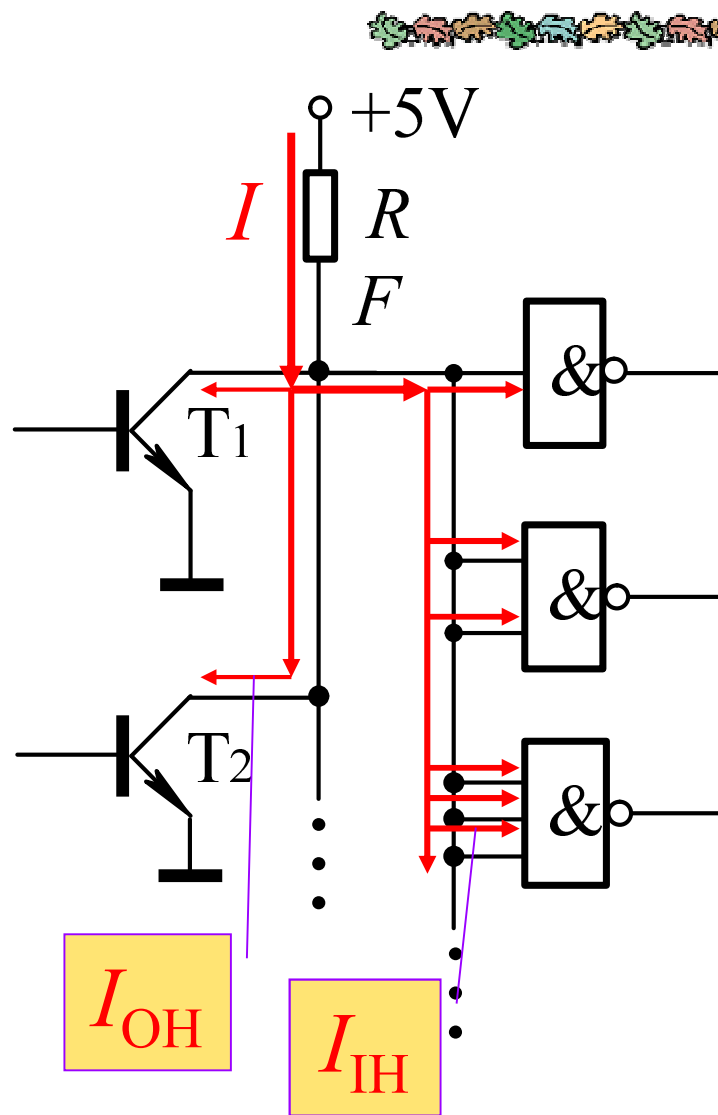


当  $F = 0$  ( $V_{OL}$ ) 时

$$I + m' I_{IL} \leq I_{LM}$$

$$R \geq \frac{V_{CC} - V_{OL}}{I_{LM} - m' I_{IL}}$$





当  $F = 1$  ( $V_{OH}$ ) 时

$$I = mI_{IH} + nI_{OH}$$

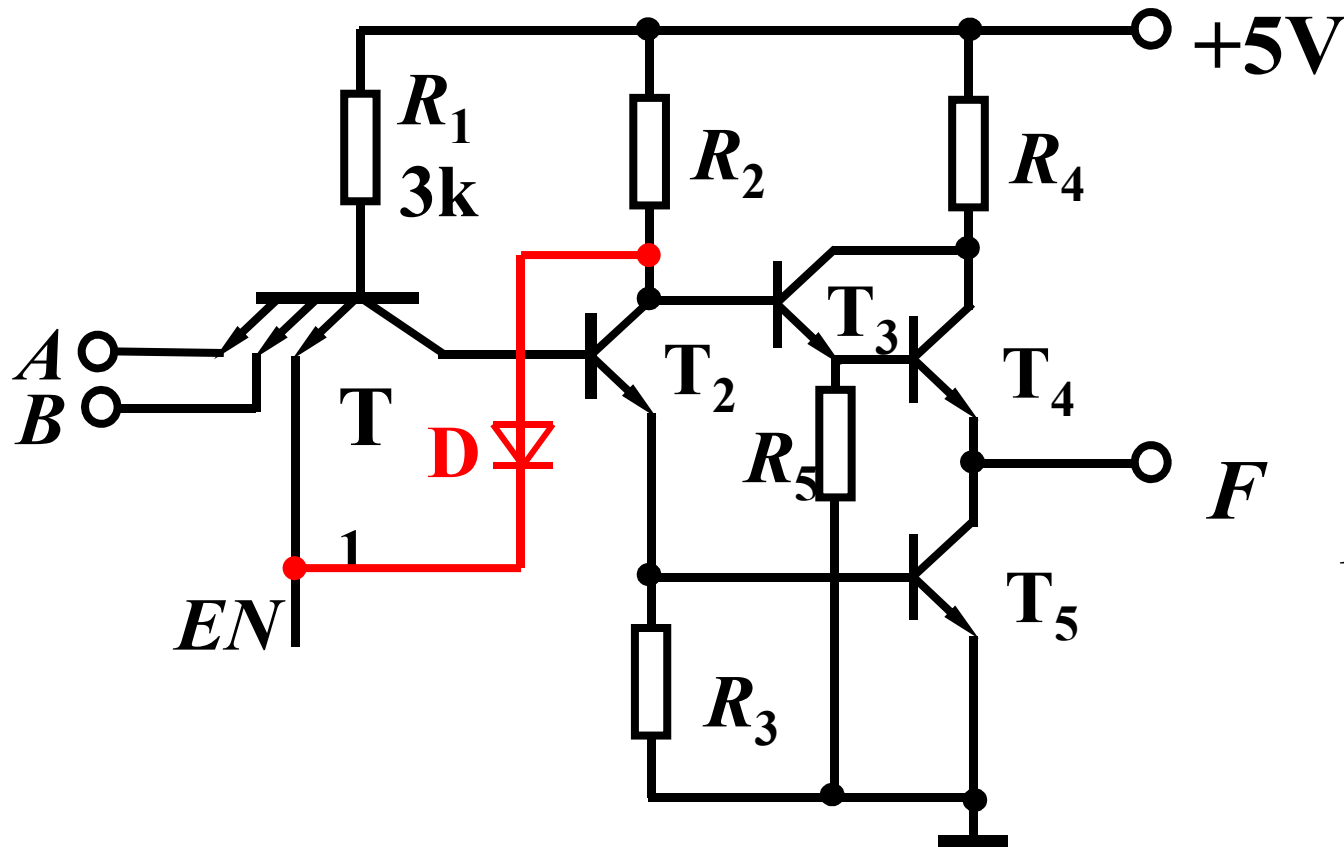
$$R \leq \frac{V_{CC} - V_{OH}}{I}$$

$$= \frac{V_{CC} - V_{OH}}{mI_{IH} + nI_{OH}}$$

$$\frac{V_{CC} - V_{OL}}{I_{LM} - m'I_{IL}} \leq R \leq \frac{V_{CC} - V_{OH}}{mI_{IH} + nI_{OH}}$$



## 2、三态门 (TS门)



当  $EN = 1$  时

$D$  截止,

$$F = \overline{AB} = \begin{cases} 0 \\ 1 \end{cases}$$

—— 工作状态

当  $EN = 0$  时,  $D$  导通,  $V_{B1} = 1V$ ,  $T_2$  和  $T_5$  截止;

$V_{C2} = 1V$ ,  $T_4$  截止 —— 高阻态

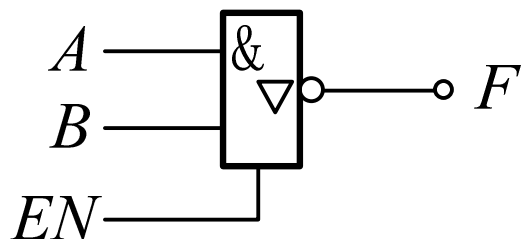




TTL门输出有两种状态：{ 逻辑0 这两种状态都是低阻输出。  
逻辑1

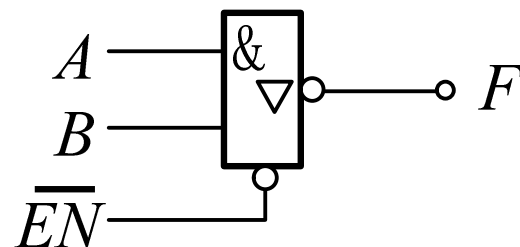
三态门输出有三种状态：{ 逻辑0  
逻辑1  
高阻状态 相当于输出悬空

三态门逻辑符号：



$EN = 1$  工作

高电平有效

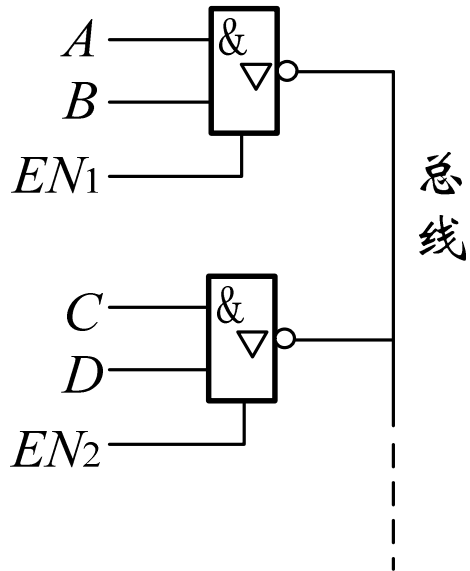


$\overline{EN} = 0$  工作

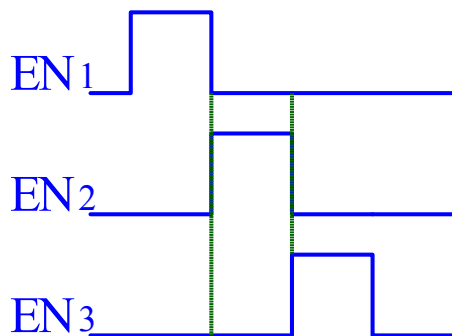
低电平有效



# 三态门的应用



仅有两个三态门时，  
约束条件： $EN_1 EN_2 = 0$



总线结构，分时传送，任何时刻仅有一个EN=1,把选中的门输出传送到总线，未选中的门输出相当于和总线断开。





## 第二节 MOS逻辑门

半导体三极管分为：

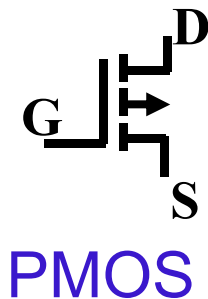
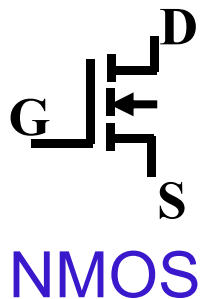
- 双极型三极管
- 场效应三极管
  - 结型场效应
  - 绝缘栅场效应管

绝缘栅场效应管

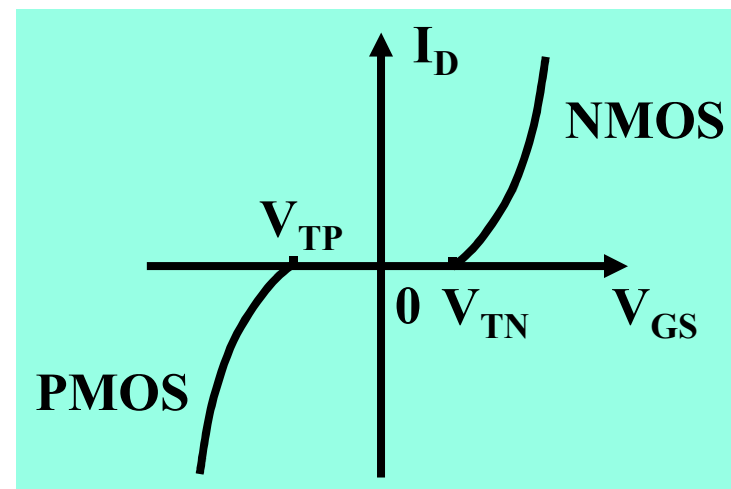
增强型： $V_{GS} = 0$ , 无导电沟道,  $I_D = 0$

耗尽型： $V_{GS} = 0$ , 有导电沟道,  $I_D \neq 0$

MOS逻辑门分为三类：NMOS、PMOS和CMOS

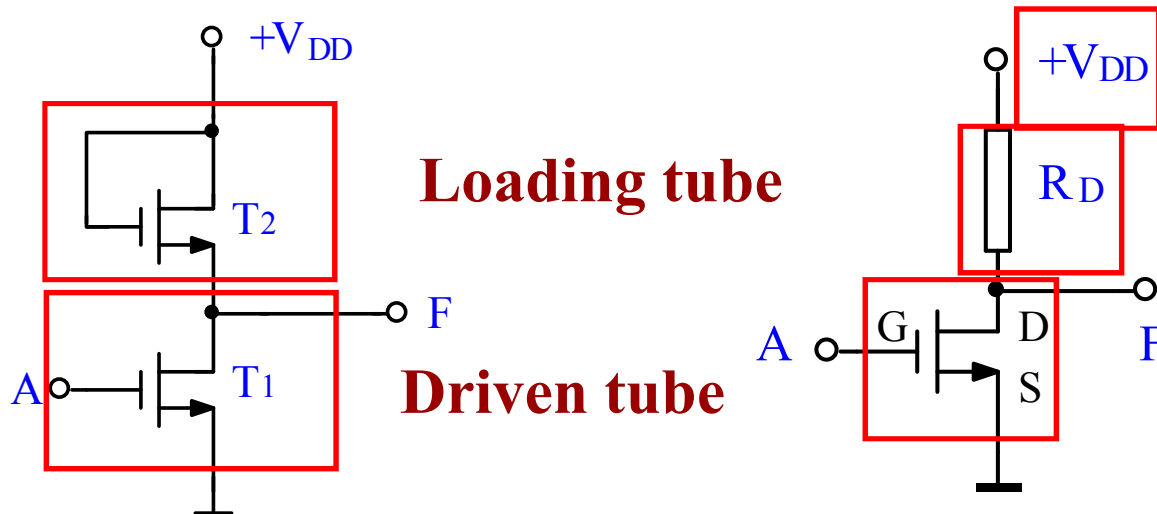


增强型MOS管的转移特性曲线



# 一、NMOS逻辑门

NMOS反相器电路组成：



$$F = \frac{V_{DD}}{R_D + r_d} \times r_d$$

A	F
0	1
1	0



开关断开 turn off



开关闭合 turn on

集成电路中非常不希望有大电阻，一个大电阻相当**20**多个管子。因此采用**MOS**管做负载管。



### 三 CMOS逻辑门



**NMOS,PMOS电**  
**路存在三个问题:**

★ 负载管一直导通，当驱动管导通时，电源与地之间有静态电流，所以功耗大。

★ 要保证输出低电平，要求  $r_{d2} \gg r_{d1}$  不利于大规模集成。

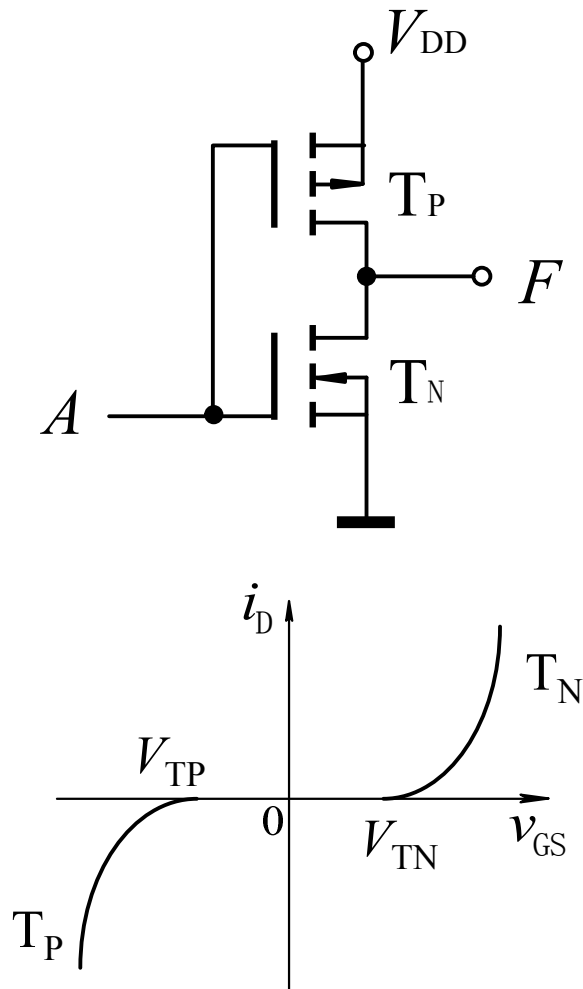
★ 当驱动管截止时，由于负载管导通电阻  $r_{d2}$  很大，对容性负载充电时间很长，使电路工作速度缓慢。

**CMOS集成电路由 P 沟道和 N 沟道增强型 MOS 管串连组成，CMOS电路能有效解决上述问题。**



# 三 CMOS逻辑门

## 1. CMOS反相器



CMOS: 由一个NMOS和一个PMOS组成的互补器件

$A \begin{cases} \text{高电平1} & \text{—— } V_{DD} = 10V \\ \text{低电平0} & \text{—— } 0V \end{cases}$

当  $A = 0$  时,

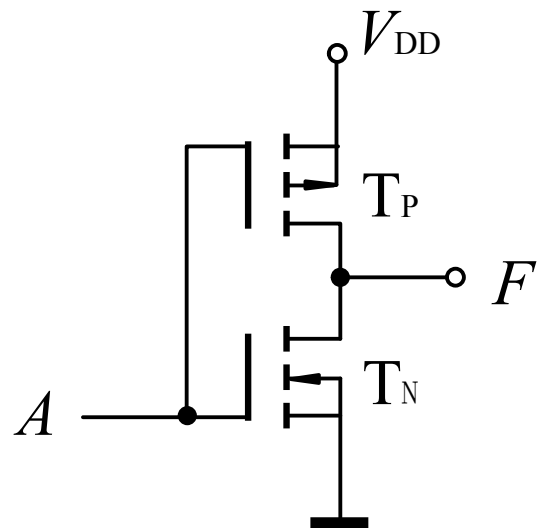
$T_N$ :  $V_{GS} = 0 \text{ V} < V_{TN}$  , 截止  
(漏源电阻  $10^8 \sim 10^{10} \Omega$ )

$T_P$ :  $V_{GS} = -10 \text{ V} < V_{TP}$  , 导通  
(漏源电阻  $< 1 \text{ k}\Omega$ )

$F = 1$



### 三 CMOS逻辑门

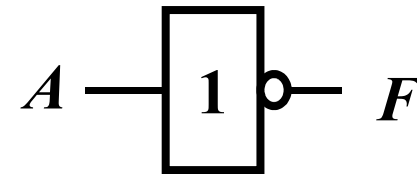


当  $A=1$  时,

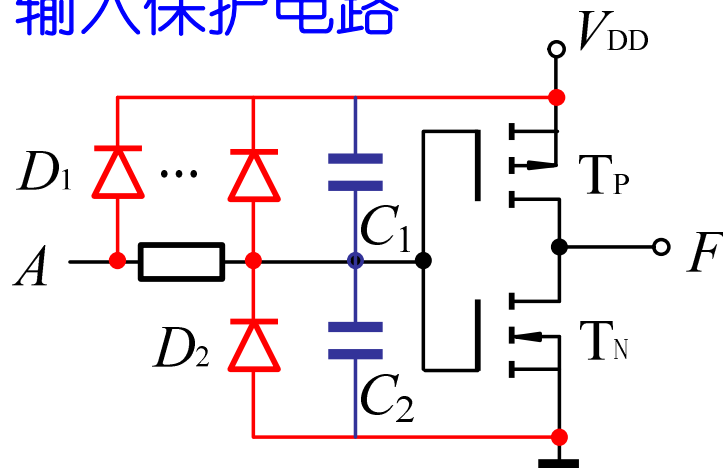
$T_N$ :  $V_{GS} = 10V > V_{TN}$ , 导通

$T_P$ :  $V_{GS} = 0V > V_{TP}$ , 截止

$F=0$



输入保护电路



当  $0 \leq v_A \leq V_{DD}$  时, 保护电路不起作用。

当  $v_A \geq V_{DD} + V_{DF}$  时,  $D_1$  ON, 保证  $C_2$  上的压降不超过  $V_{DD} + V_{DF}$

当  $v_A \leq -0.7V$  时,  $D_2$  ON, 保证  $C_1$  上的压降不超过  $V_{DD} + V_{DF}$

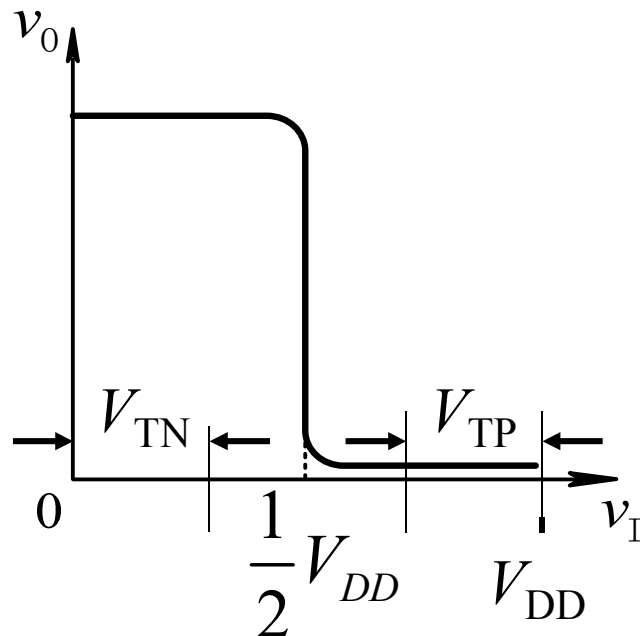


### 三 CMOS逻辑门



- CMOS电路的优点:
1. 静态功耗小 —— 集成度高
  2. 允许电源电压范围宽(3~18V)
  3. 扇出系数大，抗噪容限大

#### 2. CMOS反相器的电压传输特性曲线

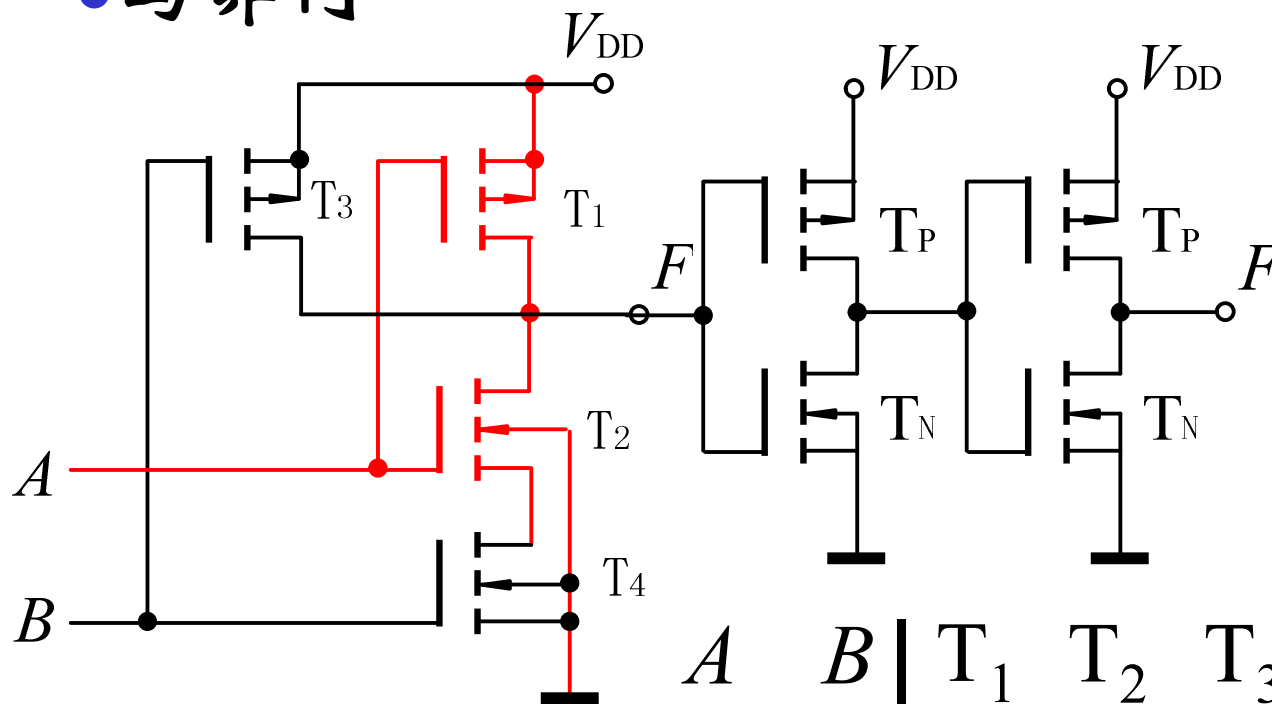


门限电平:  $\frac{1}{2}V_{DD}$



### 3. 其他CMOS门电路

#### • 与非门

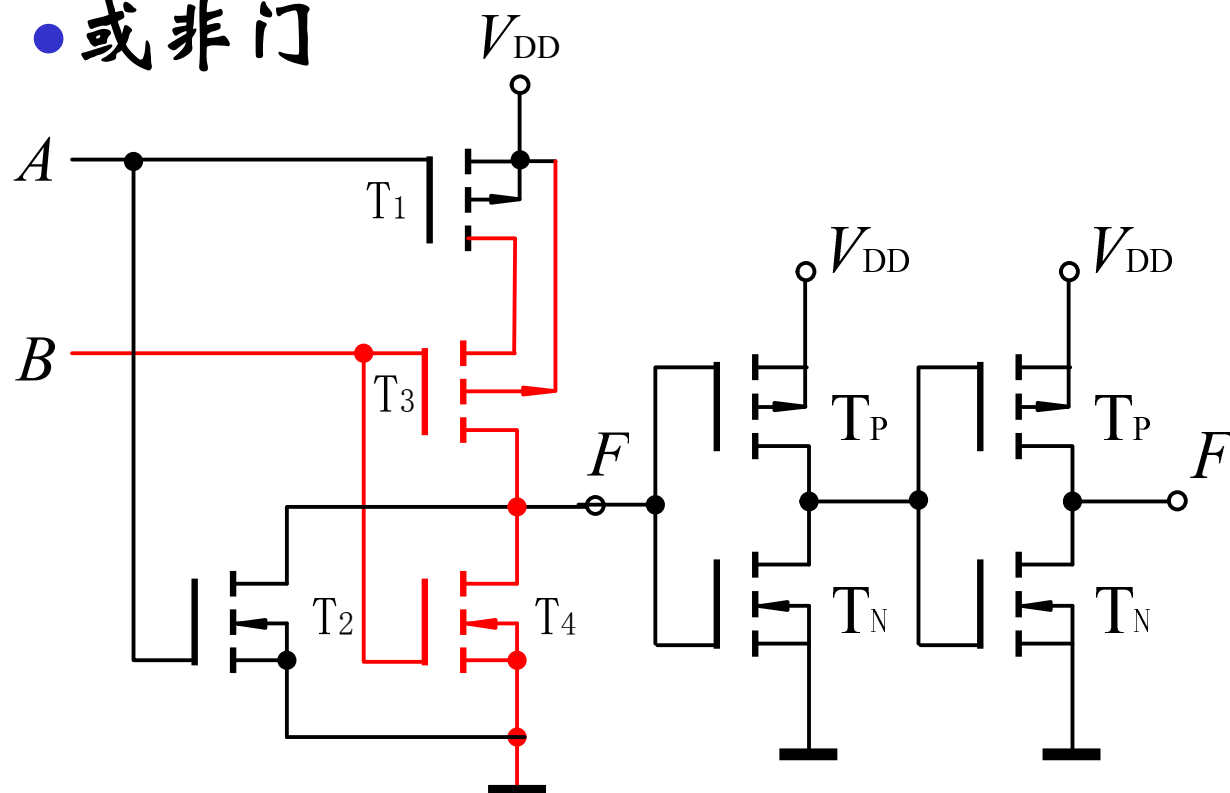


$$F = \overline{A \cdot B}$$

NMOS构成  
串联驱动

$A$	$B$	$T_1$	$T_2$	$T_3$	$T_4$	$F$	$R_O$
0	0	导	止	导	止	1	$R_{on}/2$
0	1	导	止	止	导	1	$R_{on}$
1	0	止	导	导	止	1	$R_{on}$
1	1	止	导	止	导	0	$2R_{on}$

# ●或非门



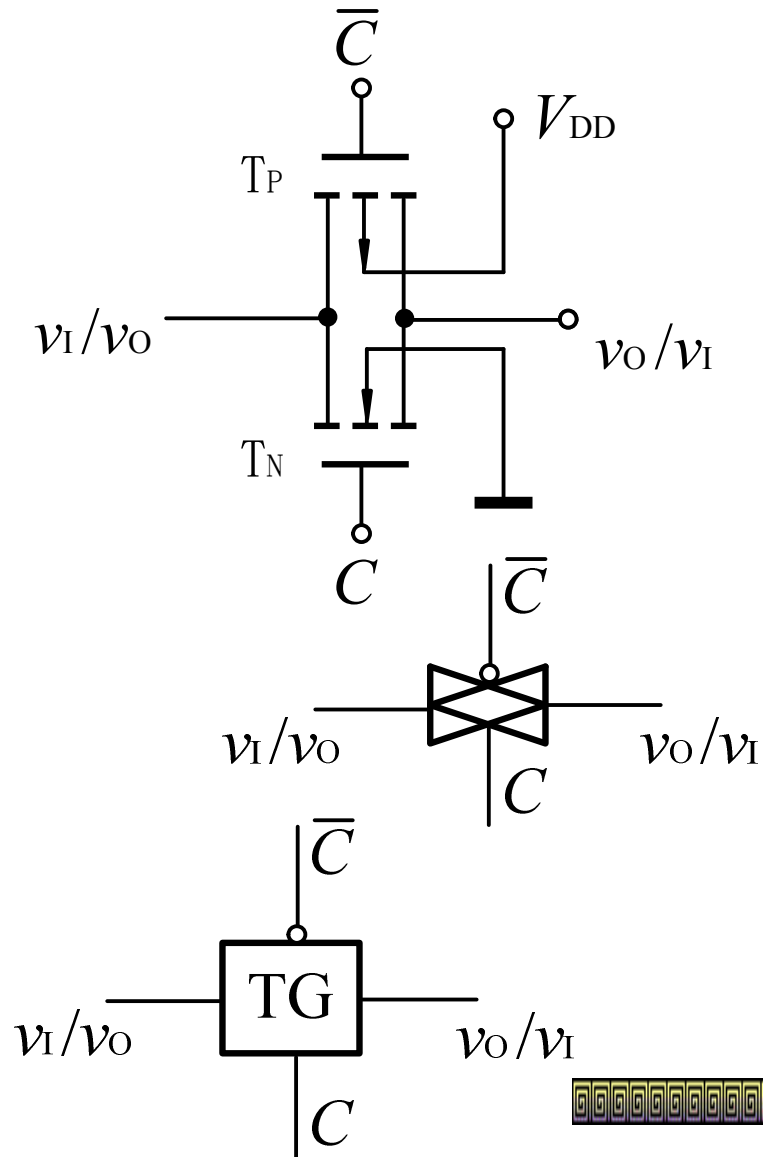
$$F = \overline{A+B}$$

NMOS构成  
并联驱动

$A$	$B$	$T_1$	$T_2$	$T_3$	$T_4$	$F$	$R_O$
0	0	导	止	导	止	1	$2R_{on}$
0	1	导	止	导	止	0	$R_{on}$
1	0	止	导	导	止	0	$R_{on}$
1	1	止	导	止	导	0	$R_{on}/2$



# • CMOS传输门



$$V_{DD} = 10V$$

$$V_{TN} = |V_{TP}| = 3V$$

$$v_I = 0 \sim 10V$$

$$A = \begin{cases} \text{高电平1} & \text{—— } 10V \\ \text{低电平0} & \text{—— } 0V \end{cases}$$

当  $C=0$  时,  $T_N$  止,  $T_P$  止

TG关闭

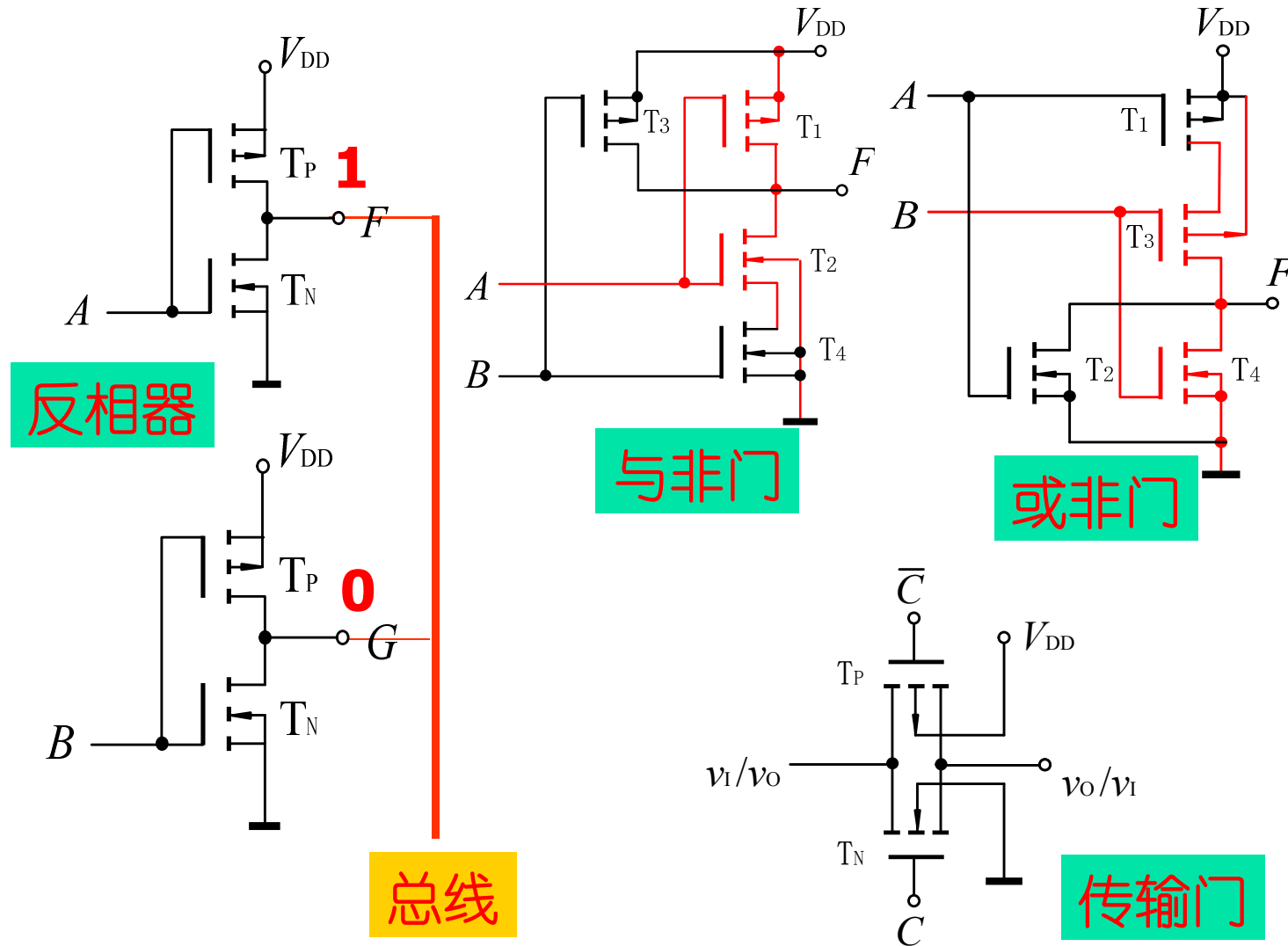
当  $C=1$  时,  $v_I = 0 \sim 7V$ ,  $T_N$  导

$v_I = 3 \sim 10V$ ,  $T_P$  导

TG开启



# 三 CMOS逻辑门

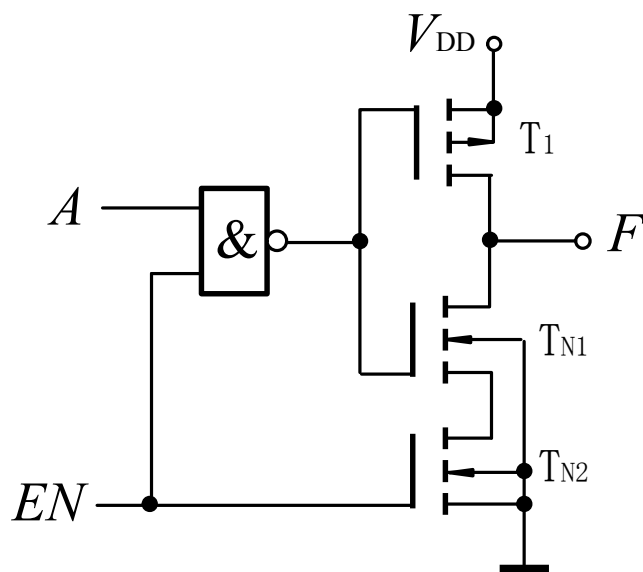




CMOS门电路能否线与工作？ 不能

线与工作 { CMOS漏极开路门  
CMOS三态门

### • CMOS三态门



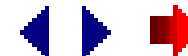
当 $EN=1$ 时,  $T_{N2}$  导,  $T_P$ 、 $T_{N1}$

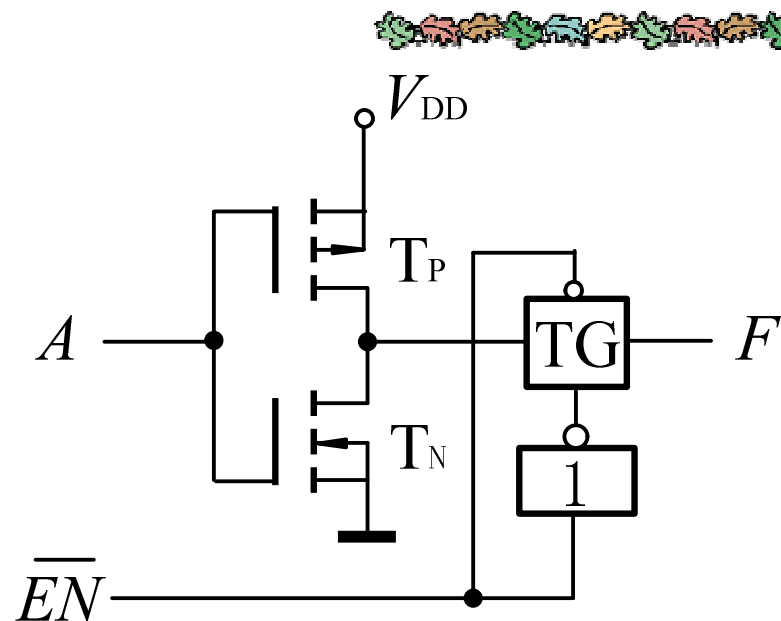
组成CMOS非门,  $F=A$

—— 工作态 { 0态  
1态

当 $EN=0$ 时,  $T_{N2}$  止,  $T_P$  止,

—— 输出高阻态





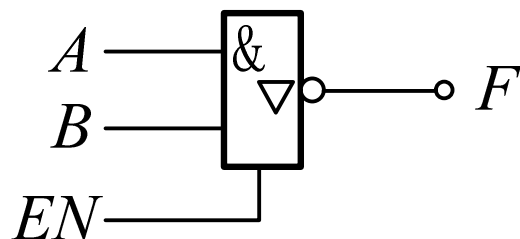
当 $\overline{EN}=0$ 时, TG开启,

$$F = \overline{A}$$

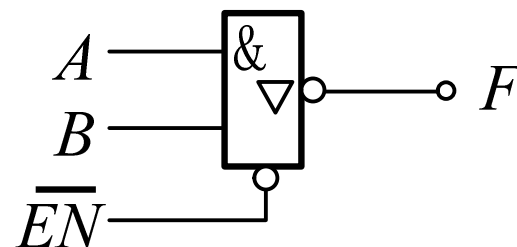
—— 工作态  $\begin{cases} 0\text{态} \\ 1\text{态} \end{cases}$

当 $\overline{EN}=1$ 时, TG关闭,

—— 输出高阻态



$EN=1$  工作态



$\overline{EN}=0$  工作态

