实验目的：

通过本次实验，达成以下目标：

掌握数据选择器的原理及结构

能够根据要求，画出电路真值表及门级电路图

学会在ISE中用原理图输入方式进行设计开发

学会在ISE中用Verilog输入方式进行设计开发

能够将Verilog中的语句与实际电路对应起来

熟悉设计、下载的整个流程

实验内容：

实现一个4选一的数据选择器

每路位宽为2bit

设计输入方式可选择Verilog或者原理图输入

用拨动开关作为输入(a,b,c,d)，

按键作为选择信号(sel)，低2位LED灯作为输出(out)

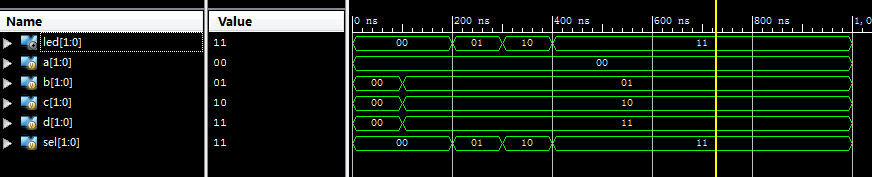
利用ISIM进行仿真，并下载到开发板验证

具体实现：

由于板子仅8个开关，设置abcd个2位的按键之后，

sel的2位输入需要使用button。

使用三个?:条件句实现功能。



实验结果：

* 仿真波形正确
* 下载结果正确

实验分析：

本实验作为第一次完全独立的实验，虽然简单，但却能在一定程度上让我们掌握设计、下载流程，掌握数据选择器的原理及构造，以及学习一些verilog语法。

附录：

源码：

module top(

input [1:0] a,

input [1:0] b,

input [1:0] c,

input [1:0] d,

input [1:0] sel,

output [1:0] led

);

assign led = sel[1] ? (sel[0] ? d : c ) : (sel[0] ? b : a);

endmodule

