PB15111604 金泽文

实验目的：

* 学习时序逻辑电路
* 学会用verilog语言设计时序逻辑电路
* 掌握计数器的电路结构
* 掌握数码管动态扫描显示原理

实验内容：

* 实现一个8bit十进制（BCD码）计数器
  + 复位时计数值为8’h90
  + 复位后，计数器实现累加操作，步长为1，逢9进1，计数值达到8’h99后，从0开始继续计数
  + 使能信号为1时正常计数，为0时暂停计数
  + 每0.5秒左右计数值加1
  + 结果显示在led灯上（必做）
  + 在isim下进行仿真（选做）
  + 将结果显示在7段数码管的后两位上

具体实现：

用div模块实现分频，

用cnt模块实现计数

用code模块实现数码管和led管的处理

再用top模块调用以上子模块

实验结果：

实验要求的选做必做内容均已实现。

实验分析：

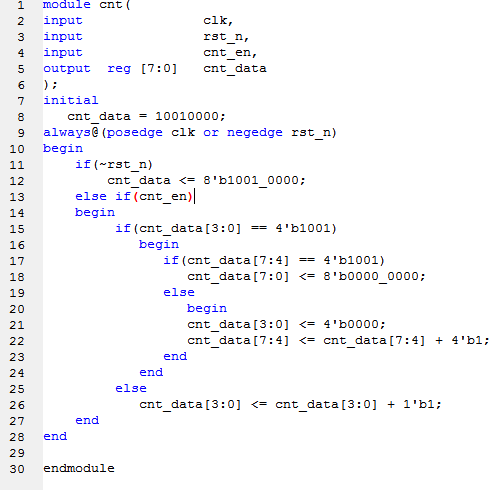
本次试验最大的问题在仿真处理上，由于第一次进行这么复杂的仿真，以及从未使用过initial语句，导致了后面的一些问题。

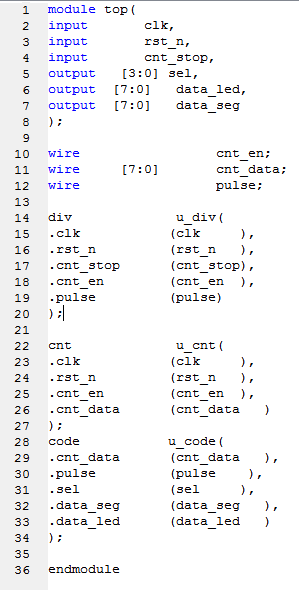
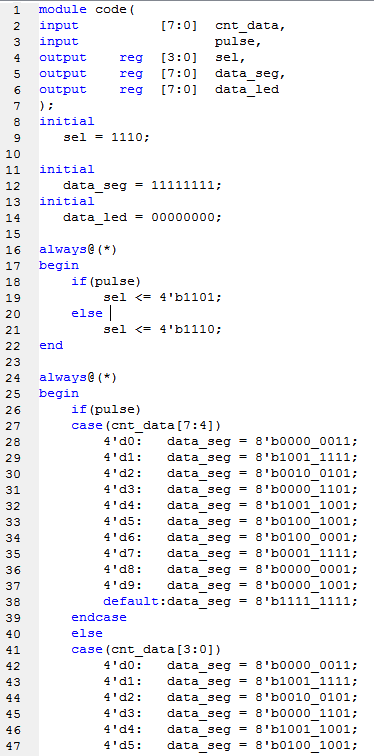
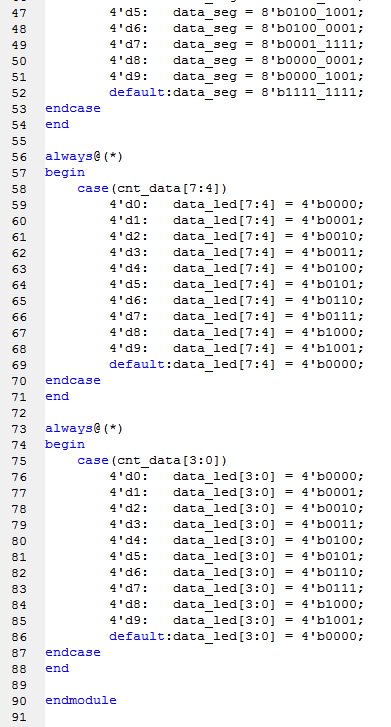
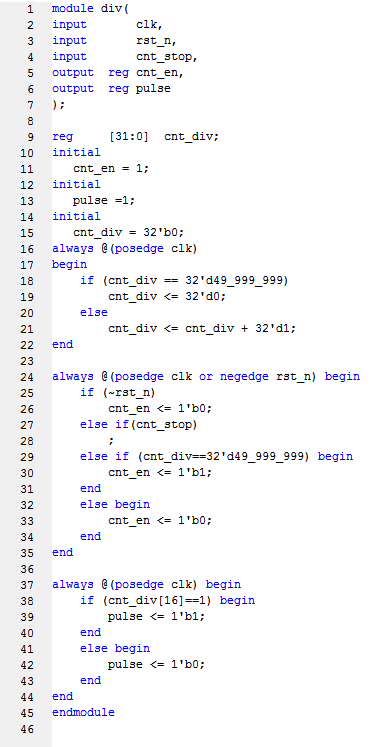
中间也出现了一些bug，被及时清除。

意见建议：

这次试验检查进度太慢，实验难度突然增大是一个原因呢，大家对verilog语法理解不够也是个原因，两个助教出国也是一个原因。建议这种情况下强制大家进行足够的预习或事先完成。

附录：

代码：



原理图：