

Lab3: 串行序列识别 FSM 设计实验

实验介绍

这个实验将指导你通过使用 iverilog 或 Vivado 软件，设计 Verilog 串行二进制序列模式识别 FSM。

实验目标

学习用 verilog 实现有限状态机并在 FPGA 上实现，将开关并行二进制输入通过串并转换移位器输入到所设计的状态机中，识别 0100 和 1101 二进制串（可重叠），并将识别出的总数通过 7 段数码管显示出来。要求功能可重复多次反复使用。

实验步骤

1. 编写识别可重叠 0100 和 1101 串行输入 FSM 和 0~15 计数器的 verilog 功能；
2. 编写并行输入串行输出的 16 位移位寄存器 verilog 功能；
3. 编写识别数目 16 位计数器和 7 段数码管显示模块。
4. 模拟，采用 stringreco_tb.v，无 LED 显示模块和时钟生成模块，用 iverilog 模拟
5. 综合，采用 stringreco_fpga.v，含 LED 显示模块和时钟生成模块（100Hz），用 Vivado 综合模拟，形成 bit 文件下载到 FPGA 板上演示。
6. 自设计模块所有名称用<名称><姓名缩写>命名，将项目目录整体压缩，命名 lab3-<姓名缩写>.zip，北大课程网提交。

实验原理

1. 将按钮 bntD 作为开始信号，按钮 bntC 作为全局复位信号。
2. 每次按下 bntD，将 SW[15:0]的二进制数加载到 16 位右移移位寄存器中，然后状态机开始识别移位寄存器的最低位。另实现一个 16 位计数器，每当识别出 0100 或者 1101 时，计数器加 1。
3. 设计一个 0~15 计数器控制移位寄存器移位并使能 FSM 进行识别，控制 FSM 的启停功能。
4. 采用同步米利机设计（注意停止时的输出值应该与使能信号寄存一拍逻辑与后作为 16 位计数器的使能信号，以防止停止到识别成功状态，输出一直有效的情况）。

5. 利用之 lab1 实现的二进制转换 BCD 和 lab2 的 7 段数码管显示，将计数器的值以 BCD 的形式显示出来。
6. 以上功能可重复操作，多次按下 BntD 的识别次数应该累加到 16 位计数器中。