

Lab2: 二进制和 BCD 码转换

实验介绍

本实验通过使用 Icarus 软件，实现二进制转换 BCD 和 BCD 转换二进制的 Verilog 设计。

实验目标

学习 14 位二进制转换 BCD 码和 BCD 转 14 位二进制的 Verilog 实现, 并通过 icarus 软件模拟验证。

本实验设计是课程最终 risc-v 计算器的输出模块，处理十进制 0-9999 和 14 位二进制的相互转换功能。

实验步骤

1. 编写 14 位二进制到 16 位 BCD 码转换模块的 verilog 代码，输入 bin[15:0]，输出 bcd3[3:0], bcd2[3:0], bcd1[3:0], bcd0[3:0]，分别对应千、百、十、个位。要求采用右移并修正的方法。
2. 编写 16 位 BCD 码到 14 位二进制转换模块的 verilog 代码，输入 bcd3[3:0], bcd2[3:0], bcd1[3:0], bcd0[3:0]，分别对应千、百、十、个位。输出 bin[15:0]。要求用左移并修正的方法，不允许采用乘法算子。
3. 编辑 lab2 给出的 bcd2bin_tb.v 文件，用 icarus 的 iverilog/vvp 命令进行模拟，并通过 GTKWave 查看波形。
4. 要求所有模块名/变量名，以<名称>_<姓名拼音缩写>形式，如 binary_td。