

Lab2: 秒表的设计与实现

实验介绍

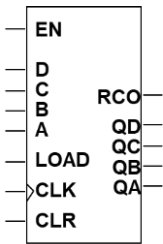
这个实验将指导你通过使用 Verilog 设计秒表（stopwatch）的 7 段显示管显示。

实验目标

学习分频电路、偏移计数器和计数器级联的原理和实现

实验步骤

1. 使用 Verilog 设计 163 计数器，模块名<姓名缩写>163。



CLR	LOAD	EN	功能
H	X	X	清零
L	H	X	装载
L	L	H	计数
L	L	L	保持
当 QD QC QB QA 为全 1 时，RCO 为 1。			

- 2. 使用 Verilog 语言设计，将 100MHz 时钟分频成时钟周期 100ms 的时钟信号（实验环境中已给出）。
- 3. 使用 163 计数器级联设计模 10（分）、模 60（秒）和模 10（1/10 秒）计数器。
- 4. 设计按钮识别电路和信号同步电路，实现开始暂停、清 0 等功能。
- 5. 设计顶层 Verilog，连接所有模块形成秒表电路设计，模块名 stopwatch_<姓名缩写>
- 6. 设计 display_7seg.v，完成译码器部分。
- 7. 模拟，采用 stopwatch_tb.v，无 LED 显示模块和时钟生成模块，用 iverilog 模拟。
- 8. 综合，采用 stopwatch_fpga.v，含 LED 显示模块和时钟生成模块，形成 bit 文件下载到 FPGA 板上。

实验原理

1. 7 段显示管可以显示 0-9 的不同数字，在本次试验中，我们需要将计数值显示在 7 段显示管上，因此结果应该使用 4 个管进行显示。最低 1 个数码管显示 0-9 的计数值，每 100ms 秒计数一次，中间 2 位数码管显示 0-59 的计数值，每 1s 计数一次，最高位 1 个数码管显示 0~9 的计数值，每 1 分钟计数一次。
2. 分别实现模 10、模 60 的 3 计数器，分别使用 163 计数器设计实现，之后连接成最终的秒表计数器，注意进位链和使能信号的实现。
3. 采用两个按钮（btnC 和 btnD）分别实现清 0 和开始暂停功能，可以使用同步器同步。实现判别 btnD 按钮抬起动作的从 1 变 0 的事件，并将开始暂停寄存器取反一次，以暂停计数器和开始计数器的功能。清 0 按钮 btnC 直接连接所有寄存器的复位端，开始暂停寄存器初始处于暂停状态。（用 verilog 实现，注意 FPGA 板上的所有按钮按下是高电平）。