Lab3: 串行序列识别FSM设计实验

**实验介绍**

这个实验将指导你通过使用iverilog或Vivado软件，设计Verilog串行二进制序列模式识别FSM。

**实验目标**

学习用verilog实现有限状态机并在FPGA上实现，将开关并行二进制输入通过串并转换移位器输入到所设计的状态机中，识别0100和1101二进制串（可重叠），并将识别出的总数通过7段数码管显示出来。要求功能可重复多次反复使用。

**实验步骤**

1. 编写识别可重叠0100和1101串行输入FSM和0~15计数器的verilog功能；
2. 编写并行输入串行输出的16位移位寄存器verilog功能；
3. 编写识别数目16位计数器和7段数码管显示模块。
4. 模拟，采用stringreco\_tb.v，无LED显示模块和时钟生成模块，用iverilog模拟
5. 综合，采用stringreco\_fpga.v，含LED显示模块和时钟生成模块（100Hz），用Vivado综合模拟，形成bit文件下载到FPGA板上演示。
6. 自设计模块所有名称用<名称><姓名缩写>命名，将项目目录整体压缩，命名lab3-<姓名缩写>.zip，北大课程网提交。

**实验原理**

1. 将按钮bntD作为开始信号，按钮bntC作为全局复位信号。
2. 每次按下bntD，将SW[15:0]的二进制数加载到16位右移移位寄存器中，然后状态机开始识别移位寄存器的最低位。另实现一个16位计数器，每当识别出0100或者1101时，计数器加1。
3. 设计一个0~15计数器控制移位寄存器移位并使能FSM进行识别，控制FSM的启停功能。
4. 采用同步米利机设计（注意停止时的输出值应该与使能信号寄存一拍逻辑与后作为16位计数器的使能信号，以防止停止到识别成功状态，输出一直有效的情况）。
5. 利用之lab1实现的二进制转换BCD和lab2的7段数码管显示，将计数器的值以BCD的形式显示出来。
6. 以上功能可重复操作，多次按下BntD的识别次数应该累加到16位计数器中。