**基于FPGA的多光子符合计数模块**

David Branning\*a, Mark Beckb

aDept. of Physics, Trinity College, 300 Summit St., Hartford, CT 06106; bDept. of Physics, Whitman College, Walla Walla WA, 99362

# 摘要

我们提出了一个用于量子光学实验的多通道符合计数模块。 该电路最多可以接收四个TTL脉冲输入并进行所有通道的符合计数，用户选择的符合时间窗口可精确到12ns。 该模块可以精确计数八组多通道符合，输入速率高达84 MHz。 由于其成本低，体积小，多个模块可以很容易地组合在一起，计算N个输入之间的任意M阶重合。

**关键词:** 符合计数，相关测量，多光子

# 1. 介绍

符合计数是在不同检测器上同时检测两个或更多个粒子。 这种技术在实验物理中被广泛使用，在量子光学中起着特别重要的作用。 光子的符合计数是探索和/或利用相关光源非经典特征的重要工具。 许多这样的实验只需要一组两次重合测量，而对于其他实验则需要计算多个检测器之间的多光子符合。1-3

从历史上看，最常见的符合计数方法是使用时间 - 幅度转换器（TAC），每个TAC都有给一对光子计数的能力。 多光子或多通道重合计数很快就会变得麻烦而昂贵，而最大的重合计数率受到每次启动/停止事件所需的转换时间的限制，一般为〜1μs。 近年来，针对这些问题的几种解决方案已经发展为特定的应用，包括量子信息处理，4-6 荧光测量，7-8 X-射线显微镜，9 和物理教育。10-11

在这篇文章里，我们会详细介绍一个新的多通道符合计数模块（CCM），可以使用现成的集成电路组件来构建成本低于600美元的符合计数模块（CCM）。 从多达四个TTL信号作为输入开始，CCM可以记录任意2,3或4组符合（或单个通道计数）的组合，并具有短至12 ns的重合窗口。 编程到现场可编程门阵列（FPGA）的八个板载寄存器可以计数用户定义的符合时间间隔为20μs到1s的符合。 计数数据通过USB接口传输到个人计算机，通过可自由使用的软件收集，集成，显示和存储到磁盘。12-13 可以从我们的网站免费下载本CCM的构建和操作资源，包括组装指南，操作手册和数据采集软件（用于LabVIEW或作为独立的可执行文件）。13

\*david.branning@trincoll.edu; phone 1 860 297-4048

# 2. 设计

## 2.1 概述

框图如图1所示（整个电路的完整原理图可在线获得）。13

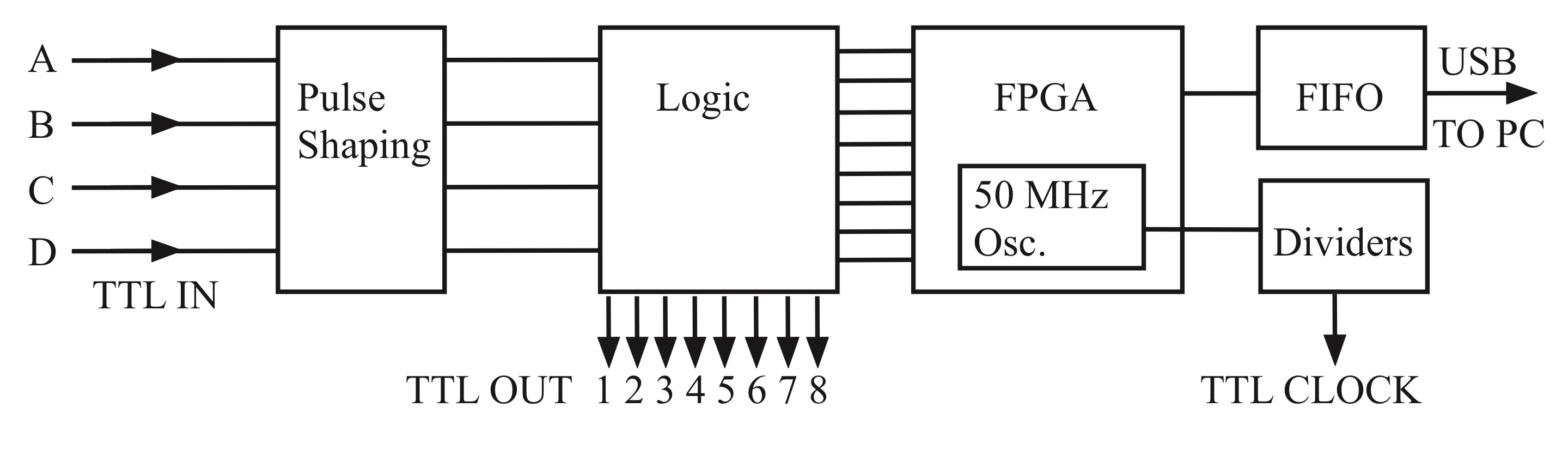


Fig. 1. CCM架构的框图。

输入A，B，C和D是由单光子计数模块（SPCM）构成的5伏TTL脉冲。 CCM的每个输入都具有50Ω或1kΩ的可选阻抗。 输入脉冲的持续时间缩短，然后扇出，形成图2中的八个重合逻辑电路的输入。八个输出通道被发送到BNC输出，并且还被发送到FPGA上的计数寄存器。 计数寄存器中的值被发送到先进先出（FIFO）缓冲区，在那里它们被捆绑发送到到由计算机通过USB接口读取的阵列中。 此外，FPGA的50 MHz主振荡器被分频以产生1 Hz至10 MHz的TTL时钟输出，可用于同步其他设备或自我测试CCM。

## 2.2 符合计数方法

下面显示了确定符合的基本方法。 输入信号A，B，C和D被发送到或门，然后被发送到四路与门的输入。 当且仅当所有四个输入同时为真时 - 也就是说，如果四个检测器脉冲同时到达门，与门的输出才为真。

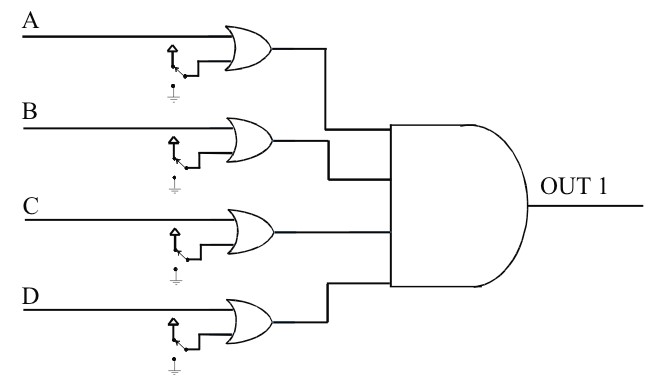


Fig. 2. 四路与门与每个输入上的或门。 对于每个输入（A，B，C，D），一个开关将其中一个或输入连接到0或5 V，以便在与门电路中将输入包括在内（0 V）或排除在外（5 V）。

或门允许用户定义四个检测器信号的任意子集，以便重合计数。 每个或门的第二个输入端保持高电平或低电平，由用户通过开关选择。 当任何特定输入的开关为高电平时，该输入被有效地从符合逻辑中移除。 任何与其对应开关的输入都保持低电平，但仍然必须同时到达以使与门的输出为真。 以这种方式，与门的输出可以确定四个输入之间2,3或4倍符合合的任意组合，或者简单地提供任何一个输入的单通道输入速率（通过排除其他三个）。 有八个4输入与门，每一个的输出都送到一个在FPGA上实现的计数器的输入端。 每个计数器通过USB接口定期将记录的计数数量传送到PC，然后重置以继续计数。

2.3 脉冲整形

为了提高符合时间分辨率，每个探测器信号首先进入一个脉冲整形电路，该从商用SPCM获得的脉冲整形电路能减小通常20-50ns的脉冲宽度。11 脉冲整形电路的示意图如图3所示。脉冲整形通过使用相同输入信号的两个副本来完成。 一个副本是时间延迟，并相对于另一个副本倒置。 这两个副本都用作与门的输入。 与门的输出只会在延时期间变高。 时间延迟是通过发送信号通过附加的门，例如，一个输入保持高的与门就能实现延迟但不改变信号。

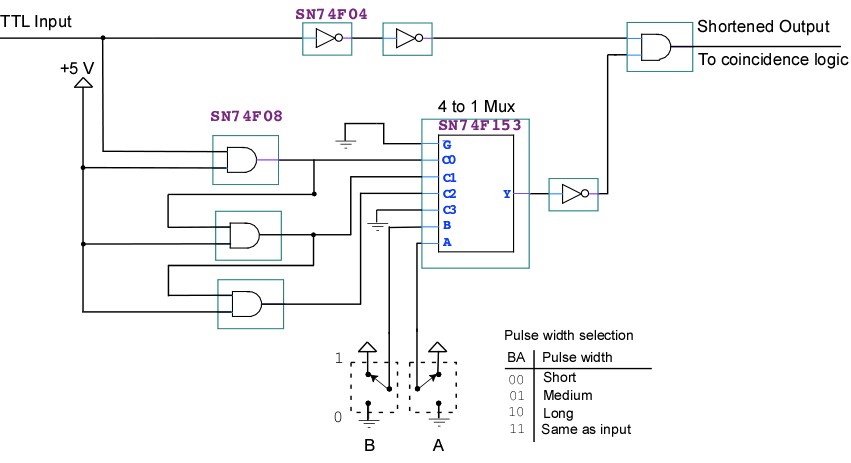


Fig. 3. 脉冲整形电路。 输入信号（顶行）及其延时反转副本被发送到与门的输入（右上角）。 拨动开关A和B与多路复用器（Mux）一起使用，以选择所有四个输入的整形脉冲的宽度，或旁路脉冲整形电路，使脉冲宽度保持不变。

这些操作允许用户通过调整两个开关（图3中的A和B）的位置来选择各种离散的缩短的脉冲宽度。 脉冲整形部分也可以被绕开，使得每个脉冲的整个宽度直接传递到逻辑部分。

2.4 TTL通道输出

除了发送到FPGA，每个4路与门的输出还连接到一个线路驱动器和一个BNC输出，提供TTL输出脉冲，可以监测或外部计数。 通过使用这些输出脉冲作为附加CCM的输入，可以监测任意数量的输入之间的符合。

## 2.5 10 MHz时钟输出

在一个BNC输出端提供一个TTL时钟信号，通过将FPGA的50 MHz振荡器分频为数十年内从 107 Hz到1 Hz的用户可选速率。 由于TTL时钟直接来自主50 MHz振荡器，所以它可以很方便地用于自检FPGA的计数操作：10 MHz的输出应该每秒精确地产生107 个计数，由于缺乏同步而没有错误。 10 MHz时钟输出也可用于同步其他电子脉冲发生器与CCM以用于测试目的，或同步实验中的其他数据采集设备。

# 3. 实施

## 3.1 F系列逻辑和FPGA硬件

图2和图3的电路使用F系列5V TTL逻辑门实现：这些逻辑门由熟悉的14-,16-或20-引脚DIP封装的与门，或门，反相器，多路复用器和线路缓冲器组成。 计数寄存器和USB功能由来自Future Technology Devices International（FTDI）的80引脚MORPH-IC模块提供，该模块包含Altera Acex 1K FPGA和带有FTDI FT2232D FIFO缓冲区的USB接口。

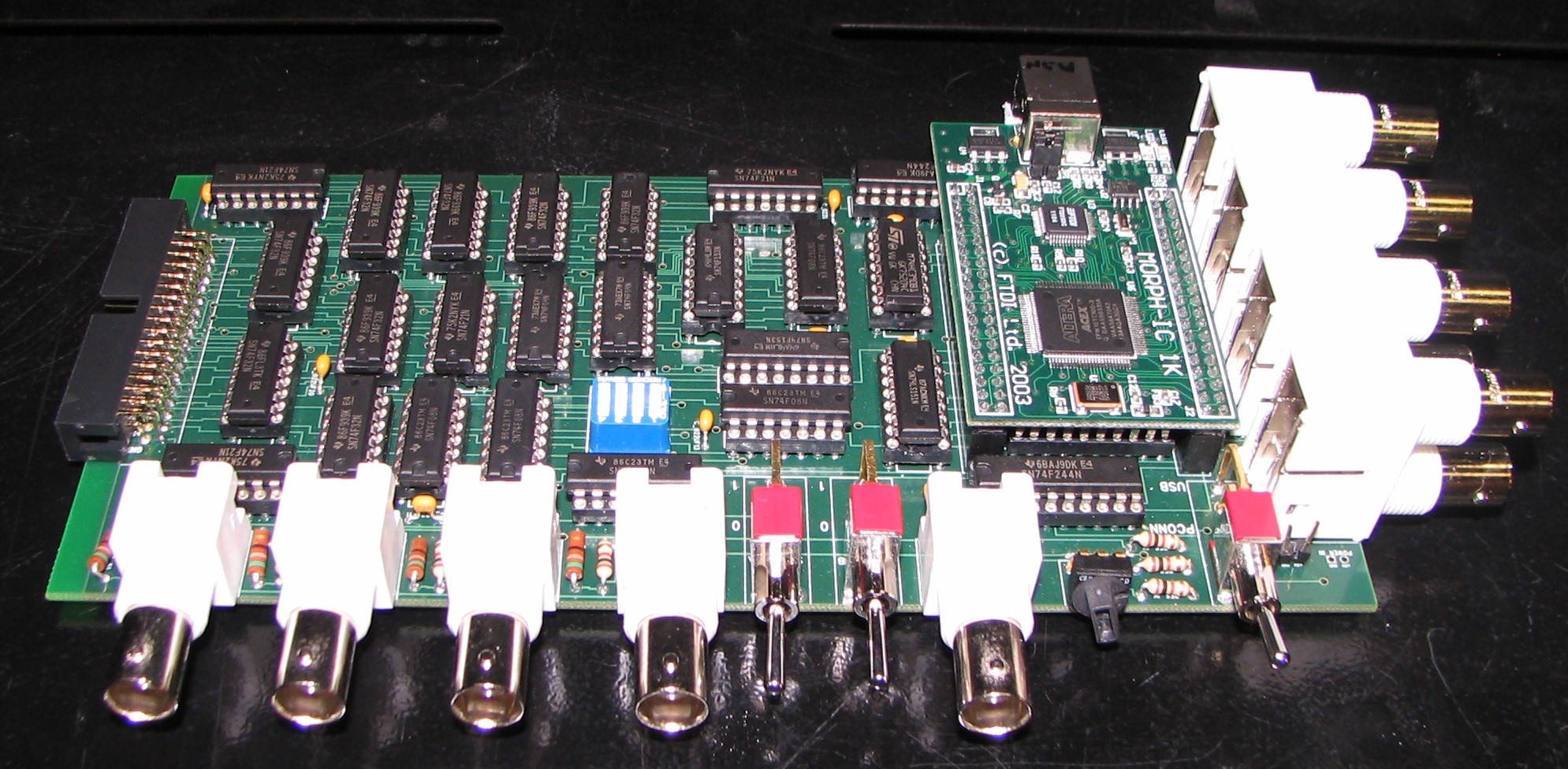


Fig. 4. 组装好的逻辑板。 BNC输入A，B，C和D位于左下方。 TTL输出1-8在最右边。 MORPH-IC模块就在这些的左边。

逻辑芯片和FPGA安装在定制的4层电路板上，如图4所示。这些电路板可以由各种在线供应商使用我们网站上免费提供的gerber文件制造。13

## 按钮控件

连接到或门的开关确定哪些符合计数是锁定按钮，带有嵌入的橙色（590 nm）LED。 开关是双刀双掷（DPDT），一个极用于控制逻辑，另一个用于控制LED。 当按下一个开关时，逻辑的中心极接地，LED点亮，表明相应的输入包含在4路AND逻辑中。

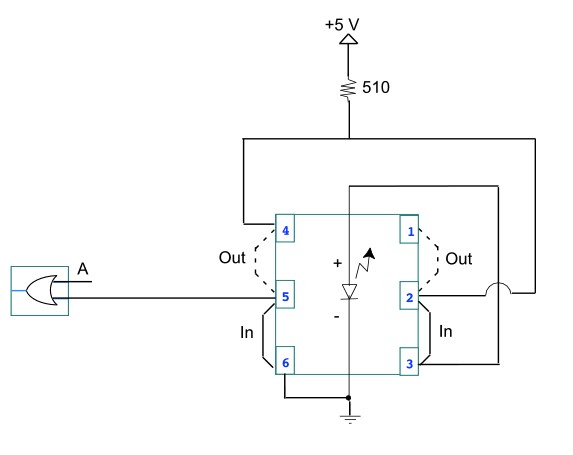


Fig. 5. 按钮接线。 当按钮为IN时，左中心极（端口5）将OR门的一个输入端接地。 这意味着在另一个或输入端的输入A被包括在符合电路中（见图2）。 为了表明这一点，通过使用右侧端口2和3将LED连接到+ 5V来点亮LED。一个510欧姆的电阻限制通过LED的电流。 当按钮为OUT时，LED不亮，OR门端口升至+5 V，从符合逻辑中移除输入A.

如图6所示，交换机以4x8的格子排列。四行对应于四个输入，八列对应八个计数器。 这样用户可以非常容易地设置（和观察）哪个计数器正在登记哪个重合。

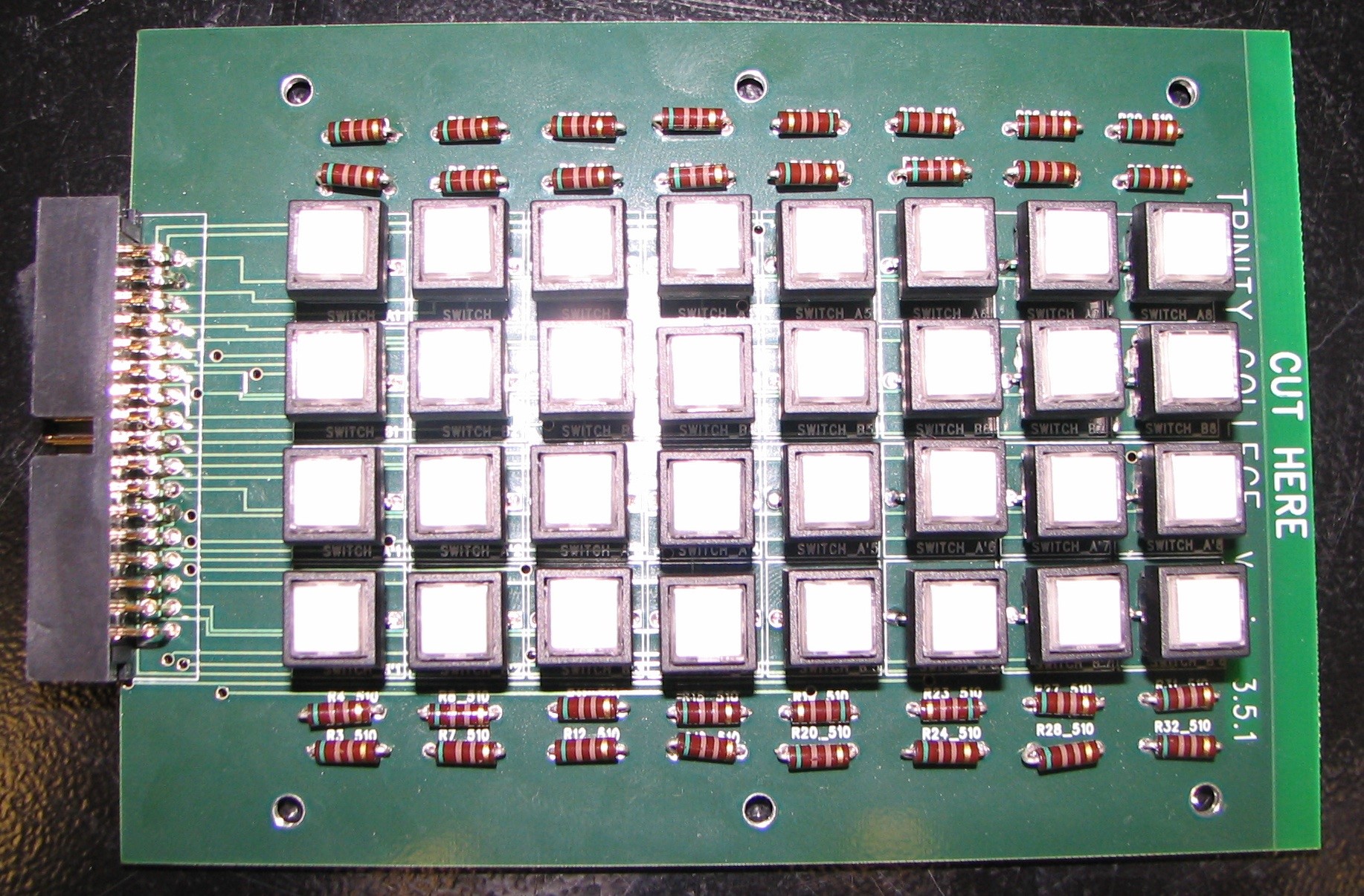


Fig. 6. 一个组装的控制板。 按钮指示，对于每个输出通道1-8（从左到右），四个输入A-D（上到下）中的哪一个在重合电路中。 每个或门的+5 V或0 V控制信号（图2）通过连接在左侧的带状连接器发送到逻辑板（图4）。

## 最终结果

逻辑板（图4）和控制板（图6）用34导体带状电缆连接在一起，并安装在工程箱中，如图7所示。

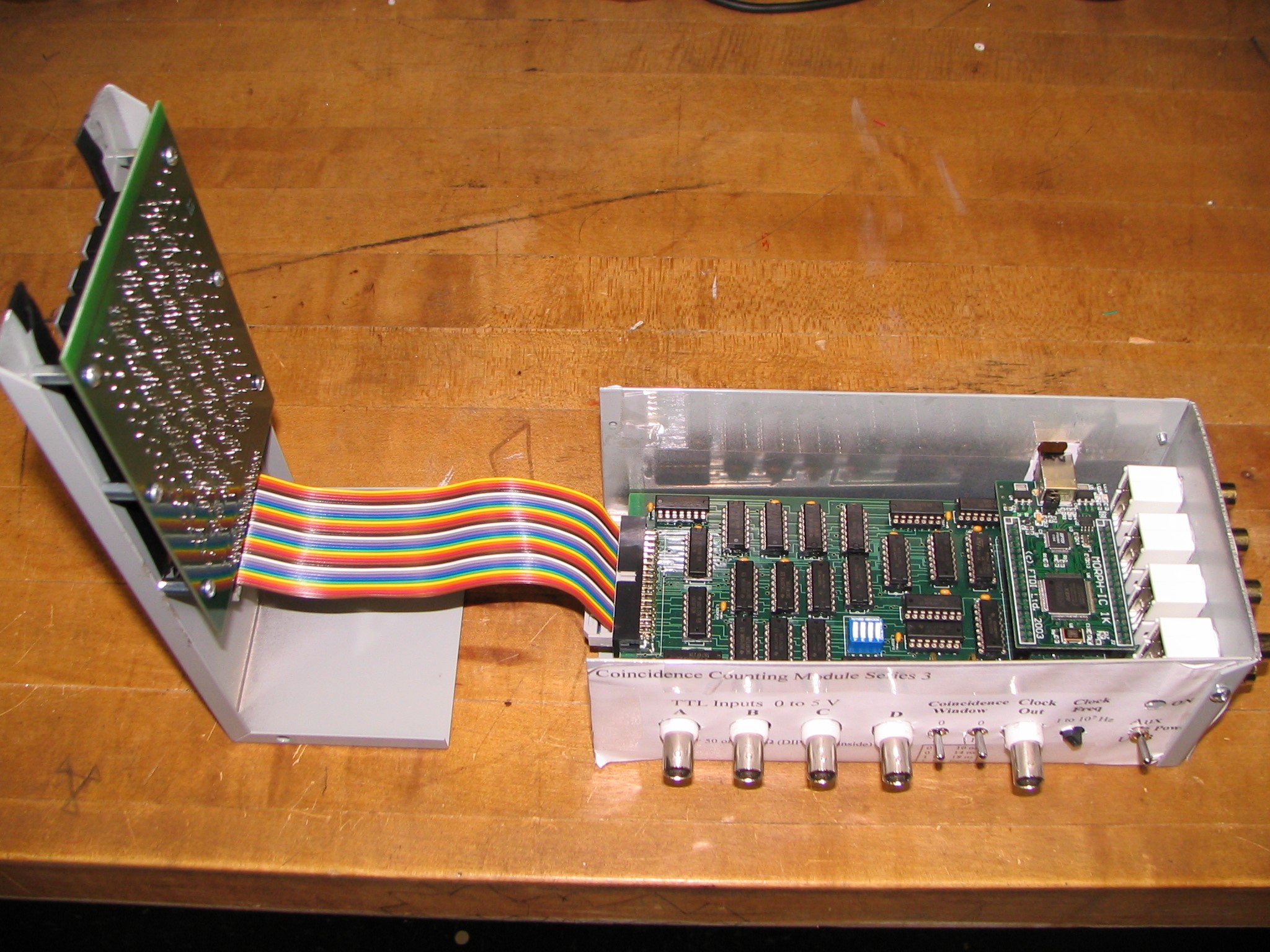


Fig. 7. 最终CCM部件.

纸张标签也可作为钻孔和切割工程箱的指导模板，作为CCM装配指南的一部分。13

## FPGA计数器操作

通过USB将预写和编译的VHDL程序闪存配置到FPGA上。该程序从FPGA中的单元创建八个（或六个）独立的计数寄存器，每个通道寄存器有16位（或20位）可用。存储在每个计数寄存器中的数字在来自4个“与”门的每个TTL脉冲的前沿增加。用户定义的计数时间（20μs到1 sec）过后，每个计数寄存器中的值被复制到一个存储寄存器，并且计数寄存器复位为零。当计数寄存器重新开始递增时，存储寄存器值被写入FIFO缓冲区。在将预定义数量的存储值写入缓冲区之后，通过USB将它们在块中传送到计算机RAM中的阵列。然后将该阵列中的计数值集合为用户定义的时间间隔，显示在计算机监视器上和/或存储到硬盘;这些任务以及VHDL程序的闪烁都是由一个免费的LabVIEW程序管理的。12

3.5 盲循环

将计数寄存器值传送到FPGA内的存储寄存器占用FPGA 50 MHz主振荡器的一个周期; 在这个0.2μs的时间间隔内，计数寄存器不能增加，因此对于任何新的TTL脉冲的到来都是“盲”的。 在每个计数时间间隔过去之后将发生一次这样的“盲循环” 因此，对于经过时间T，活动数据采集时间的真实持续时间是

*Tactive* =*T*⎡⎣1-*R*(50 *MHz*)⎤⎦ (1) 其中R是（用户选择的）数据采集速率。 R的可用值范围为1 Hz至50 kHz。

# 4. 性能

## 4.1 脉冲整形

图3中的脉冲整形电路用来自函数发生器的3V TTL信号进行测试。 对于此输入（通道A），缩短的脉冲的持续时间为7.5,9.0或11.5 ns（±0.5 ns），以半高全宽度测量，而“11”设置产生的信号比 输入脉冲。

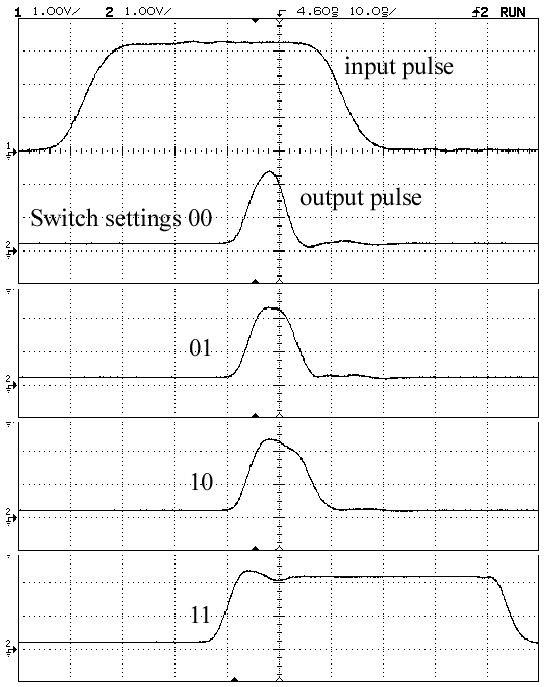


Fig. 8. 在脉冲整形电路之前和之后的脉冲轮廓，用于A和B拨动开关的不同设置。

## 4.2 计数周期性脉冲

CCM使用TTL脉冲发生器进行测试，并且能够在高达37 MHz的固定频率下计数符合而没有损失。 为此，脉冲发生器使用CCM的10 MHz时钟输出对FPGA主振荡器进行锁相，并添加相位偏移以防止输入脉冲与盲循环重合。 在37 MHz以上，盲循环无法避免，计数寄存器中的总计数正好是R计数每秒。 在74 MHz以上，每秒恰好有2R的计数丢失。 总数保持稳定，高达84 MHz; 在这个输入速率以上，符合合会波动，并且最终在147MHz下降到零，因为连续脉冲在与门的上升/下降时间内重叠。

由于符合和单通道计数通过不同的逻辑门发送到FPGA，由于门的上升和下降时间的芯片间变化，它们可能在稍微不同的时间到达计数寄存器输入端。 对于与CCM同步的周期性脉冲串，可能会发现一些单通道计数在盲循环期间到达FPGA，而所有的符合计数都会避开它们。 这会导致奇怪的结果：比单信道事件计数更多的符合。 FPGA计数例程的这个伪迹不会影响在TTL输出端产生的单通道和一致性计数脉冲。 可以通过将脉冲序列相对于10MHz时钟信号进行相移来克服。

## 4.3 8通道符合

为了测试多个模块的可扩展性，来自发生器的锁相脉冲被复制出为八个副本，并被传送到两个独立的CCM的输入端。 来自每个CCM的4路符合TTL输出被馈送到第三CCM来进行符合计数，如图9所示。

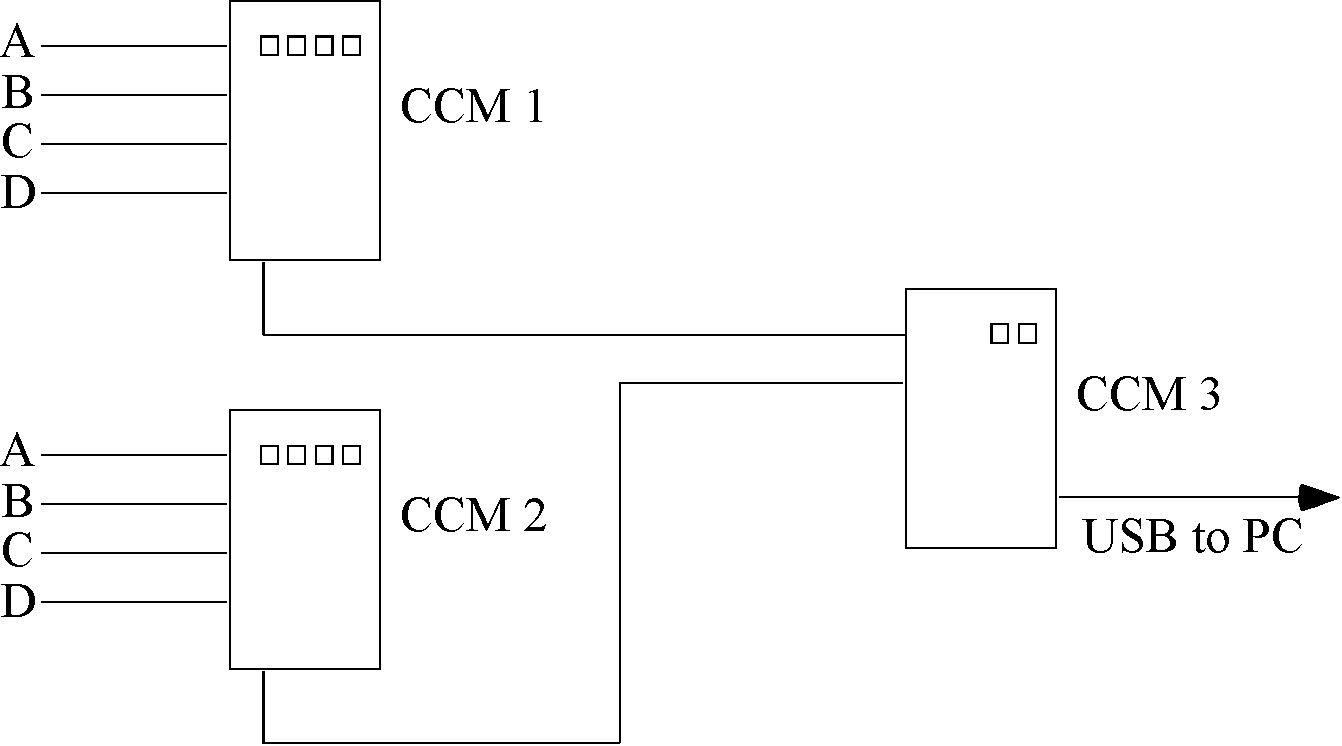
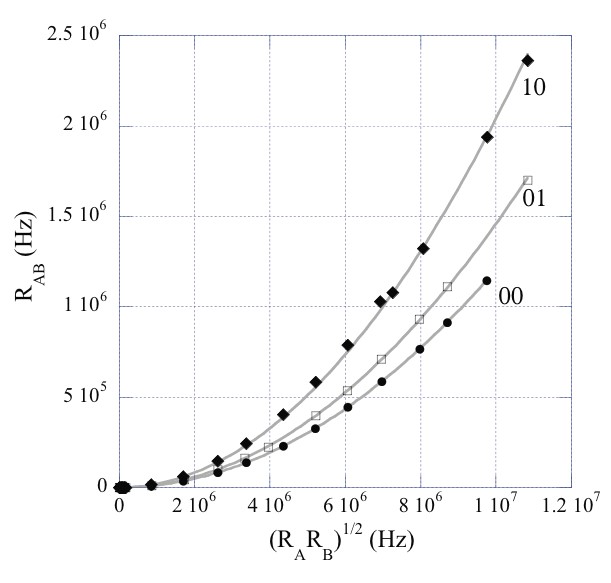
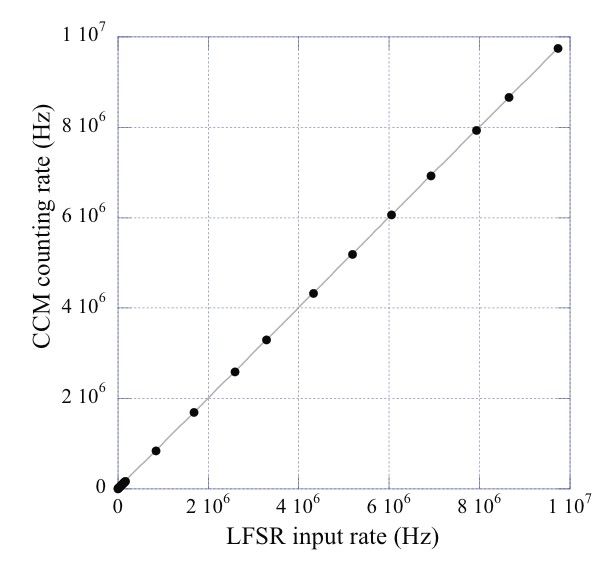


Fig.9. 用来计算8通道符合的3个CCM的配置。

以这种方式，第三个CCM能够以高达30 MHz（扇出限制）的速率记录高达八个通道的符合计数，而没有损失。

## 4.4伪随机脉冲

CCM还用来自线性反馈移位寄存器（LFSR）的脉冲进行测试，该线性反馈移位寄存器（LFSR）产生可控平均速率高达10MHz的伪随机二进制TTL输出。 图10a显示了所有四个输入通道的CCM的单通道响应。 伪随机输入脉冲是用外部50MHz计数器独立计数的。观察到CCM精确计数输入脉冲，一直到LFSR的最大输出速率。



(

)

a

b

(

)

Fig. 10. (a) CCM中的平均单通道计数率相对于来自LFSR的平均输入脉率，在10秒间隔期间获得。 y = mx形式的最小二乘拟合（实线）产生m = 1.002±0.002。 （b）对于脉冲宽度设置00,01和10，作为的函数，在CCM中针对通道A和B上的伪随机输入速率RA和RB的一致性率R AB。实线是拟合 的形式y =τcx2符合方程（2）. 在其他输入通道中观察到类似的结果。

符合时间是使用两对独立的LFSR在输入对上测量的。 对于在输入A和B中具有平均速率*RA* 和 *RB* 随机到达脉冲，符合率*RAB*由下式给出

 (2)

其中τc是符合时间，等于脉冲持续时间τ的两倍减去足够重叠所需的一小部分。 14数据的单参数拟合如图10b（2）所示，对于跳变位置00,01和10产生τc = 12.033±0.006ns，14.56±0.02ns和20.38±0.09ns的值。

## 4.5 来自随机光子事件的脉冲的计数

使用两个SPCM和来自激光器的散射光（其应在两个检测器处产生独立的，随机的光子流）来测量符合时间，通过Eq.（2）产生τc= 12.140±0.007ns，14.133±0.008ns和21.47±0.014 ns。 由于输入脉冲高度和SPCM形状的差异，这些符合时间与LFSR测量的符合时间略有不同。

考虑到脉冲整形电路输出脉冲的持续时间，两种方法测得的τc值与我们预期的时间一致。 请注意，由于CCM元件中的芯片到芯片的变化，对于不同的探测器对之间的一致性，符合时间可能略有不同，但是对于固定的一对探测器，符合时间不随时间变化。

# 5. 总结

对于不需要单个光子检测的时间标记的应用，我们的CCM提供了一些有吸引力的功能。 它需要四个输入，并在八个计数通道上确定用户可选择的2,3或4通道重合（或单通道计数）。 CCM具有84 MHz的最高计数率，其符合分辨率精确到12 ns。 此外，几个CCM可以级联在一起，以计算N个输入之间的任意M阶重合。 由于其体积小，成本低，用户界面直观，CCM也非常适合本科物理实验室。

# 6. 致谢

我们感谢David Ahlgren，Sagar Bhandari，John Bower，Brandon Clary，Adam Katcher，Sarthak Khanal，Larry North， Steve Petkovsek，Young Ho Shin，Wayne Strange和Jared Zimmerman在设计，装配和测试方面提供帮助。这项工作由美国宇航局通过康涅狄格空间格兰特学院联盟支持。

## REFERENCES

1. J. Gea-Banacloche, “Optical Realizations of Quantum Teleportation,” Prog. Optics 46, 311-353 (2004).
2. Kok, P., Munro, W. J., Ralph, T. C., Dowling, J. P., Dowling, and Milburn, G. J., “Linear optical quantum computing with photonic qubits,” Rev. Mod. Phys 79, 135-174 (2007).
3. Scarani, V., Bechmann-Pasquinucci, H., Cerf, N., Dusek, M., Lütkenhaus, N., and Peev, M., “The security of practical quantum key distribution,” Rev. Mod. Phys. 81, 1301-1350 (2009).
4. Gaertner, S., Weinfurter, H., and Kurtsiefer, C., “Fast and compact multichannel photon coincidence unit for quantum information processing,” Rev. Sci. Instrum. 76, 123108 (2005).
5. Stumner, A., “Coincidence Counter,” http://www.physics.utoronto.ca/~astummer/pub/mirror/Projects/index.html
6. Polyakov, S., Migdall, A., Nam, S. W., “FPGA-based multicoincidence recipe and software,” (November 24 2009), http://www.nist.gov/pml/div684/grp03/multicoincidence.cfm
7. Felekyan, S., Kuhnemuth, R., Kudryavtsev, V., Sandhagen, C., Becker, W., and Siedel, C. A. M., “Full correlation from picoseconds to seconds by time-resolved and time-correlated single photon detection,” Rev. Sci. Instrum. 76, 083104 (2005).
8. Wahl, M., Rahn, H-J., Gregor, I., Erdmann, R., and Enderlein, J., “Dead-time optimized time-correlated photon counting instrument with synchronized, independent timing channels,” Rev. Sci. Instrum. 78, 033106 (2007).
9. Acremann, Y., Chembrolu, V., Strachan, J.P., Tyliszczak, T., and Stohr, J., “Software defined photon counting system for time resolved x-ray experiments,” Rev. Sci. Instrum. 78, 014702 (2007).
10. Dehlinger, D., and Mitchell, M. W., “Entangled photon apparatus for the undergraduate laboratory,” Am. J. Phys. 70, 898-901 (2002).
11. Branning, D., Bhandari, S., and Beck, M., “Low-cost coincidence-counting electronics for undergraduate quantum optics,” Am. J. Phys 77, 667-670 (2009).
12. Branning, D., Khanal, S., Shin, Y.H., Clary, B., and Beck, M., “Note: Scalable multiphoton coincidence-counting electronics,” Rev. Sci. Instrum. 82, 016102 (2011)
13. Branning, D., http://www.trincoll.edu/~dbrannin/Coincidence%20Counting/CoincidenceHome.htm [14] Eckart, C., and Shonka, “Accidental Coincidences in Counter Circuits,” Phys. Rev. 53, 752-756 (1938).