综合论文训练开题报告

题目：**基于时间数字转换模块的符合计数器**

系 别： 电子工程系

专 业： 电子科学与技术

姓 名： 宾光祥

指导教师： 马晓红

2017年12月17日

# 选题背景

符合计数：一对粒子在时间上高度相关则称为符合，对这样的粒子对的记录就是符合计数。用于完成符合计数功能的装置即符合计数器。符合测量方法被广泛的应用于宇宙射线、核物理、量子力学等粒子物理学的研究中。符合计数器通常是对粒子（单光子）探测器产生的电信号脉冲进行符合判定。常用的判定方法有延时法和非延时法。

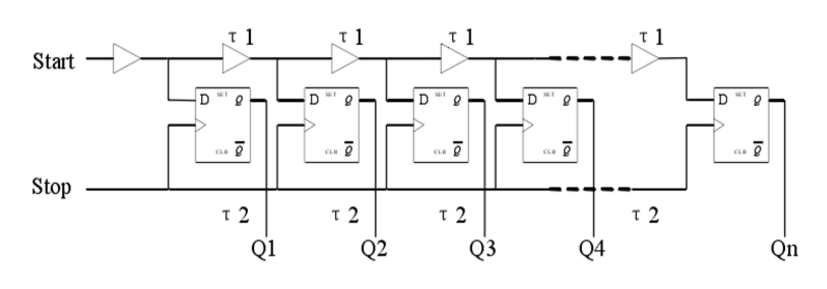


延时法符合计数：对一个通道的信号进行延迟产生延迟信号，这两路信号的脉冲之间如果二通道出现了脉冲则计数。

非延时法符合计数（使用）：录两通道的脉冲到达具体时间，计算时间差，与设定的阈值进行比较，小于阈值则计数。



延时法符合计数

时间数字转换（TDC）：使用一组延迟单元对信号进行多次延迟，每个延迟单元配合一个触发器，当时钟脉冲结束后，触发器可以记录延迟多少个时间单位，也就是stop信号相对于start信号落后的时间，从而实现将时间转化为数字的测量。这种测量方法的精度取决于延迟单元的延迟时间。

# 整体方案设计



单光子探测器的脉冲经过整形后进行计时，计算出脉冲的间隔时间，与阈值进行比较来计数。最后将结果使用串口通信协议输出到PC端查看。

# 具体工作内容

主要模块分为：

1.计时模块和计算比较模块

2.串口通信模块

3.主控模块

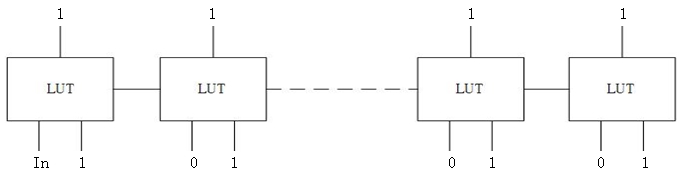
4.PC端控制程序

FPGA模块使用lattice芯片的STEP FPGA（小脚丫）。

计时模块是最重要的核心模块。



使用进位链作为细计时的延时单元：将输入信号与111…111（二进制）进行加法运算。当输入信号为0，输出全为1。当输入信号为1时，第一个加法输出为0并且进位为1，第二个加法把进位与1相加也获得0输出1进位。最终输出依次变为0，每个带进位的加法相当于一个延时单元。



使用时钟来进行进位链细计时的锁存触发。

同时也使用时钟进行粗计时，最终的间隔时间为 时钟周期\*粗计时+延时单元时间\*细计时

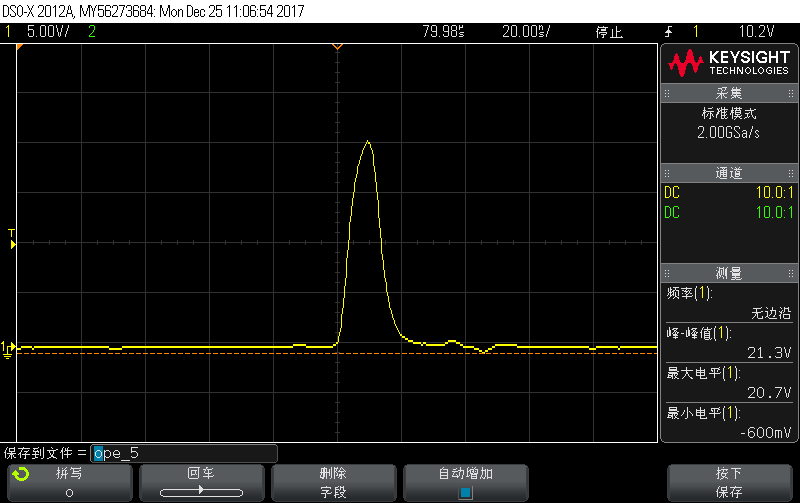
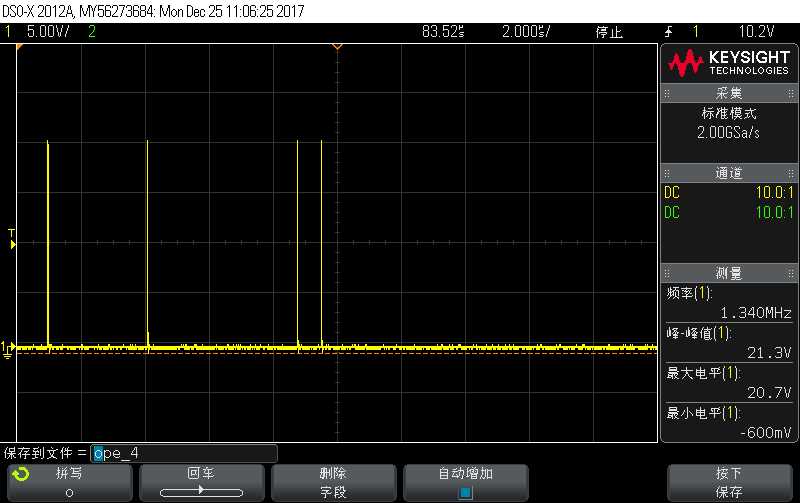
计时模块要求：进位链总延时不小于时钟周期，时钟周期不大于信号脉宽



# 准备工作

1.完成光量子信息实验，获取了正常实验状态（非强光）下单光子探测器的输出波形。单个光子产生的脉宽约为17ns，临近光子之间时间差一般在μs级，远大于脉宽。

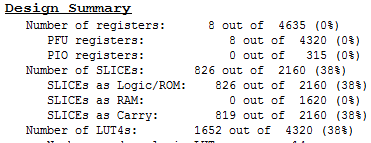
由于采用时钟粗计时，所以时钟周期需要小于17ns。

2. 学习使用STEP FPGA，调用lattice芯片里的进位链资源。由于综合程序会把进位加法器优化成为单个加法，需要对综合程序进行约束。

对代码逻辑进行了估计，在只有单条800位进位链下需要占据38%的逻辑资源，在没有进位链只是用单个加法器代替进位链下占用资源只有5%（不包括串口通信）。

考虑单个进位链延时约为75ps，800位已经约为60ns，可以认为在时钟频率能到达100MHz时芯片的逻辑资源是足够使用的。

单条800位进位链时资源占用

# 预计结果

PC程序使用C#编写（有串口通信包，图形界面编写简单）。



硬件部分：一台完整的台式符合计数器，内部包含脉冲整形模块、FPGA、串口模块。使用USB与PC进行连接。

# 进度安排

去年11月中~1月末：文献调研与方案设计

2月末~3月末：完成FPGA与PC间的串口通信，这是之后各模块测试的核心。处理好FPGA的时钟问题（尝试使用sysCLOCK PLL解决，如果不行则使用外置高频晶振）。

3月末~4月底：完成计时模块，使用函数信号发生器等装置模拟输入， 对计时数据采样后在PC端查看是否正确。测试时顺便优化PC端程序。

5月~5月中：完成计算比较模块和脉冲整形模块，建立主控模块对FPGA的所有模块进行整合并测试。

5月中~：撰写论文准备答辩。

# 参考文献

Branning D, Bhandari S, Beck M. Low-cost Coincidence-counting Electronics for undergraduate quantum optics[J]. American Journal of Physics, 2009,77(7):667-670.

裴任. 基于FPGA的高精度符合计数器设计[D].南京邮电大学,2013.

董续胜. 多通道高精度符合计数器的研究与设计[D].电子科技大学,2016.