

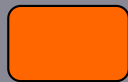
# **William Stallings**

## **Arquitetura e Organização de Computadores**

### **8ª Edição**

## **Capítulo 5**

### **Memória interna**



Os textos nestas caixas  
foram adicionados pelo  
Prof. Joubert



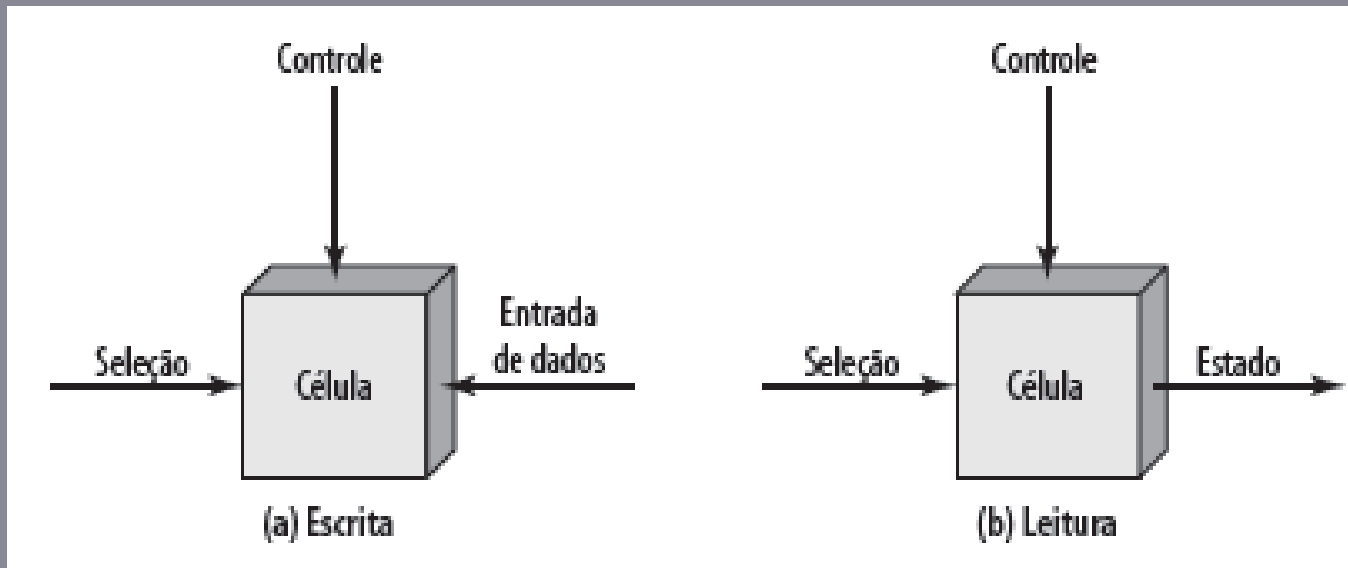
# Tipos de memória de semicondutor

Tipo de memória	Categoria	Apagamento	Mecanismo de escrita	Volatilidade
Memória de acesso aleatório (RAM)	Memória de leitura-escrita	Eletricamente, em nível de byte	Eletricamente	Volátil
Memória somente de leitura (ROM)	Memória somente de leitura	Não é possível	Máscaras	Não volátil
ROM programável (PROM, do inglês <i>programmable ROM</i> )			Eletricamente	
PROM apagável (EPROM, do inglês <i>erasable PROM</i> )	Memória principalmente de leitura	Luz UV, nível de chip		
PROM eletricamente apagável (EEPROM, do inglês <i>electrically erasable PROM</i> )		Eletricamente, nível de byte		
Memória flash		Eletricamente, nível de bloco		

## Memória de semicondutor

- RAM :
  - Nome incorreto, pois toda memória de semicondutor tem acesso aleatório.
  - Leitura/escrita.
  - Volátil.
  - Armazenamento temporário.
  - Estática ou dinâmica.

## Operação da célula de memória



## RAM dinâmica

- Bits armazenados com carga em capacitores.
- As cargas vazam.
- Precisa de renovação mesmo se alimentada.
- Construção mais simples.
- Menor por bit.
- Mais barata.
- Precisa de circuitos de *refresh*.
- Mais lenta.
- Memória principal.
- Dispositivo basicamente analógico.
  - Nível de carga determina o valor.

## Estrutura da RAM dinâmica



## Operação da DRAM

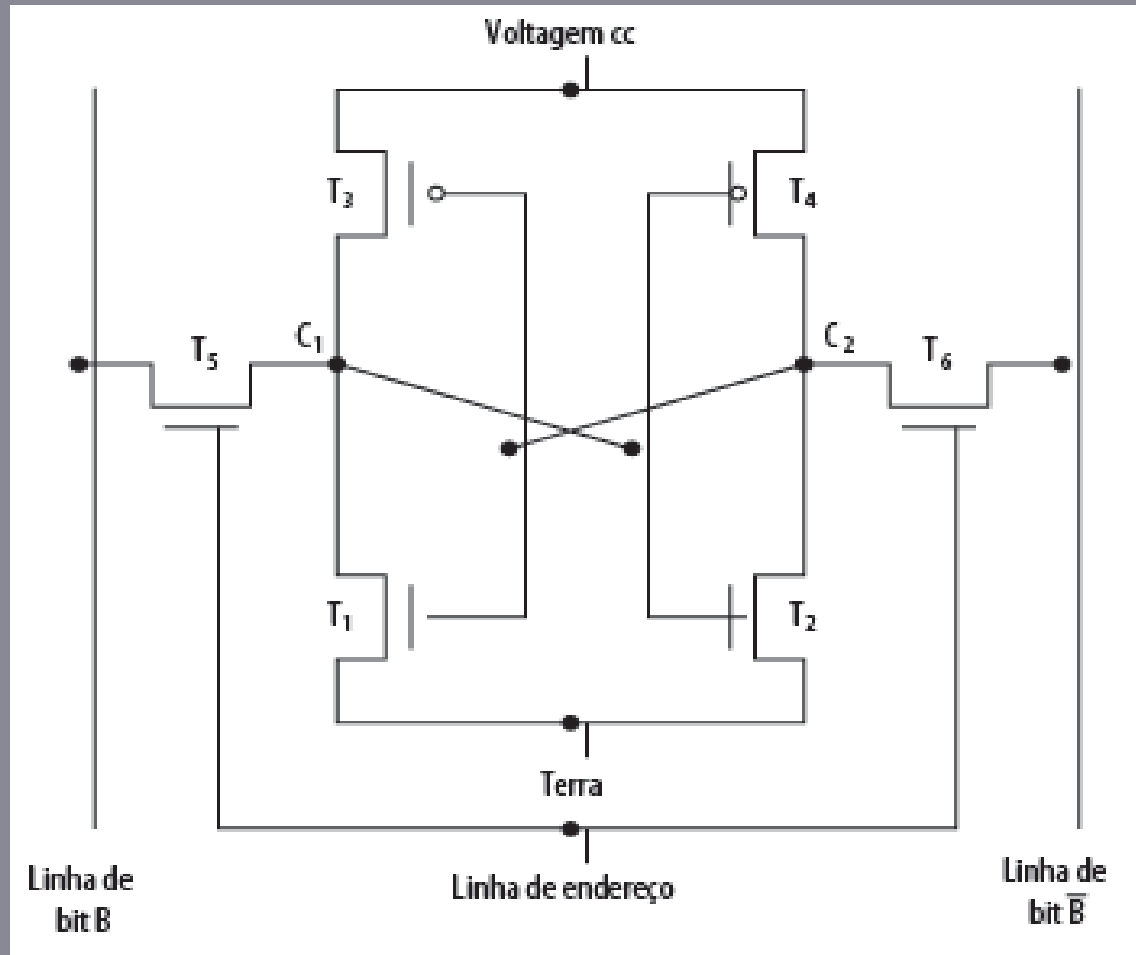
- Linha de endereço ativa quando bit é lido ou escrito.
  - Chave de transistor fechada (corrente flui).
- Escrita:
  - Voltagem na linha de bit.
    - Alta para 1 baixa para 0.
  - Depois sinaliza linha de endereço.
    - Transfere carga ao capacitor.
- Leitura:
  - Linha de endereço selecionada.
    - Transistor liga.
  - Carga do capacitor alimentada por linha de bit para amplificador comparar.
    - Compara com valor de referência para determinar 0 ou 1.
  - Carga do capacitor deve ser restaurada.

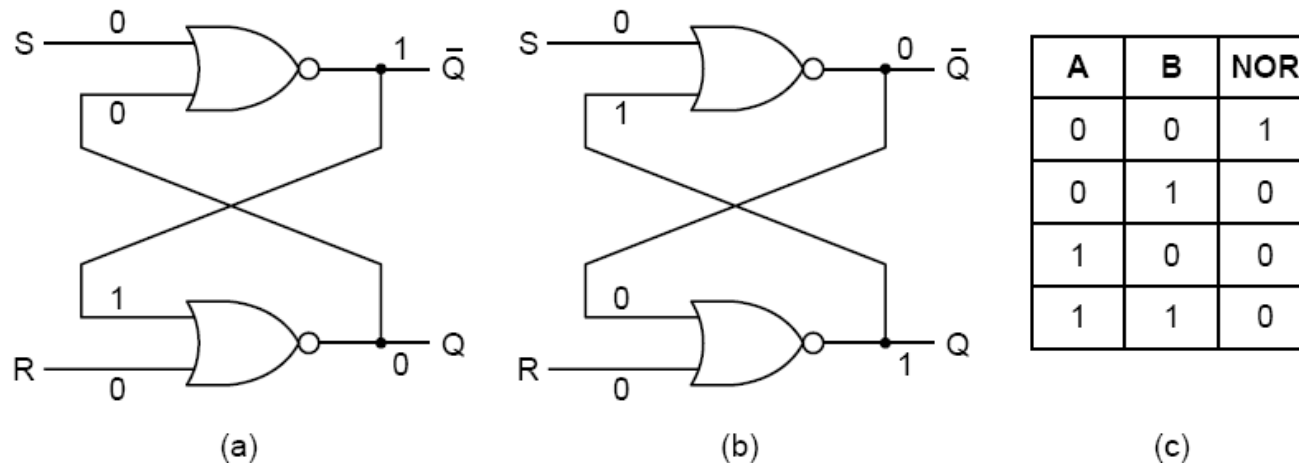
## RAM estática

- Bits armazenados como chaves ligado/desligado.
- Sem carga para vaziar.
- Não precisa de *refresh* quando alimentada.
- Construção mais complexa.
- Maior por bit.
- Mais cara.
- Não precisa de circuitos de *refresh*.
- Mais rápida.
- Cache.
- Digital.
  - Usa flip-flops.



## Estrutura da RAM estática





**Figure 3-22.** (a) NOR latch in state 0. (b) NOR latch in state 1. (c) Truth table for NOR.

Assim se projeta desde registradores até memórias de grande capacidade de armazenamento

## SRAM *versus* DRAM

- Ambas voláteis.
  - É preciso energia para preservar os dados.
- Célula dinâmica:
  - Mais simples de construir, menor.
  - Mais densa.
  - Mais barata.
  - Precisa de *refresh*.
  - Maiores unidades de memória.
- Estática:
  - Mais rápida.
  - Cache.

## Read Only Memory (ROM)

- Armazenamento permanente.
  - Não volátil.
- Microprogramação (veja mais adiante).
- Sub-rotinas de biblioteca.
- Programas do sistema (BIOS).
- Tabelas de função.

## Tipos de ROM

- Gravada durante a fabricação:
  - Muito cara para pequenas quantidades.
- Programável (uma vez):
  - PROM.
  - Precisa de equipamento especial para programar.
- Lida “na maioria das vezes”:
  - Erasable Programmable (EPROM).
    - Apagada por UV.
  - Electrically Erasable (EEPROM):
    - Leva muito mais tempo para escrever que para ler.
  - Memória flash:
    - Apaga memória inteira eletricamente.

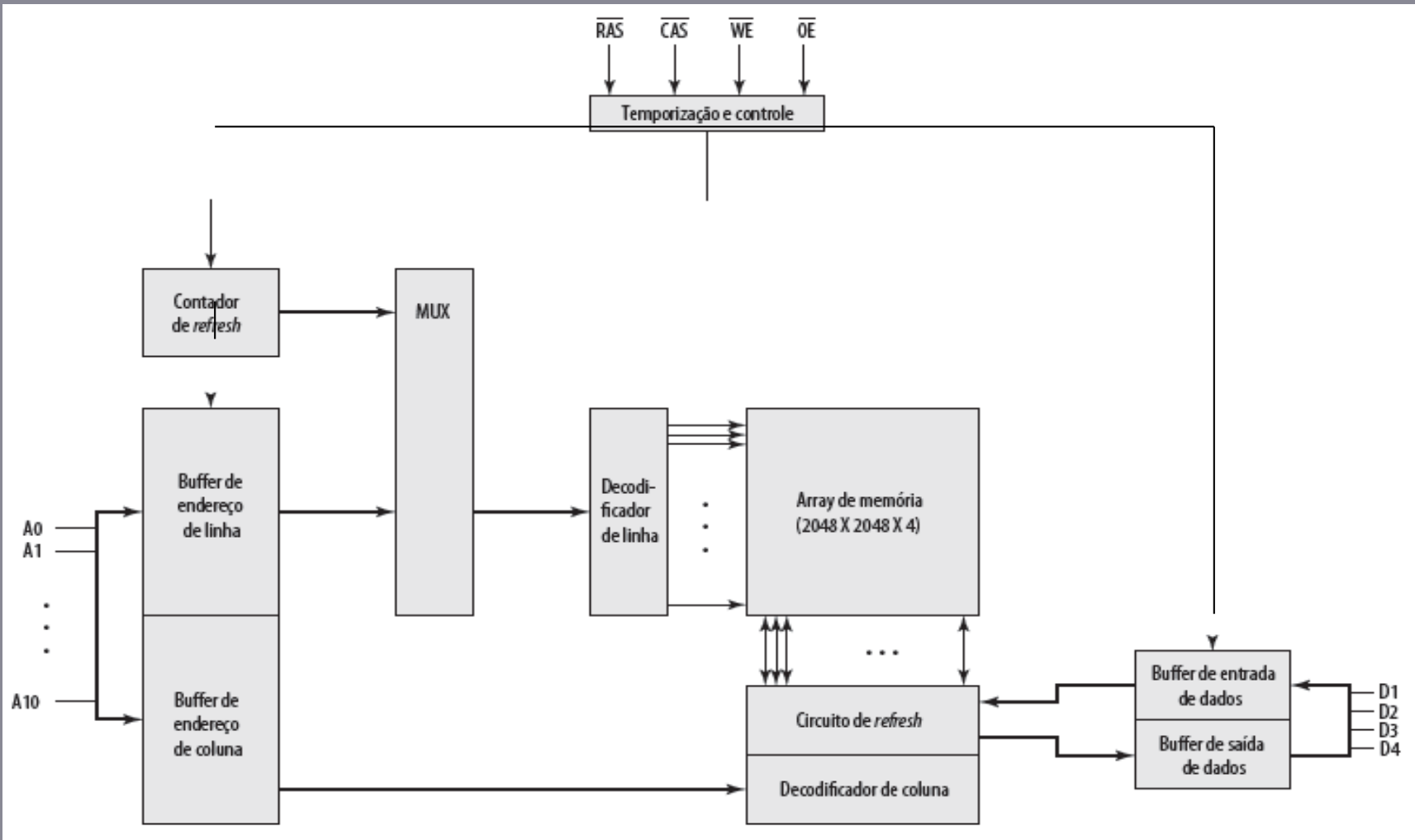
## Organização em detalhes

- Um chip de 16 Mbits pode ser organizado como 1M de palavras de 16 bits.
- Um chip de 16 Mbits pode ser organizado como um array de 2048 x 2048 x 4 bits.
  - Reduz número de pinos de endereço.
    - Multiplexa endereço de linha e endereço de coluna.
    - 11 pinos para endereçar ( $2^{11}=2048$ ).
    - Aumentar um pino dobra o intervalo de valores, de modo que a capacidade multiplica por 4.

## Refreshing

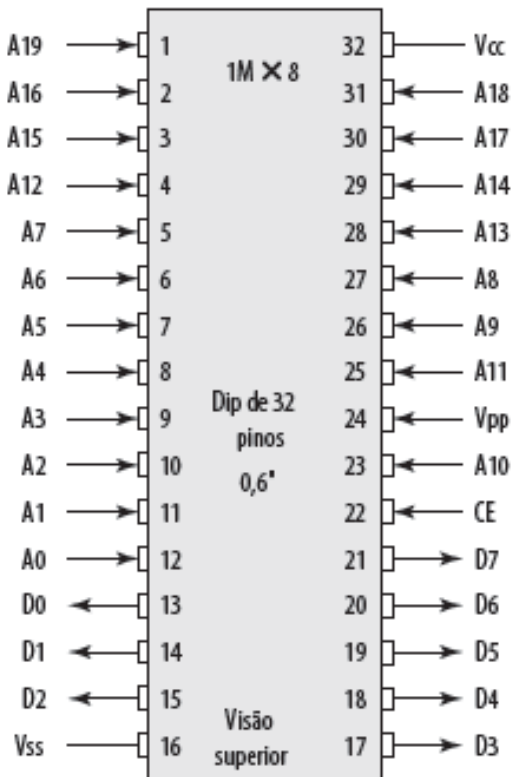
- Circuito de *refresh* incluído no chip.
- Desabilita chip.
- Conta por linhas.
- Lê e escreve de volta.
- Leva tempo.
- Atrasa o desempenho aparente.

## DRAM típica de 16 Mb (4M x 4)

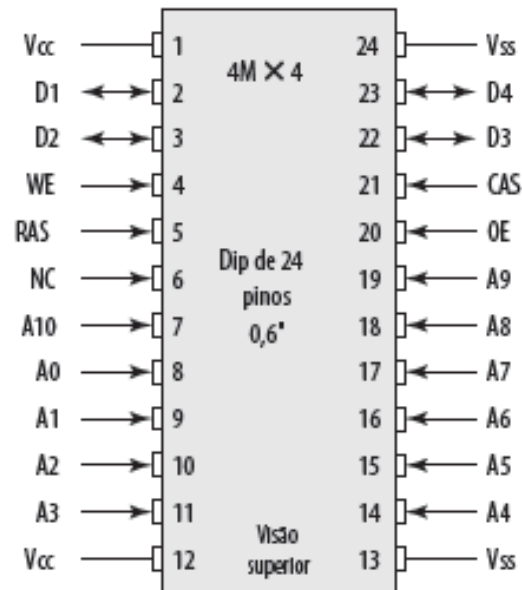




## Empacotamento

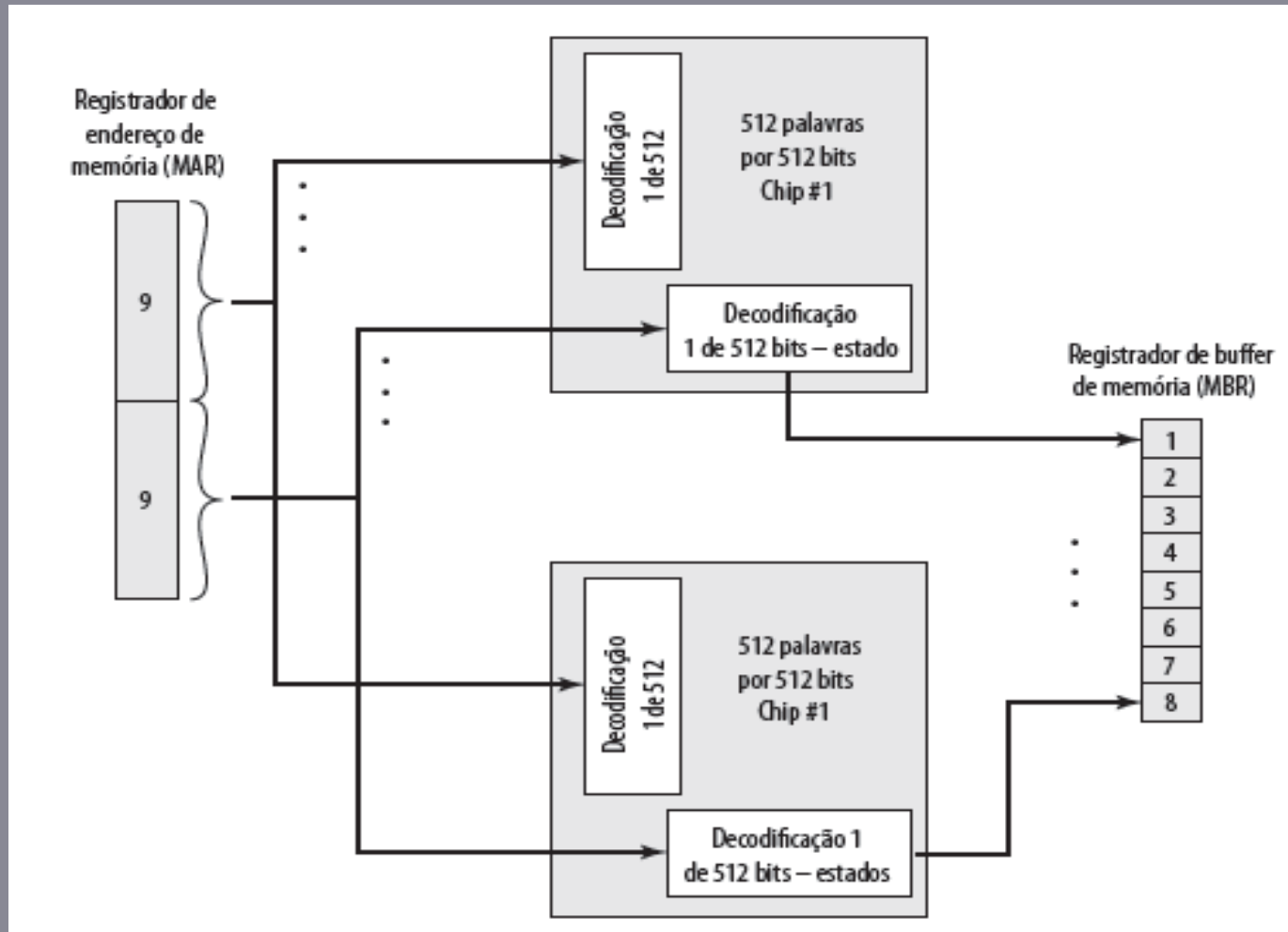


(a) EPROM de 8 Mbits

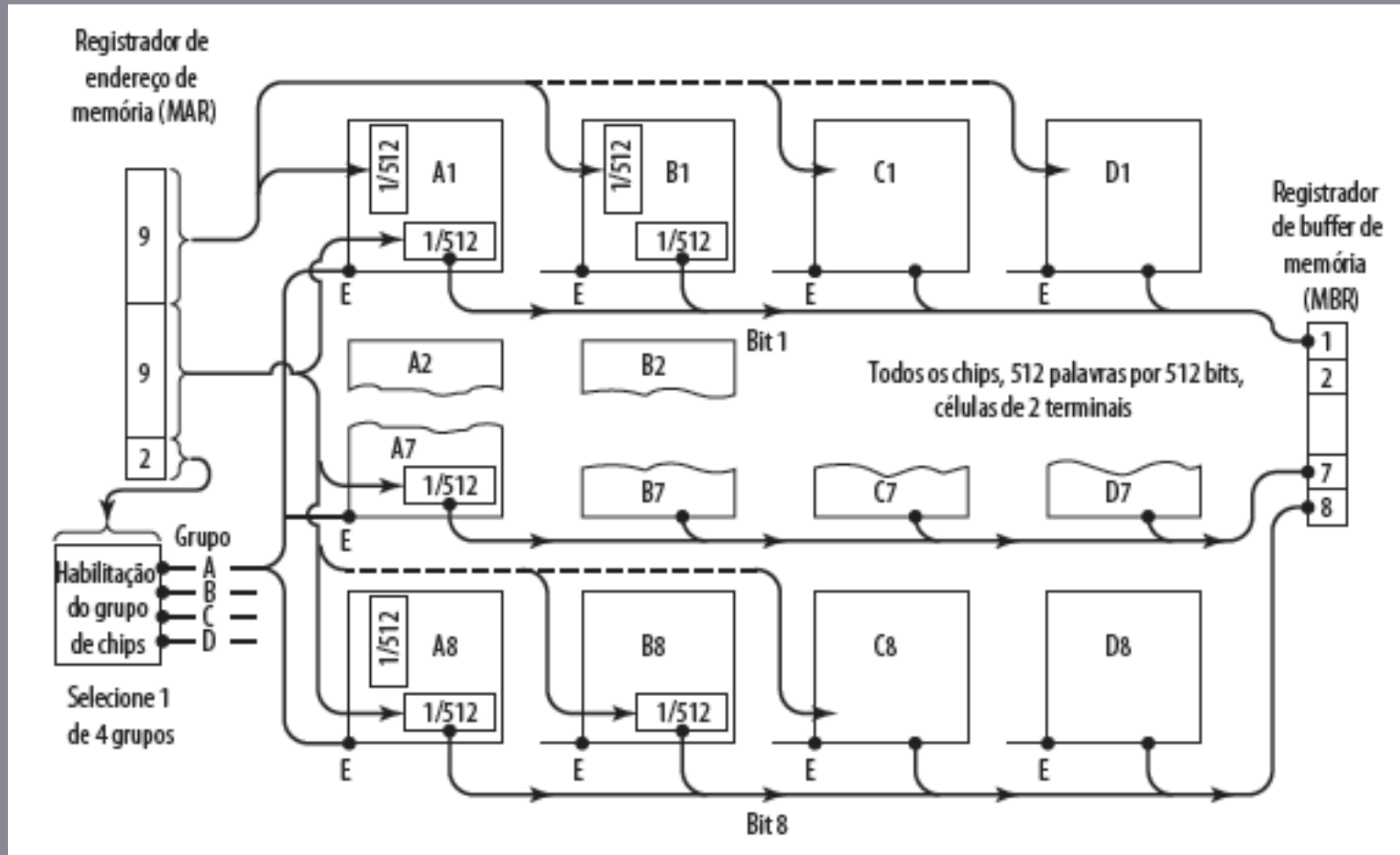


(b) DRAM de 16 Mbits

## Organização do módulo de 256 KB



## Organização do módulo de 1 MB



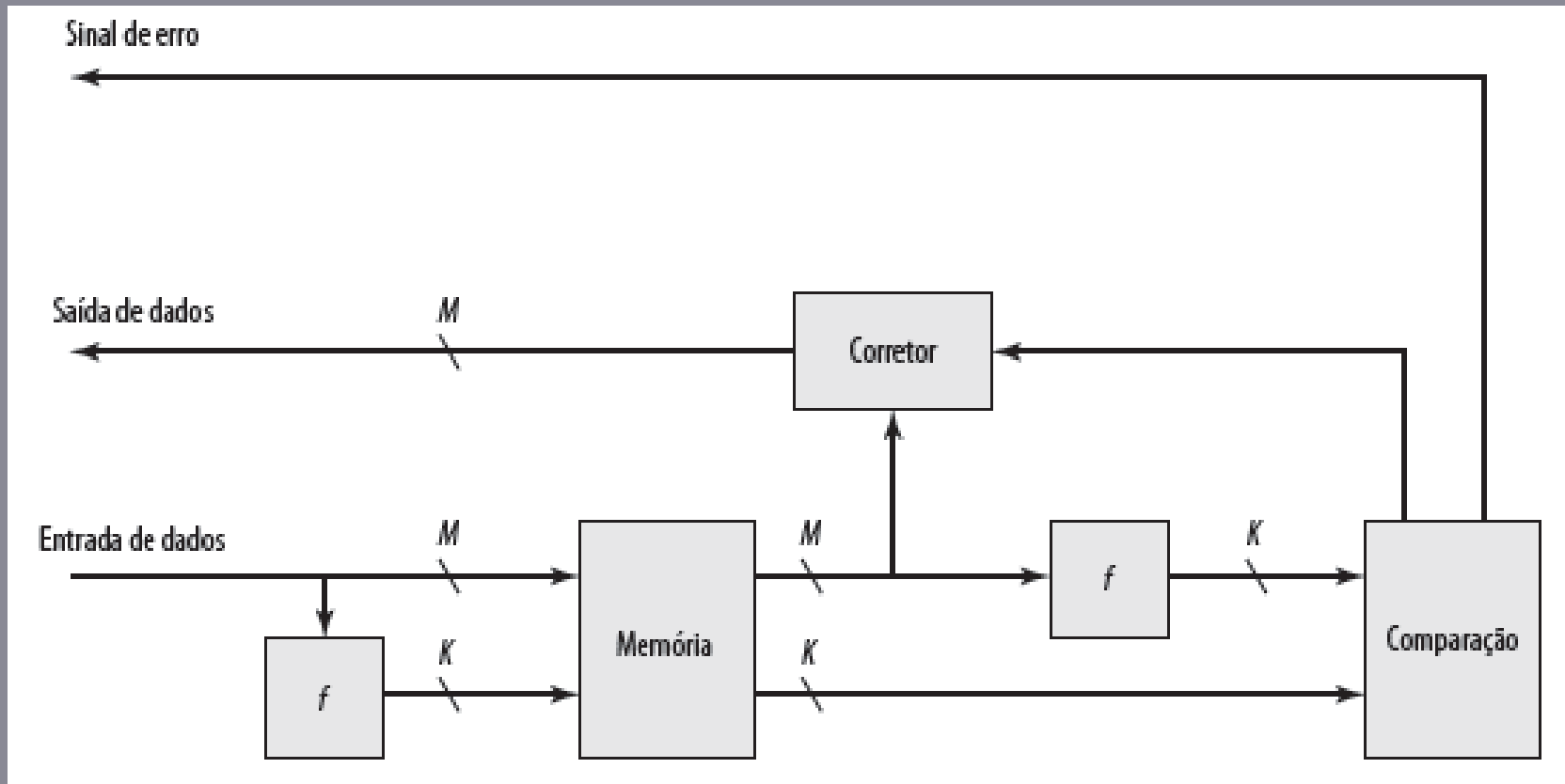
## Memória intercalada

- Coleção de chips de DRAM.
- Agrupada em banco de memória.
- Bancos atendem a solicitações de leitura ou escrita independentemente.
- K bancos podem atender a k solicitações simultaneamente.

## Correção de erro

- Falha permanente.
  - Defeito permanente.
- Erro não permanente:
  - Aleatório, não destrutivo.
  - Sem dano permanente à memória.
- Detectado usando código de correção de erro de Hamming.

## Função do código de correção de erro



# Hamming Error Correcting Code

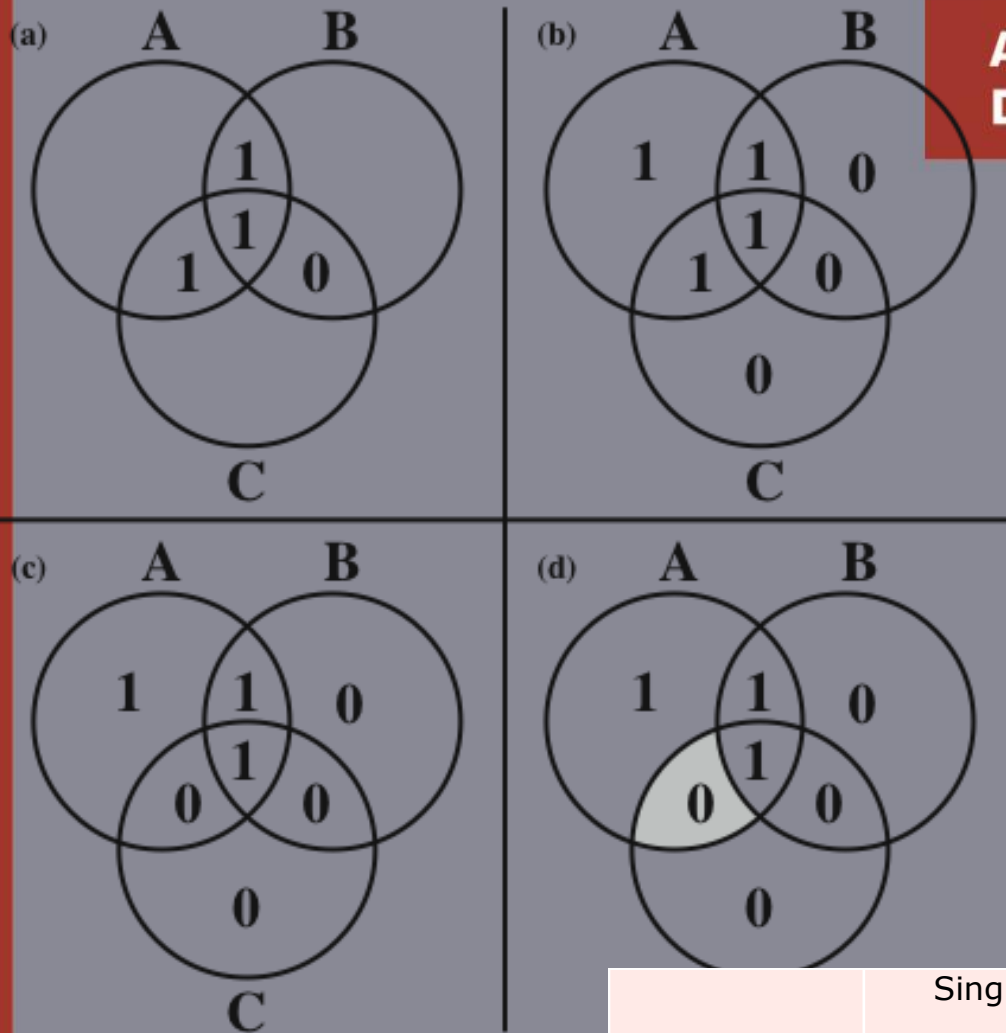


Figure 5.8 Hamming Error

Data Bits	Single-Error Correction		Single-Error Correction/ Double-Error Detection	
	Check Bits	% Increase	Check Bits	% Increase
8	4	50	5	62.5
16	5	31.25	6	37.5
32	6	18.75	7	21.875
64	7	10.94	8	12.5
128	8	6.25	9	7.03
256	9	3.52	10	3.91

ARQUITETURA E ORGANIZAÇÃO  
DE COMPUTADORES

<b>Bit Position</b>	12	11	10	9	8	7	6	5	4	3	2	1
<b>Position Number</b>	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
<b>Data Bit</b>	D8	D7	D6	D5		D4	D3	D2		D1		
<b>Check Bit</b>					C8				C4		C2	C1

**Figure 5.9 Layout of Data Bits and Check Bits**



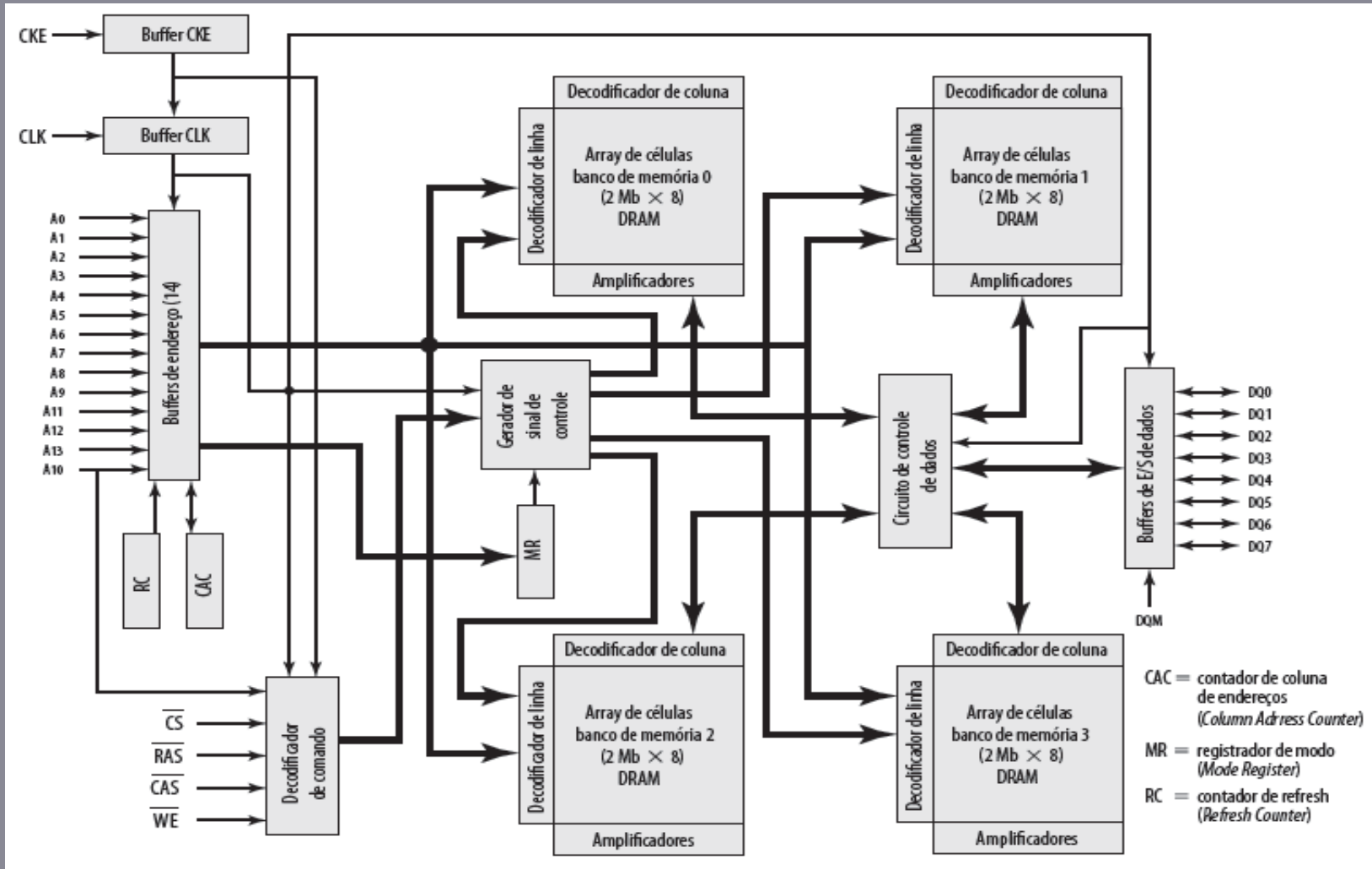
## Organização avançada da DRAM

- DRAM básica igual desde primeiros chips de RAM.
- DRAM avançada.
  - Também contém pequena SRAM.
  - SRAM mantém última linha lida (compare com cache!).
- Cache DRAM:
  - Maior componente da SRAM.
  - Usa como cache ou buffer serial.

## DRAM síncrona (SDRAM)

- Acesso sincronizado com clock externo.
- Endereço é apresentado à RAM.
- RAM encontra dados (CPU espera na DRAM convencional).
- Como a SDRAM move dados em tempo com o clock do sistema, CPU sabe quando os dados estarão prontos.
- CPU não precisa esperar, e pode fazer alguma outra coisa.
- Modo de rajada permite que SDRAM defina fluxo de dados e o dispare em bloco.
- DDR-SDRAM envia dados duas vezes por ciclo de clock (transição de subida e descida).

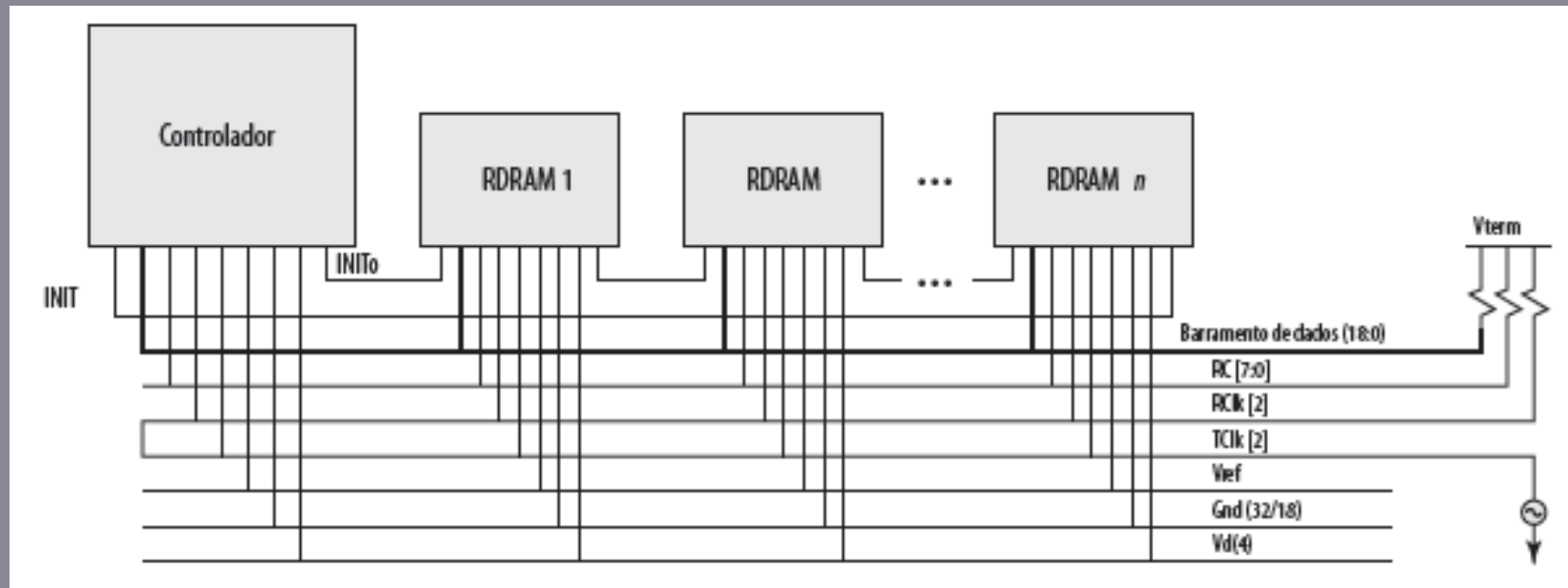
## SDRAM



## RAMBUS

- Adotada pela Intel para Pentium & Itanium.
- Concorrente principal da SDRAM.
- Pacote vertical – todos os pinos em um lado.
- Troca de dados por 28 fios < cm.
- Barramento endereça até 320 chips RDRAM a 1,6Gbps.
- Protocolo de bloco assíncrono:
  - Tempo de acesso de 480ns.
  - Então, 1,6 Gbps.

## Estrutura da RAMBUS



## DDR – SDRAM

- SDRAM só pode enviar dados uma vez por ciclo de clock.
- Double-data-rate SDRAM pode enviar dados duas vezes por ciclo de clock.
  - Transição de subida e transição de descida.

## Cache DRAM

- Mitsubishi.
- Integra pequena cache SRAM (16 kb) no chip de DRAM genérico.
- Usada como cache verdadeira.
  - linhas de 64 bits.
  - Efetiva para acesso aleatório comum.
- Para admitir acesso serial de bloco de dados.
  - Por exemplo, ao renovar tela de mapa de bits.
    - CDRAM pode previamente buscar os dados da DRAM no buffer de SRAM.
    - Acessos subsequentes unicamente à SRAM.

## **Leitura**

- The RAM Guide
- RDRAM