



Procesorul MIPS16, PIPELINE

Raport de activitate

CIOBAN FABIAN-REMUS

GR:30223



Raport

Modificări porticulare pentru instrucțiunile alese exemplare

Instrucțiunile alese exemplare nu au suferit modificări porticulare de la transformarea procesorului MIPS ciclu unic în varianta pipeline.

↓ Hazard structural:

Rezolvarea hazardurilor ⇒ soluționare: modificarea

Program original: blocul de registre RF a.i.
scrierea sa ala loc la mijlocul
perioadei de ceas (front descrescator)

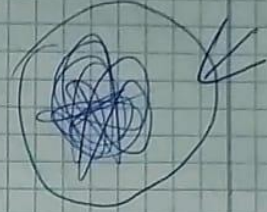
- Identificare hazard:
- între instr 1 și 2: hazard de date de tip RAW după registrul \$2 ⇒ soluționare: introducere 2 NOP-uri între ele
 - între instr 4 și 5: hazard de date după registrul \$3 ⇒ soluționare: introducerea 2 NOP-uri între ele
 - între instr 5 și 6: hazard de date de tip RAW după registrul \$6 ⇒ soluționare: introducere 2 NOP-uri între ele
 - între instr 3, 6 și 9: hazard de control; instr 3 și 6, inst de salt condiționat ⇒ soluționare: introducere 3 NOP-uri după instr în cadrul cărora s-a regăsit hazard. Instr 9 de salt necondiționat ⇒ soluționare: inserare 1 NOP pentru a soluționa hazard de control



```

maxim = A[0];
for (i=0; i<=9)
    if (A[i] > maxim)
        maxim = A[i];
return maxim;

```



Hexa

NR
instr

```

220A B 001 000 100 000 1010, -- addi $4, $0, 10 ①
0020 B 000 000 000 010 0 000, -- add $2, $0, $0 ①
4A80 B 010 010 101 0000000, -- lw $5, 0($2) ②
8A00 B 100 010 100 0000110, -- beq $2, $4, 6 ③
4980 B 010 010 011 0000000, -- lw $3, 0($2) ④
15E1 B 000 101 011 110 0 001, -- sub $6, $5, $3 ⑤
B801 B 101 110 000 0000001, -- bge $6, 1 ⑥
01D0 B 000 000 011 101 0 000, -- add $5, $0, $3 ⑦
2301 B 001 010 010 0000001, -- addi $2, $2, 1 ⑧

```

```

E003 B 111 0000000000011, -- j 3 ⑨
6294 B 011 000 101 0010100, -- mv $5, 20($0) ⑩

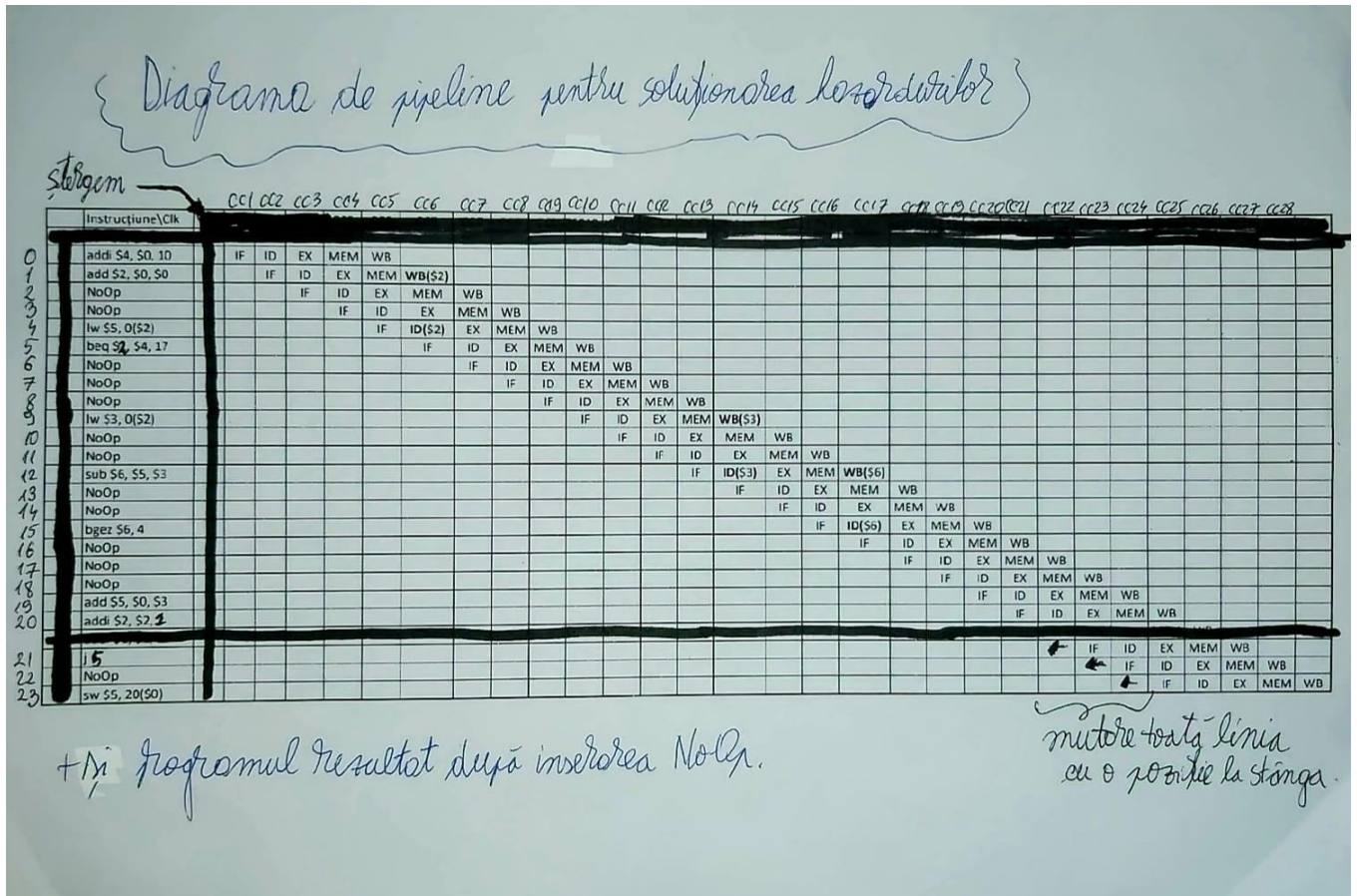
```



Tabel

Descrierea registrilor pipeline

REG-IF-ID (31-0)	REG-ID-EX (35-0)	REG-EX-MEM (58-0)	REG-MEM-WB (36-0)
Instruction (31-6)	RegDst (0)	MemtoReg (0)	MemtoReg (0)
PC+1 (15-0)	ALUSrc (1)	RegWrite (1)	RegWrite (1)
	Branch (2)	MemWrite (2)	ReadData (17-2)
	BgeZ (3)	Branch (3)	ALURes (33-18)
	BltZ (4)	BgeZ (4)	WriteAddress (36-34)
	Set (5)	BltZ (5)	
	ALUOp (8-6)	out-adress Branch (21-6)	
	MemWrite (9)	Zero (22)	
	MemReg (10)	outsemm (23)	
	RegWrite (10)	ALURes (39-24)	
	ra (12)	readData2 (55-40)	
	PC+1 (28-13)	WriteAddress (58-56)	
	readData1 (44-29)		
	readData2 (60-45)		
	ExtImm (76-61)		
	func (79-77)		
	rt (82-80)		
	rd (85-83)		



SCHEMA GENERALĂ MIPS32 PIPELINE

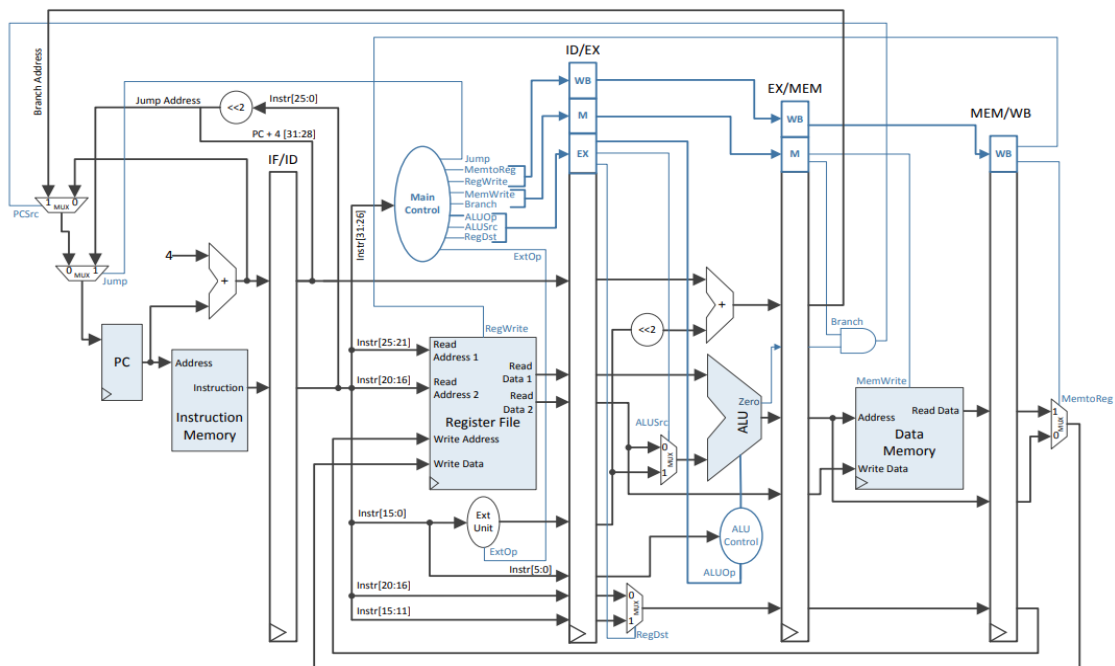
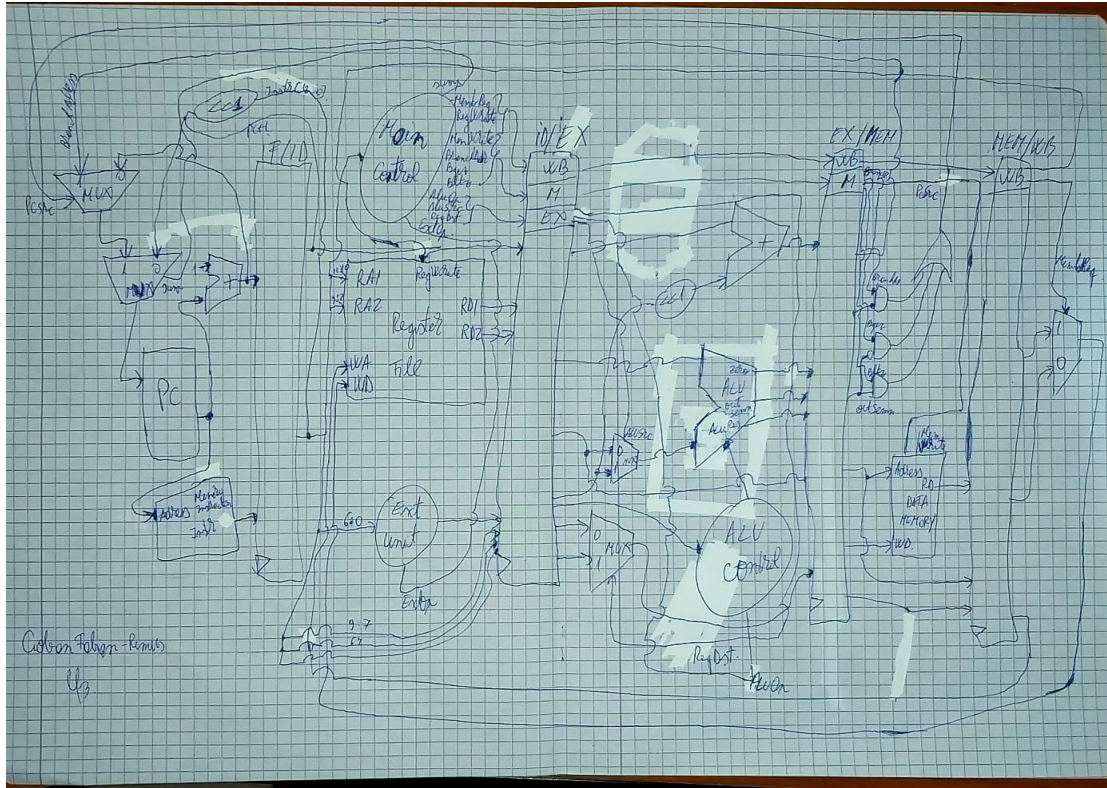


Figura 10-1: Procesorul MIPS 32 pipeline [2], obținut prin secționarea căii de date MIPS 32 cu ciclu unic



Schema procesorului MIPS PIPELINE



RTL schematic

