

装 订 线

装 订 线

学 号

姓 名

专业班级

西安邮电大学课程考试试题（A 卷）

（2024——2025 学年第 1 学期）

课程名称：数字电路与逻辑设计 D

考试专业、年级：电子信息工程 2022 级

考核方式：（填写开卷或闭卷） 闭卷

可使用计算器（填写是或否）否

题号	一	二	三	四	五	六	七	八	总分
得分									
评卷人									

得分：\_\_\_\_\_ 一、填空题（每题 2 分，共 20 分）

- 自然界中的一种信号，在时间和数量上连续存在，被称作模拟信号，另外一种在时间和数量上不连续，被称作\_\_\_\_\_。（2 分）
- 二进制数（1011）<sub>2</sub> 转换为十进制数是\_\_\_\_\_。（2 分）
- 一个 8 位 D/A 转换器的最小输出电压  $V_{LSB}=0.01V$ ，当输入代码为 01001101 时，输出电压为\_\_\_\_\_V。（2 分）
- 半导体存储器是现代数字系统特别是计算机系统中的重要组成部件，它可分为\_\_\_\_\_和\_\_\_\_\_两大类。（2 分）
- 在数字电路中，避免冒险现象的手段有修改逻辑设计、\_\_\_\_\_和\_\_\_\_\_。（2 分）
- 单元型 FPGA 主要由三部分组成：可编程逻辑模块 CLB、\_\_\_\_\_和互联资源 IR。（2 分）
- 边沿触发器仅在时钟的上升沿或者\_\_\_\_\_进行采样确定触发器的状态。（2 分）
- 逻辑门不能随便采用线与接法，只有\_\_\_\_\_才能线与。（2 分）
- 一个 4 位二进制移位寄存器在 100Hz 的时钟脉冲下，将最右位的数码移动到最左位需要\_\_\_\_\_秒。（2 分）
- 555 定时器构成多谐振荡器有\_\_\_\_\_个暂稳态。（2 分）

得分：\_\_\_\_\_ 二、选择题（每题 2 分，共 20 分）

1. 有 K 个 D 触发器构成的扭环计数器，其有效的计数状态共\_\_\_\_\_个？

- A. 2K
- B.  $2^K$
- C. K
- D.  $2^K - 1$

2. 一个 4 位二进制加法器用于计算两个 4 位二进制数 A 和 B 的和，假设该加法器使用的是串行加法器，以下哪项描述最符合串行加法器的特性？

- A. 计算速度较快，但硬件实现复杂
- B. 计算速度较慢，但硬件实现简单
- C. 计算速度较快，硬件实现简单
- D. 计算速度较慢，硬件实现复杂

3. 下面关于触发器的说法中，正确的是：

- A. D 触发器的输出只取决于输入 D
- B. T 触发器有两个控制输入
- C. SR 触发器具有不确定状态
- D. JK 触发器无记忆能力

4. 下列哪个不是组合逻辑电路的例子？

- A. 加法器
- B. 乘法器
- C. 时钟发生器
- D. 编码器

5. 以下代码实现了何种功能？

```
module gues (  
    input [1:0] A,  
    input [1:0] B,  
    output A_g_B,  
    output A_e_B,  
    output A_l_B  
);
```

学号

姓名

专业班级

assign A\_g\_B = (A > B) ? 1'b1 : 1'b0;  
assign A\_e\_B = (A == B) ? 1'b1 : 1'b0;  
assign A\_l\_B = (A < B) ? 1'b1 : 1'b0;

endmodule

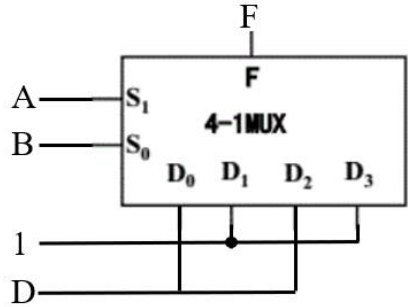
- A. 乘法器  
B. 数值比较器  
C. 加法器  
D. 移位寄存器

6. 在一个同步时序电路中，状态转移图的节点代表的是：  
A. 输入  
B. 输出  
C. 触发器的状态  
D. 时钟周期

7. 在 4 比特的二进制加法器中，输入 A=1101，B=1011，进位输入 C=1，则输出的结果为：

- A. 11001      B. 11011      C. 11100      D. 11101

8. 如图所示，其为 4 选 1 数据选择器构成的组合逻辑电路，输出端 F 的表达式为：



- A.  $(B + D)$       B.  $(\overline{B} + D)$       C.  $(B + \overline{D})$       D.  $(\overline{B} + \overline{D})$

9. 多路选择器的主要功能是：

- A. 根据控制输入选择不同的输入信号输出      B. 进行加法运算  
C. 进行逻辑运算      D. 存储数据

10. 单位间距码的编码规则是 8421BCD 码左边补 0，再按位两两异或，那么  $(0100)_{8421BCD}$  对应的单位间距码是：

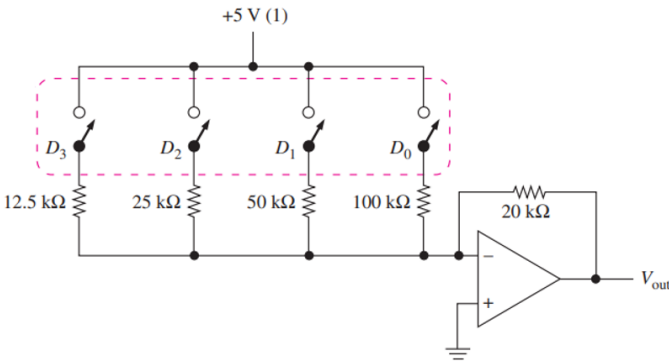
- A. 1010      B. 1111      C. 0101      D. 0110

得分：\_\_\_\_\_ 三、判断题（每题 1 分，共 10 分）

1. 在 CMOS 电路中，NMOS 管和 PMOS 管必须同时导通才能实现逻辑功能。（    ）  
2. TTL 或非门多余输入端应接高电平。（    ）  
3. 用四个触发器组成的计数器最多应有 16 个有效状态。（    ）  
4. JK 触发器的特性方程是  $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$ 。（    ）  
5. 动态 RAM 内部含有刷新电路，而静态 RAM 则不需要。（    ）  
6. 译码器电路和数据选择器属于时序逻辑电路。（    ）  
7. 可以用来代表 A/D 转换器分辨率的是转换器的位数。（    ）  
8. 任意时刻的输出仅仅取决于该时刻的输入，而与原来的状态无关的电路，称为时序逻辑电路。（    ）  
9. 格雷码是一种二进制码，它在相邻的两个数值之间只有一位的变化。（    ）  
10. 在异或门（XOR）的输出为高电平时，输入的两个信号必须不同。（    ）

得分：\_\_\_\_\_ 四、计算化简题（每题 5 分，共 10 分）

- 得分：\_\_\_\_\_ 1. 如图所示的权电阻网络 DAC，如果将十进制 12 的二进制等效输入接在开关  $D_3D_2D_1D_0$  上，请确定  $V_{out}$  处的电压。：



学号

姓名

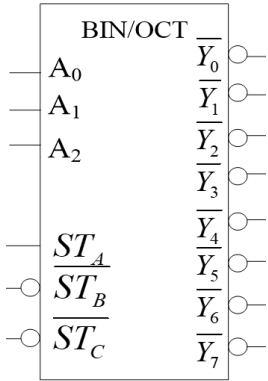
专业班级

得分： 2. 用卡诺图化简以下逻辑表达式：

$Y = AB + \overline{A}C + \overline{B}C + \overline{C}D + \overline{D}$

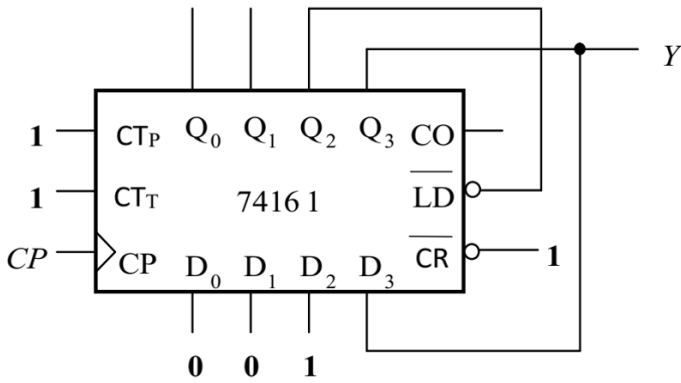
得分： 五、设计题（10 分）

基于下图给出的 3 线-8 线译码器 74LS138，添加适当的与非门实现一位全加器，写出设计过程，74LS138 真值表见试卷后。



得分： 六、分析题（10 分）

由四位二进制计数器 74LS161 组成的时序电路如图所示。完成已经给出的状态表，画出状态转移图，假设 CP 信号频率为 5kHz，求出输出端 Y 的频率。



序号	原状态				次态				输出 Y
	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	
0	0	0	0	0					
1	0	0	0	1					
2	0	0	1	0					
3	0	0	1	1					
4	0	1	0	0					
5	0	1	0	1					
6	0	1	1	0					
7	0	1	1	1					
8	1	0	0	0					
9	1	0	0	1					
10	1	0	1	0					
11	1	0	1	1					
12	1	1	0	0					
13	1	1	0	1					
14	1	1	1	0					
15	1	1	1	1					

学号

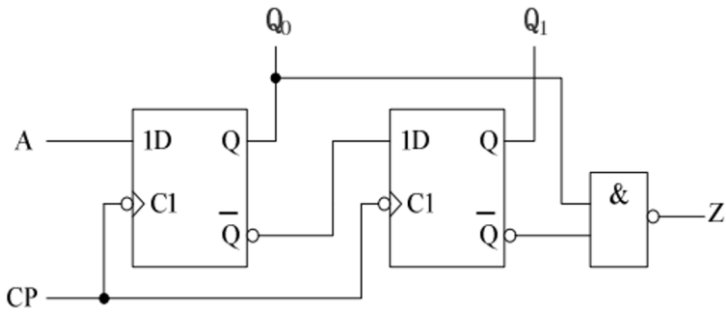
姓名

专业班级

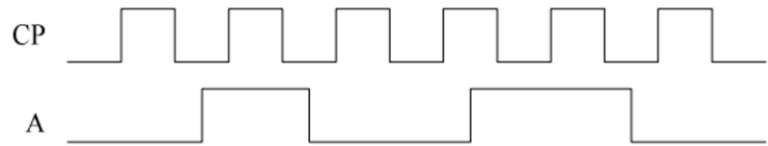
得分：\_\_\_\_\_ 七、分析题（10 分）

由 D 触发器构成的时序电路如图（a）所示，输入信号 CP 和 A 如图（b）所示，写出状态转移方程，试画出输出端 Q1、Q2 和 Z 的波形，设触发器的初始状态均为 0。

图（a）：

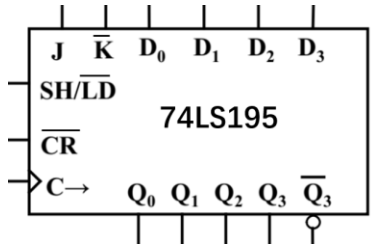


图（b）：



得分：\_\_\_\_\_ 八、设计题（10 分）

根据给出的 74LS195，设计 0111~1111 的扭环计数器，要写出状态转移，可以适当添加逻辑门。



学号

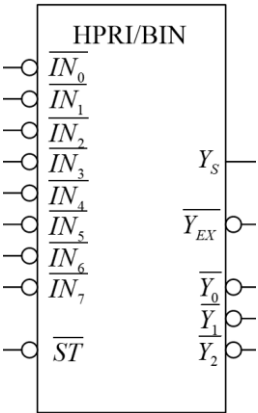
姓名

专业班级

附录：相关器件功能表和逻辑框图

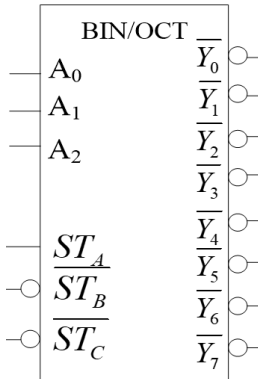
1. 8 线-3 线优先编码器 74LS148 真值表和逻辑符号：

输 入									输 出				
$\overline{ST}$	$\overline{IN_0}$	$\overline{IN_1}$	$\overline{IN_2}$	$\overline{IN_3}$	$\overline{IN_4}$	$\overline{IN_5}$	$\overline{IN_6}$	$\overline{IN_7}$	$\overline{Y_2}$	$\overline{Y_1}$	$Y_0$	$\overline{Y_{EX}}$	$Y_S$
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	×	0	1	1	1	0	1	1	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1



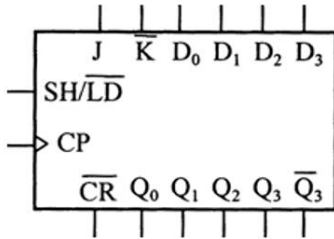
2. 3 线-8 线译码器 74LS138 真值表和逻辑符号：

$\overline{ST_A}$	$\overline{ST_B} + \overline{ST_C}$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0



3. 移位寄存器 74LS195 真值表和逻辑符号：

输 入									输 出				
$\overline{CR}$	$\overline{SH}/\overline{LD}$	$CP$	$J$	$\overline{K}$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$\overline{Q_3}$
0	×	×	×	×	×	×	×	×	0	0	0	0	1
1	0	↑	×	×	d <sub>0</sub>	d <sub>1</sub>	d <sub>2</sub>	d <sub>3</sub>	d <sub>0</sub>	d <sub>1</sub>	d <sub>2</sub>	d <sub>3</sub>	d <sub>3</sub>
1	1	↑	0	1	×	×	×	×	Q <sub>0</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>
1	1	↑	0	0	×	×	×	×	Q <sub>0</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>
1	1	↑	1	0	×	×	×	×	Q <sub>0</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>
1	1	↑	1	1	×	×	×	×	1	Q <sub>0</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>
1	1	0	×	×	×	×	×	×	Q <sub>0</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>3</sub> <sup>n</sup>	Q <sub>3</sub> <sup>n</sup>



4. 四位二进制同步计数器 74LS161 真值表和逻辑符号：

输入									输出			
$\overline{CR}$	$\overline{LD}$	$CT_T$	$CT_P$	$CP$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	d <sub>0</sub>	d <sub>1</sub>	d <sub>2</sub>	d <sub>3</sub>	d <sub>0</sub>	d <sub>1</sub>	d <sub>2</sub>	d <sub>3</sub>
1	1	1	1	↑	×	×	×	×	计 数			
1	1	0	×	×	×	×	×	×	触发器保持，CO=0			
1	1	1	0	×	×	×	×	×	保持			

