

装订线

装订线

学号

姓名

专业班级

西安邮电大学课程考试试题 (B 卷)

(2024——2025 学年第 1 学期)

课程名称: 数字电路与逻辑设计 D

考试专业、年级: 电子信息工程 2022 级

考核方式: (填写开卷或闭卷) 闭卷

可使用计算器 (填写是或否) 否

题号	一	二	三	四	五	六	七	八	九	总分
得分										
评卷人										

得分: 一、填空题 (每题 2 分, 共 20 分)

- 在数字电路中, 信号的延迟时间通常用\_\_\_\_\_来表示。
- 十进制数 (13) 10 转换为二进制数是\_\_\_\_\_。
- 一个 4 位 A/D 转换器的最小输入电压  $\Delta=0.1V$ , 当输出代码为 1010 时, 输入电压为\_\_\_\_\_V。
- 半导体存储器可分为\_\_\_\_\_和\_\_\_\_\_两大类。
- 在数字电路中, 消除竞争冒险现象的手段有修改逻辑设计、\_\_\_\_\_和\_\_\_\_\_。
- 单元型 FPGA 主要由三部分组成: 可编程逻辑模块 CLB、\_\_\_\_\_和互联资源 IR。
- 主从 JK 触发器存在\_\_\_\_\_现象。
- 逻辑门不能随便采用线与接法, 只有\_\_\_\_\_才能线与。
- 一个 8 位二进制移位寄存器在 200Hz 的时钟脉冲下, 将最右位的数码移动到最左位需要\_\_\_\_\_秒。
- 555 定时器构成单稳态触发器有\_\_\_\_\_个暂稳态。

得分: 二、选择题 (每题 2 分, 共 20 分)

- 用 JK 触发器构成的扭环计数器, 其有效的计数状态共\_\_\_\_\_个?  
A.  $2^n$   
B.  $2^n - 1$   
C.  $2^{n-1}$   
D.  $2^{n+1}$
- 对于一个具有 N 个输入的完全乘法器, 其所需的最少逻辑门数为:  
A.  $N^2$   
B.  $2N^2$   
C.  $N^2 + N$   
D.  $2N^2 + N$
- 下面关于触发器的说法中, 正确的是:  
A. D 触发器的输出只取决于输入 D  
B. T 触发器有两个控制输入  
C. SR 触发器具有不确定状态  
D. JK 触发器无记忆能力
- 下列哪个是组合逻辑电路的例子?  
A. 寄存器  
B. 计数器  
C. 时钟发生器  
D. 编码器
- 以下代码实现了何种功能?  

```
module binary_counter (  
    input clk,  
    input rst,  
    output reg [1:0] count  
);
```

<div>学号</div> <div>姓名</div> <div>专业班级</div>	<pre>always @(posedge clk or posedge rst) begin     if (rst)         count &lt;= 2'b00;     else         count &lt;= count + 1; end  endmodule</pre> <p>A. 乘法器 B. 数值比较器 C. 二进制加法计数器 D. 移位寄存器</p> <p>6. 在一个异步时序电路中，状态转移图的节点代表的是： A. 输入 B. 输出 C. 触发器的状态 D. 时钟周期</p> <p>7. 在 8 比特的二进制减法器中，输入 A=10101100，B=01010101，借位输入 C=0，则输出的结果为： A. 01100001 B. 01100101 C. 01101000 D. 01101100</p> <p>8. 下列哪个是常见的减法器电路？ A. 半减器 B. 全减器 C. 乘法器 D. 级联减法器</p> <p>9. 多路选择器的主要功能是： A. 根据控制输入选择不同的输入信号输出 B. 进行减法运算 C. 进行逻辑运算 D. 存储数据</p>	<p>10. 下面哪一种门电路的输出与输入相同？ A. 与门 B. 或门 C. 非门 D. 异或门</p> <p>得分：_____ 三、判断题（每题 1 分，共 10 分）</p> <p>1. 在 CMOS 电路中，NMOS 管和 PMOS 管必须同时导通才能实现逻辑功能。（）</p> <p>2. TTL 与非门多余输入端应接低电平。（）</p> <p>3. 用三个触发器组成的计数器最多应有 8 个有效状态。（）</p> <p>4. 触发器的特性方程是 J=Q' 和 K=Q。（）</p> <p>5. 动态 RAM 内部含有刷新电路，而静态 RAM 则不需要。（）</p> <p>6. 译码器电路和数据选择器属于组合逻辑电路。（）</p> <p>7. 可以用来代表 A/D 转换器分辨率的是转换器的位数。（）</p> <p>8. 任意时刻的输出仅仅取决于该时刻的输入，而与原来的状态无关的电路，称为组合逻辑电路。（）</p> <p>9. 格雷码是一种二进制码，它在相邻的两个数值之间只有一位的变化。（）</p> <p>10. 在异或门（XOR）的输出为低电平时，输入的两个信号必须相同。（）</p> <p>得分：_____ 四、化简题（每题 5 分，共 10 分）</p> <p>得分：_____ 1. 用公式法化简以下表达式：</p> $Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}C$
---	--	--

学号

姓名

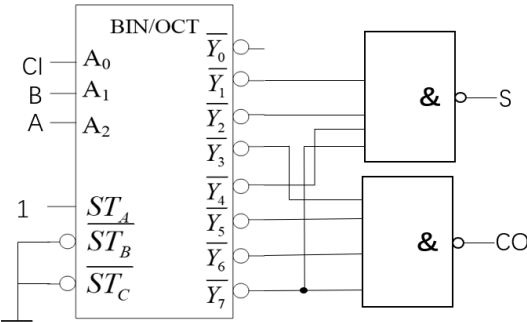
专业班级

得分： 2. 用卡诺图化简以下逻辑表达式：

$Y(A,B,C)=\sum m(1,3,4,5,7)$

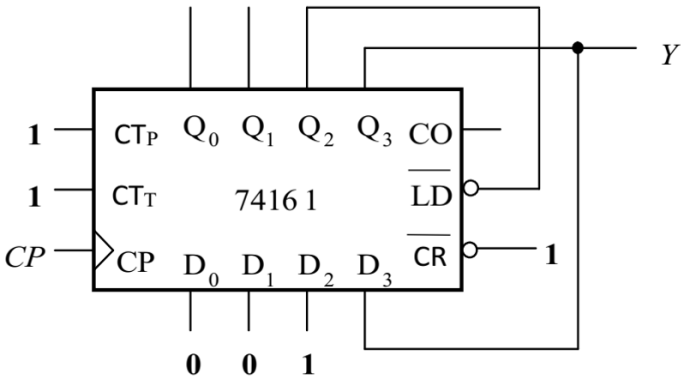
得分： 五、设计题（10 分）

分析如图 3 线-8 线译码器 74LS138 构成的电路，说明电路的逻辑功能，74LS138 真值表和逻辑图见试卷后。



得分： 六、分析题（10 分）

由四位二进制计数器 74LS161 组成的时序电路如图所示。根据已经给出的表头，列出电路的状态表，假设 CP 信号频率为 10kHz，求出输出端 Y 的频率。



序号	原状态				次态				输出
	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	Y

学号

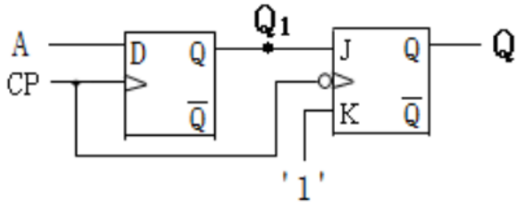
姓名

专业班级

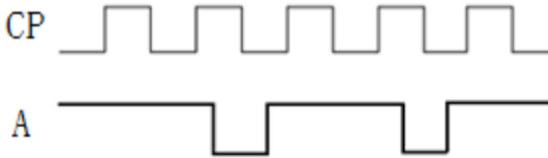
得分：\_\_\_\_\_ 七、分析题（10 分）

由 D 触发器和 JK 触发器构成的时序电路如图（a）所示，输入信号 CP 和 A 如图(b)所示，试画出输出端 Q<sub>1</sub> 和 Q 的波形，设触发器的初始状态均为 0。

图（a）：

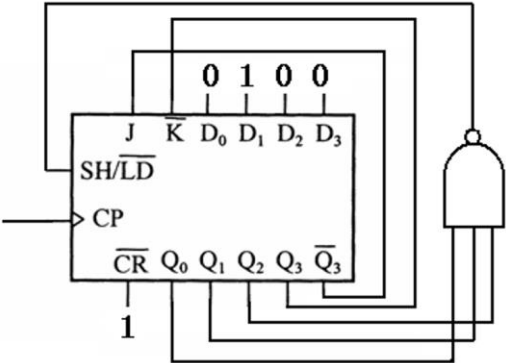


图（b）：



得分：\_\_\_\_\_ 八、设计题（10 分）

分析图中基于 74LS195 的设计，实现了怎样的功能，写出分析过程，74LS195 真值表和逻辑图见试卷后。



学号

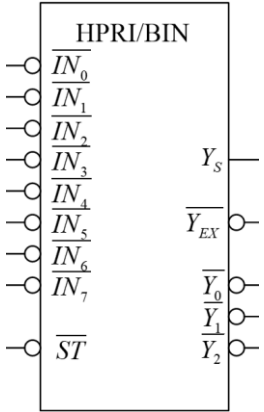
姓名

专业班级

附录：相关器件功能表和逻辑框图

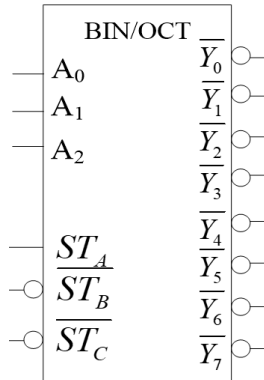
1. 8 线-3 线优先编码器 74LS148 真值表和逻辑符号：

输 入									输 出				
$\overline{ST}$	$\overline{IN}_0$	$\overline{IN}_1$	$\overline{IN}_2$	$\overline{IN}_3$	$\overline{IN}_4$	$\overline{IN}_5$	$\overline{IN}_6$	$\overline{IN}_7$	$\overline{Y}_2$	$\overline{Y}_1$	$\overline{Y}_0$	$\overline{Y}_{EX}$	$Y_S$
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	×	0	1	1	1	0	1	1	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1



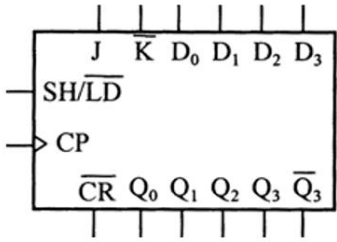
2. 3 线-8 线译码器 74LS138 真值表和逻辑符号：

$ST_A$	$\overline{ST}_B + \overline{ST}_C$	$A_2$	$A_1$	$A_0$	$\overline{Y}_0$	$\overline{Y}_1$	$\overline{Y}_2$	$\overline{Y}_3$	$\overline{Y}_4$	$\overline{Y}_5$	$\overline{Y}_6$	$\overline{Y}_7$
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1	1
1	0	1	1	0	1	1	1	1	1	0	1	1
1	0	1	1	1	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0



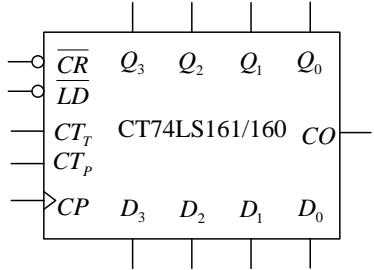
3. 移位寄存器 74LS195 真值表和逻辑符号：

输 入									输 出				
$\overline{CR}$	$\overline{SH}/\overline{LD}$	$CP$	$J$	$\overline{K}$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$\overline{Q}_3$
0	×	×	×	×	×	×	×	×	0	0	0	0	1
1	0	↑	×	×	$d_0$	$d_1$	$d_2$	$d_3$	$d_0$	$d_1$	$d_2$	$d_3$	$\overline{d_3}$
1	1	↑	0	1	×	×	×	×	$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	$\overline{Q_3^n}$
1	1	↑	0	0	×	×	×	×	$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	$\overline{Q_3^n}$
1	1	↑	1	0	×	×	×	×	$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	$\overline{Q_3^n}$
1	1	↑	1	1	×	×	×	×	$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	$\overline{Q_3^n}$
1	1	0	×	×	×	×	×	×	$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	$\overline{Q_3^n}$



4. 四位二进制同步计数器 74LS161 真值表和逻辑符号：

输入									输出			
$\overline{CR}$	$\overline{LD}$	$CT_T$	$CT_P$	$CP$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	$d_0$	$d_1$	$d_2$	$d_3$	$d_0$	$d_1$	$d_2$	$d_3$
1	1	1	1	↑	×	×	×	×	计 数			
1	1	0	×	×	×	×	×	×	触发器保持，CO=0			
1	1	1	0	×	×	×	×	×	保持			



5.