Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе № 11**

**Дисциплина**: Автоматизация проектирования дискретных устройств

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.A. Антонов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

Санкт-Петербург

2020

Оглавление

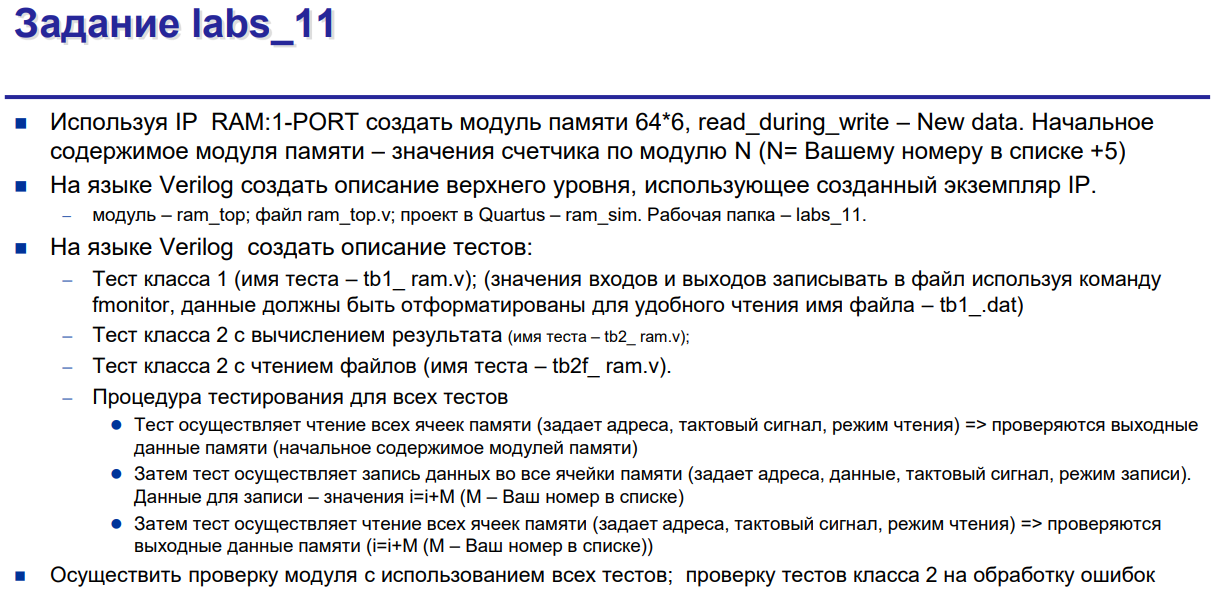
[1. Задание 3](#_Toc34774879)

[2. Описание тестируемого модуля и тестов на языке Verilog 3](#_Toc34774880)

[3. Тестирование 8](#_Toc34774881)

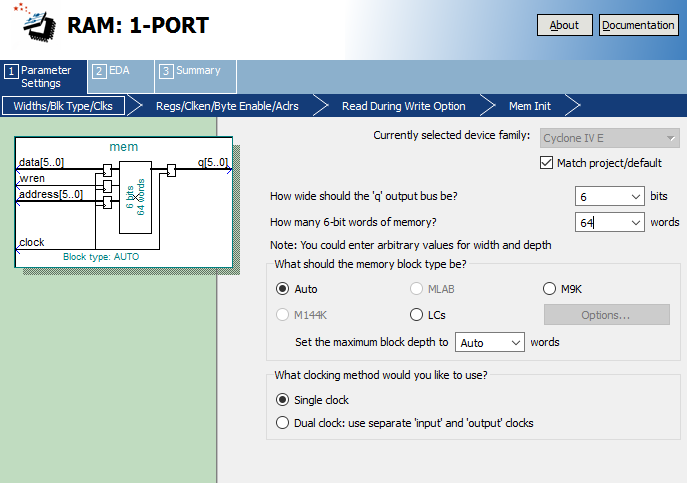
[4. Выводы 12](#_Toc34774882)

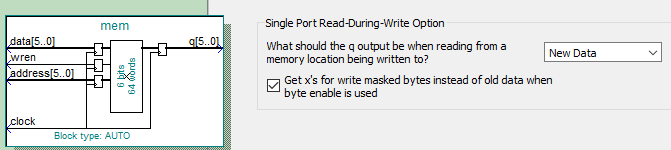
# Задание



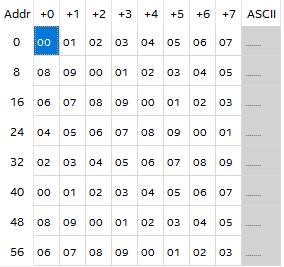
# Описание тестируемого модуля и тестов на языке Verilog

С помощью IP RAM:1-PORT создадим модуль памяти 64\*6:



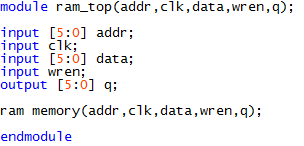
**

*Рис.1. Описание модуля памяти*



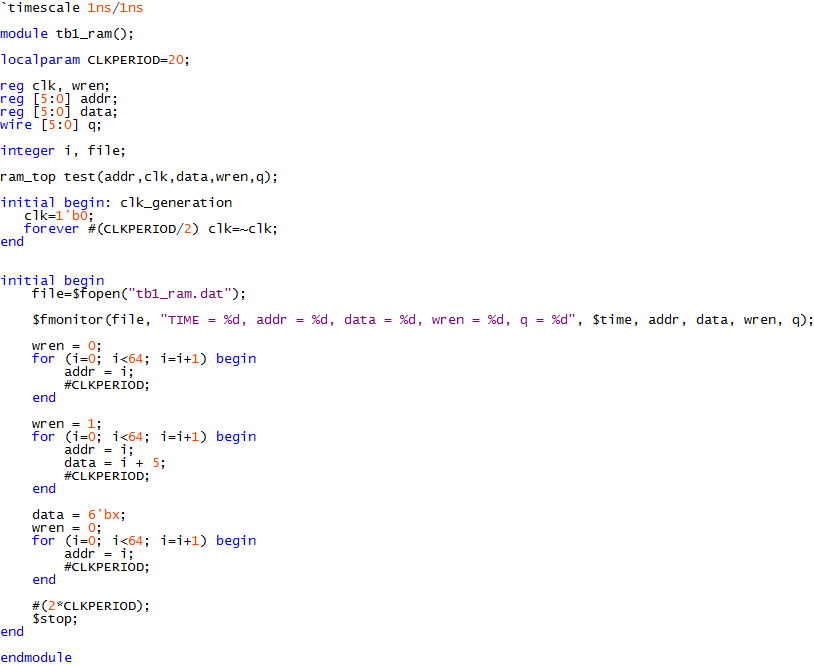
*Рис.2. Инициализация памяти*

Описание верхнего уровня:

**

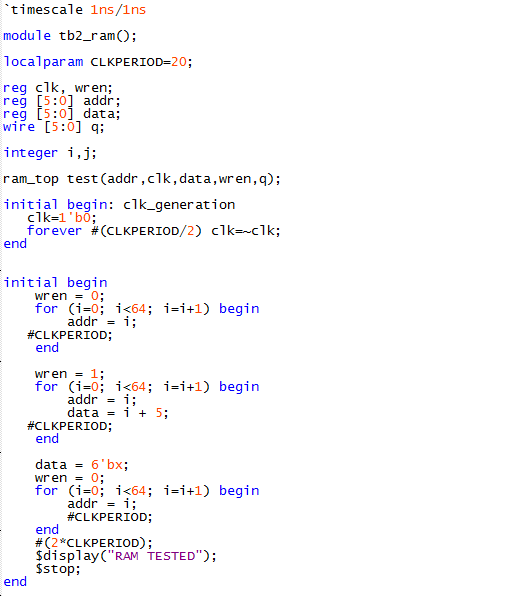
*Рис.3. Описание верхнего уровня*

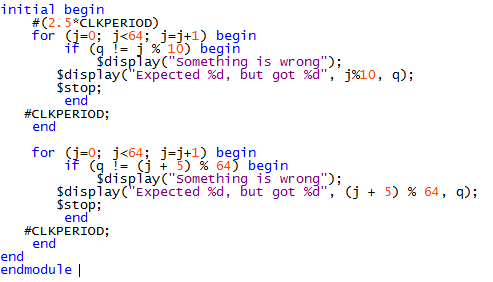
Тест первого класса:



*Рис.4. Описание теста первого класса*

Тест второго класса с вычислением результата:

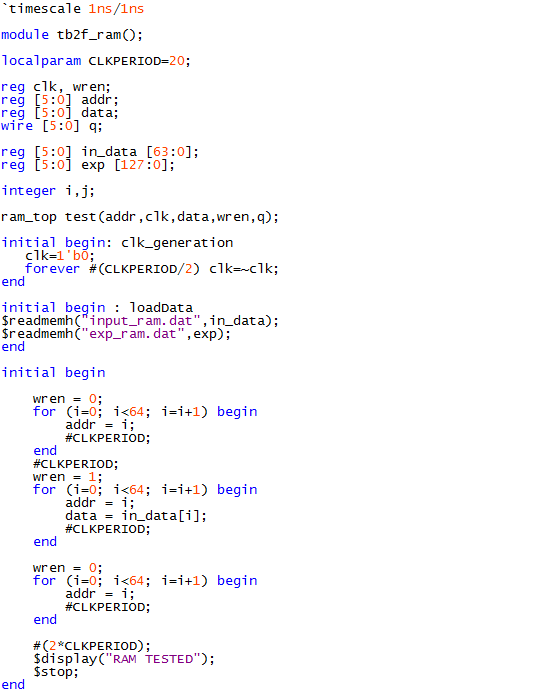


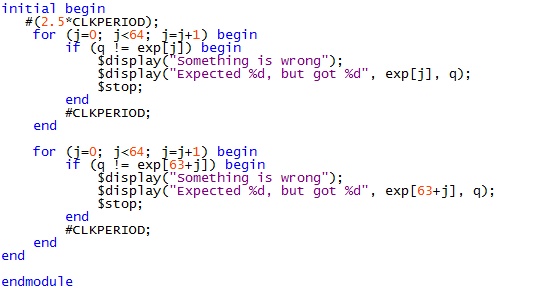


*Рис.5. Описание теста второго класса с вычислением результата*

Значения, полученные из модуля, сравниваются с ожидаемыми значениями. В случае, если тестирование прошло успешно для всех входных данных, выводится сообщение об успешном прохождении тестирования.

Тест второго класса с чтением файлов:

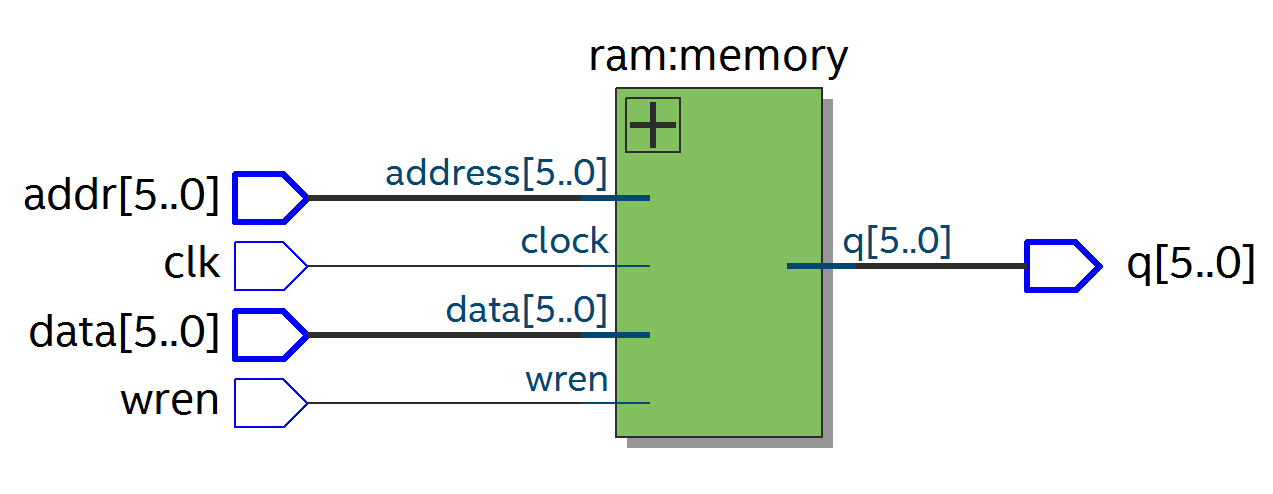




*Рис.6. Описание теста второго класса с чтением файлов*

В блоке loadData происходит чтение из файлов входных и ожидаемых выходных данных. Значения сравниваются аналогично предыдущему пункту.

Результат синтеза описания:

**

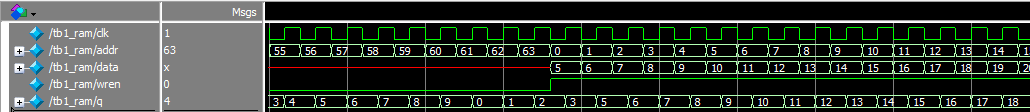
*Рис.7. Результат синтеза*

# Тестирование

**Тест первого класса.**

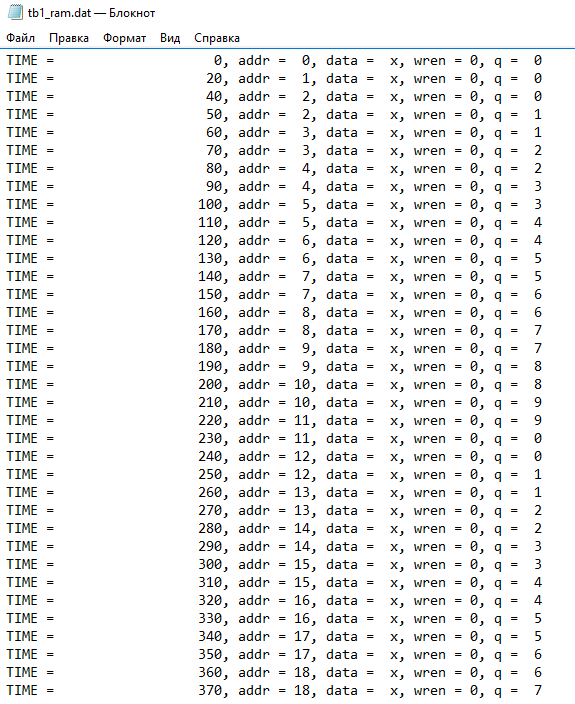
Все значения считываются, затем во все ячейки записывается значение i + 5, после чего снова считываются все значения.

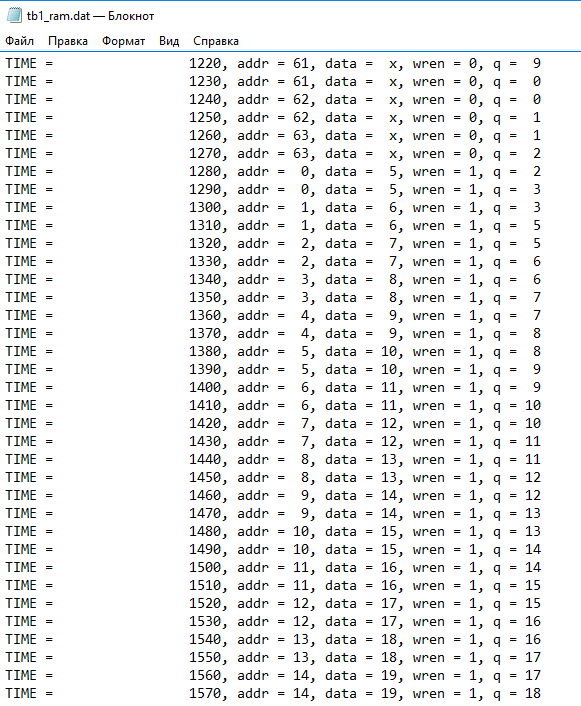
Результаты тестирования:

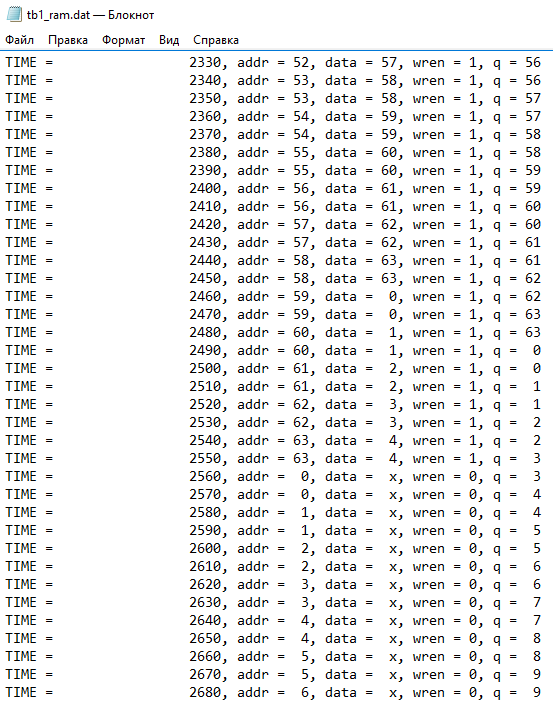
**

*Рис.8. Результаты тестирования*

Содержимое файла tb1\_ram.dat:



**

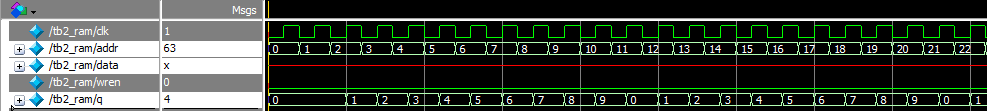
**

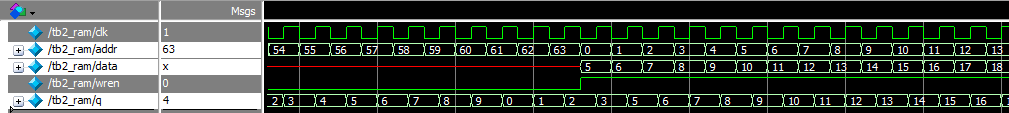
*Рис.9. Содержимое файла tb1\_ram.dat*

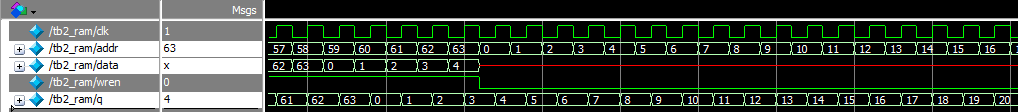
Результаты тестирования полностью соответствуют ожидаемым.

**Тест второго класса с вычислением результата.**

Выходные значения модуля автоматически сравниваются с ожидаемыми значениями и в консоль выводится сообщение об успешном/неуспешном прохождении тестирования.







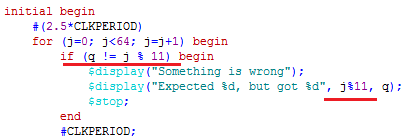
*Рис.10. Результаты тестирования*



*Рис.11. Сообщение об успешном прохождении тестирования*

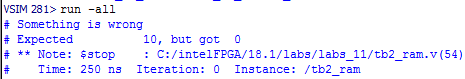
Все тесты успешно пройдены.

Подадим неверные данные в качестве ожидаемых:



*Рис.12. Неверные данные в качестве ожидаемых*

Результаты тестирования:



*Рис.13. Сообщение об ошибке во время тестирования*

Тест, ожидаемо, завершился с ошибкой.

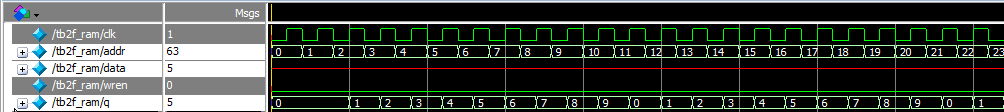
**Тест второго класса с чтением файлов.**

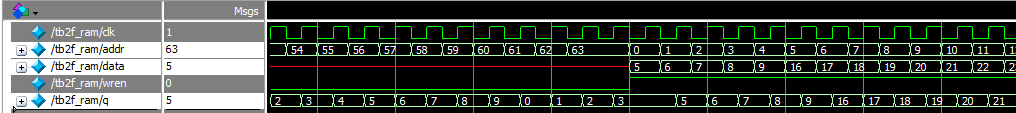
Данные считываются из памяти и проверяются на соответствие первой половине файла exp\_ram.dat, затем новые данные загружаются из файла input\_ram.dat, после чего данные опять считываются из памяти и проверяются на соответствие второй половине файла exp\_ram.dat.

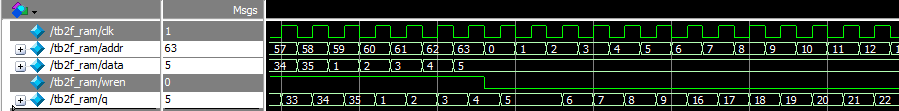
Содержимое файлов input\_ram.dat и exp\_ram.dat:

|  |  |
| --- | --- |
| input\_ram.dat | exp\_ram.dat |
| 05 06 07 08 09 10 11 12  13 14 15 16 17 18 19 20  21 22 23 24 25 26 27 28  29 30 31 32 33 34 35 36  37 38 39 40 41 42 43 44  45 46 47 48 49 50 51 52  53 54 55 56 57 58 59 60  61 62 63 01 02 03 04 05 | 00 01 02 03 04 05 06 07  08 09 00 01 02 03 04 05  06 07 08 09 00 01 02 03  04 05 06 07 08 09 00 01  02 03 04 05 06 07 08 09  00 01 02 03 04 05 06 07  08 09 00 01 02 03 04 05  06 07 08 09 00 01 02 03  05 06 07 08 09 10 11 12  13 14 15 16 17 18 19 20  21 22 23 24 25 26 27 28  29 30 31 32 33 34 35 36  37 38 39 40 41 42 43 44  45 46 47 48 49 50 51 52  53 54 55 56 57 58 59 60  61 62 63 01 02 03 04 05 |

Результаты тестирования:







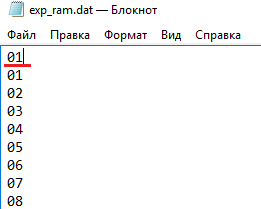
*Рис.14. Результаты тестирования*

**

*Рис.15. Сообщение об успешном прохождении тестирования*

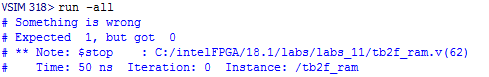
Все тесты успешно пройдены.

Совершим ошибку в ожидаемых данных:

**

*Рис.16. Ошибка в ожидаемых данных*

Тест, ожидаемо, завершился с ошибкой:

**

*Рис.17. Результаты тестирования*

# Выводы

В ходе выполнения данной лабораторной работы был описан модуль памяти 64\*6. Для него были написаны тесты первого и второго классов. Тесты были успешно пройдены, из чего следует, что описанный модуль работает верно.