Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе № 12**

**Дисциплина**: Автоматизация проектирования дискретных устройств

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.A. Антонов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

Санкт-Петербург

2020

Оглавление

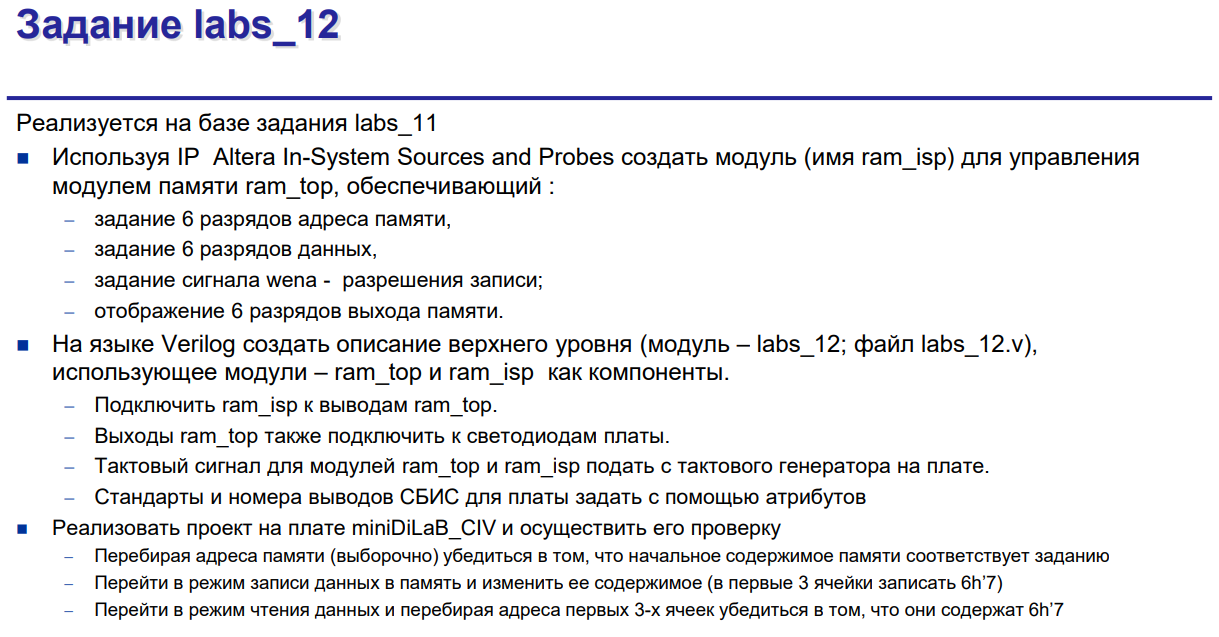
[1. Задание 3](#_Toc35870044)

[2. Ход работы 3](#_Toc35870045)

[3. Тестирование 4](#_Toc35870046)

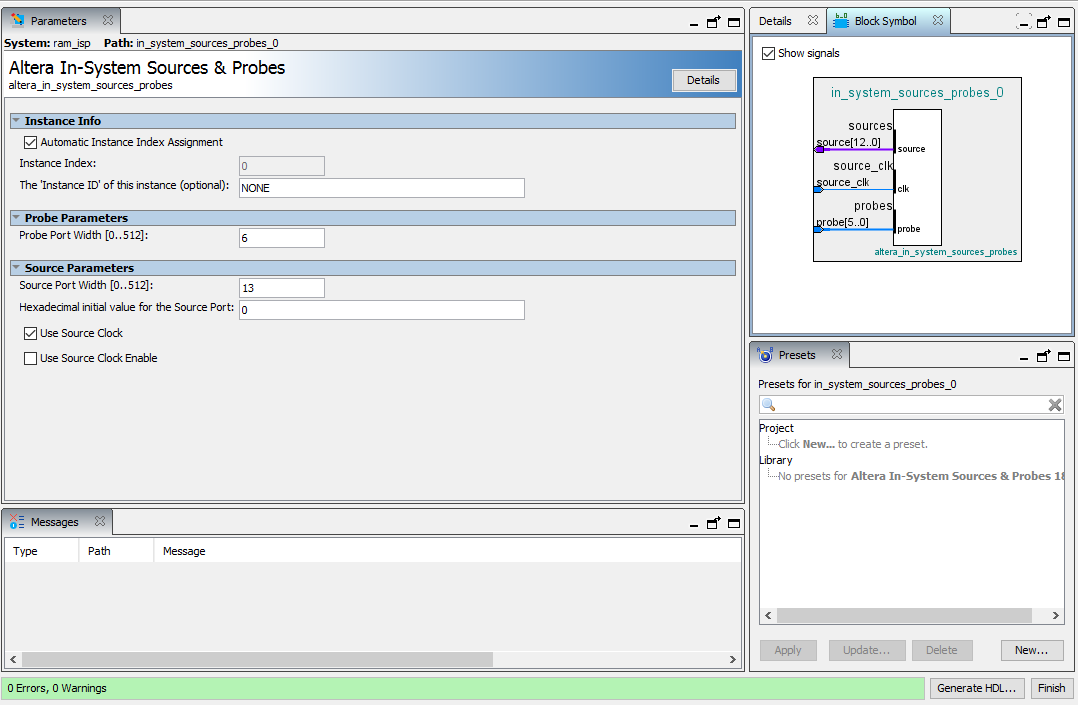
[4. Выводы 6](#_Toc35870047)

# Задание



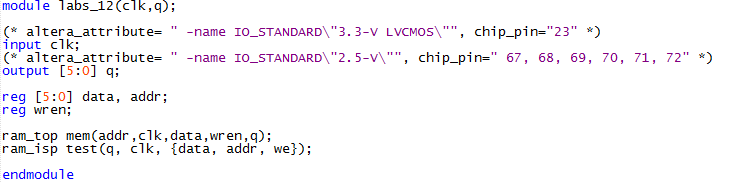
# Ход работы

Используя IP Altera In-System Source and Probes создадим модуль для управления модулем памяти:



*Рис.1. Создание модуля*

Описание верхнего уровня:

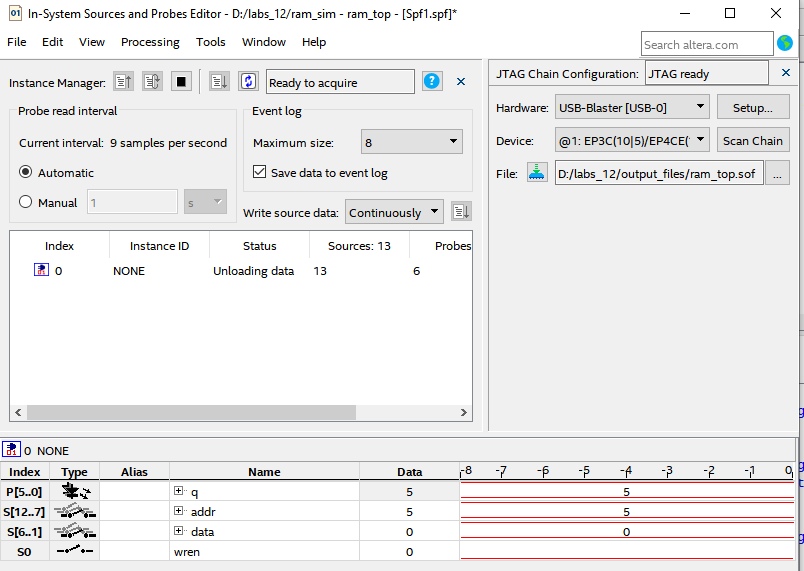
**

*Рис.2. Описание верхнего уровня*

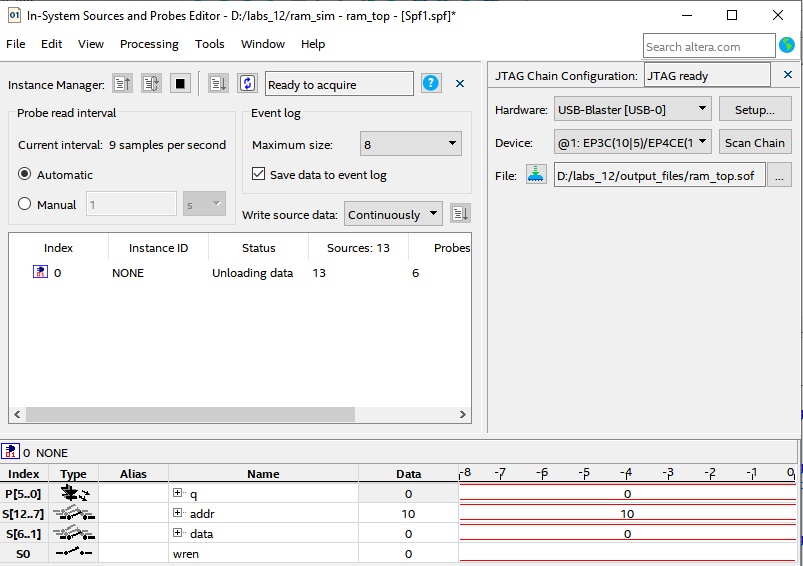
Данные подаются на модуль ram\_top, созданный в лабораторной работе №11, и на модуль, созданный с помощью IP Altera In-System Source and Probes.

# Тестирование

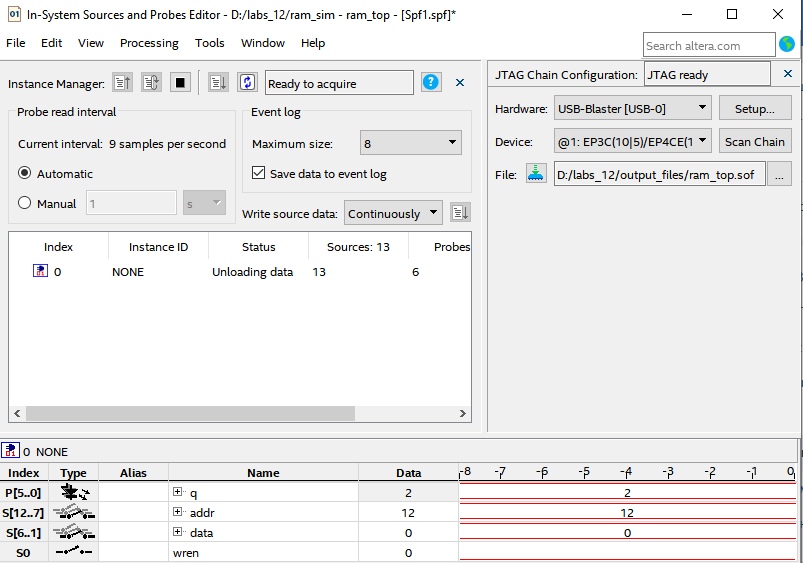
Начальное содержимое памяти – числа по модулю 10:



*Рис.3. Тестирование в In-System Sources and Probes Editor*

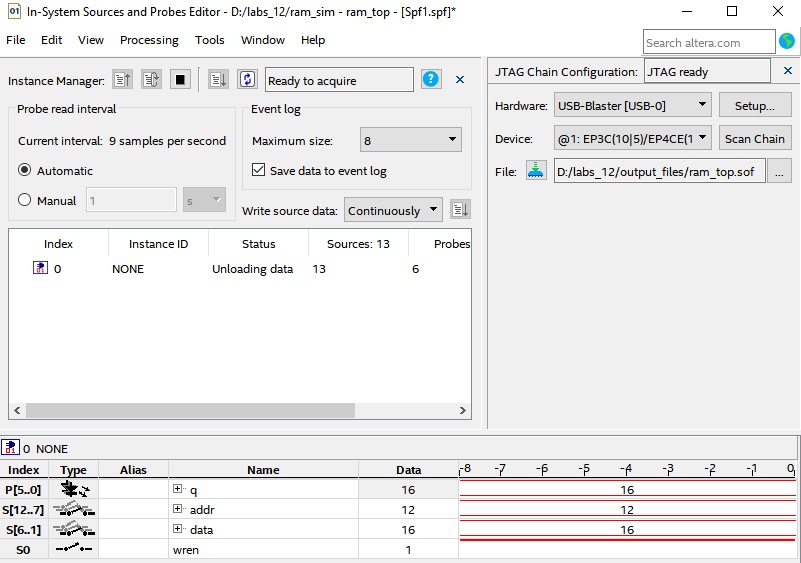


*Рис.4. Тестирование в In-System Sources and Probes Editor*



*Рис.5. Тестирование в In-System Sources and Probes Editor*

Запишем число 16 в память по адресу 12, для этого зададим wren(S[0]) = 1:



*Рис.6. Тестирование в In-System Sources and Probes Editor*

Тестирование успешно пройдено, модуль памяти работает верно.

# Выводы

В ходе выполнения данной лабораторной работы средствами IP Altera In-System Source and Probes был создан модуль для управления модулем памяти. Было создано описание верхнего уровня на языке Verilog и проведено тестирование средствами In-System Sources and Probes Editor. Тестирование было успешно пройдено.