Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе № 5**

**Дисциплина**: Автоматизация проектирования дискретных устройств

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.A. Антонов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

Санкт-Петербург

2020

Оглавление

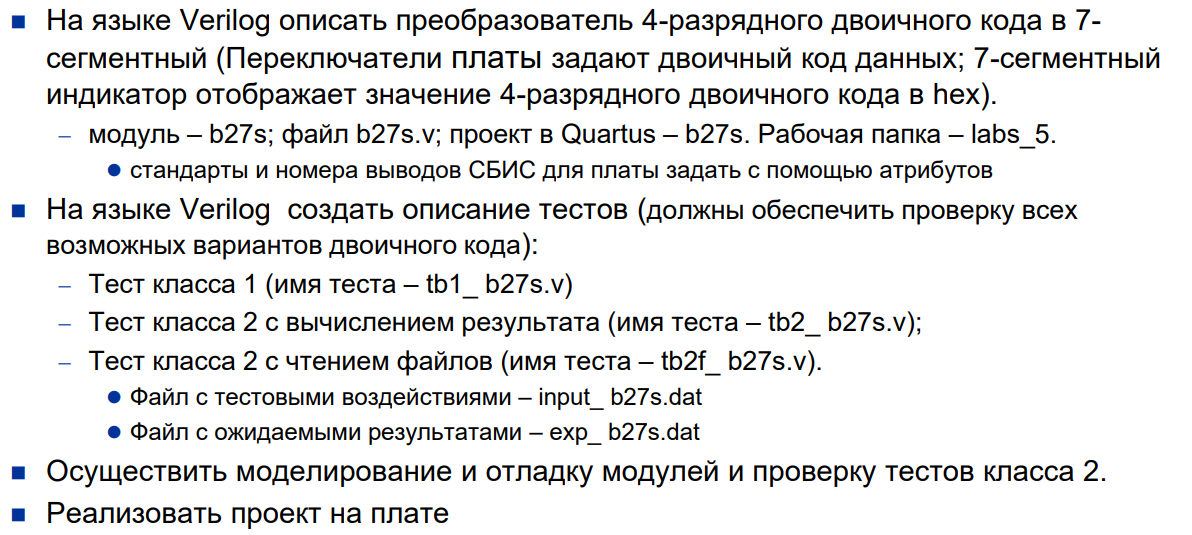
[1. Задание 3](#_Toc33377593)

[2. Описание тестируемого модуля и тестов на языке Verilog 3](#_Toc33377594)

[3. Тестирование 6](#_Toc33377595)

[4. Выводы 9](#_Toc33377596)

# Задание



# Описание тестируемого модуля и тестов на языке Verilog

Тестируемый модуль:

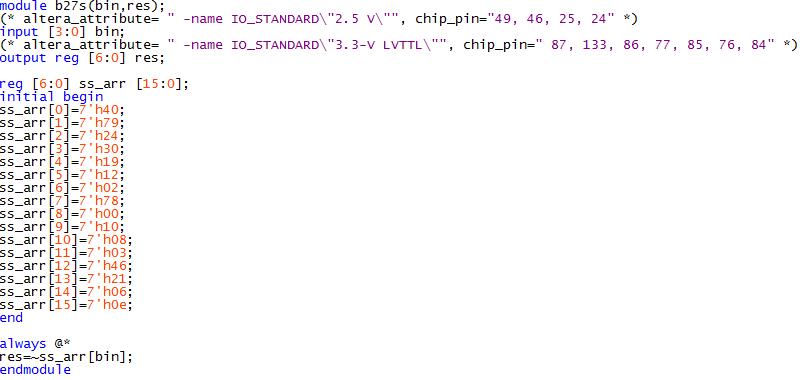
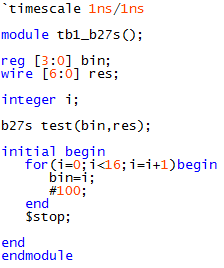


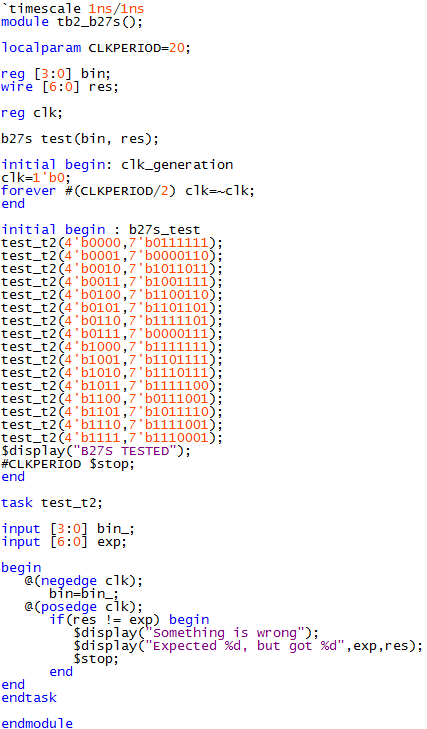
Рис.1. Описание тестируемого модуля

Тест первого класса:



*Рис.2. Описание теста первого класса*

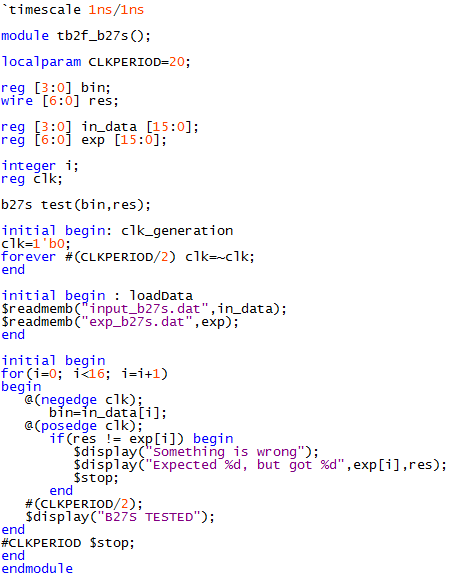
Тест второго класса с вычислением результата:



*Рис.3. Описание теста второго класса с вычислением результата*

В test\_t2 ожидаемый результат сравнивается с результатом, полученным из тестируемого модуля. По спаду clk на вход модуля подаётся четырёхразрядный двоичный код. По фронту clk полученные из модуля результаты сравниваются с ожидаемыми. Если они не совпадают - тест не пройден. В случае, если тестирование прошло успешно для всех входных данных, выводится сообщение об успешном прохождении тестирования.

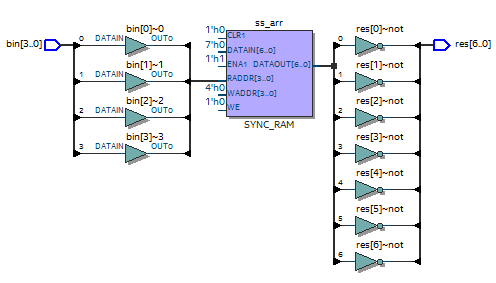
Тест второго класса с чтением файлов:



*Рис.4. Описание теста второго класса с чтением файлов*

В блоке loadData происходит чтение из файлов входных и ожидаемых выходных данных. Значения сравниваются аналогично предыдущему пункту.

Результат синтеза описания:

**

*Рис.5. Результат синтеза*

# Тестирование

**Тест первого класса.**

Результаты тестирования:

**

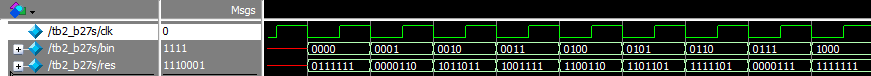
**

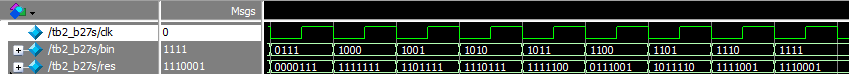
*Рис.6. Результаты тестирования*

Результаты тестирования полностью соответствуют ожидаемым.

**Тест второго класса с вычислением результата.**

Выходные значения модуля автоматически сравниваются с ожидаемыми значениями и в консоль выводится сообщение об успешном/неуспешном прохождении тестирования.





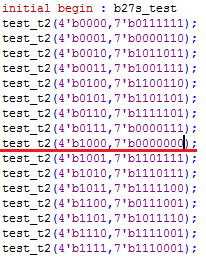
*Рис.7. Результаты тестирования*

**

*Рис.8. Сообщение об успешном прохождении тестирования*

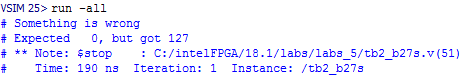
Все тесты успешно пройдены.

Подадим неверные данные в качестве ожидаемых:



*Рис.9. Неверные данные в качестве ожидаемых*

Результаты тестирования:

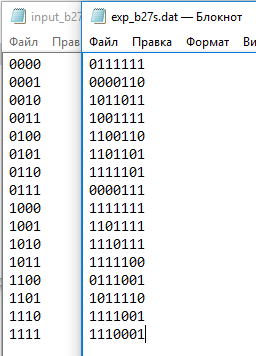


*Рис.10. Сообщение об ошибке во время тестирования*

Тест, ожидаемо, завершился с ошибкой.

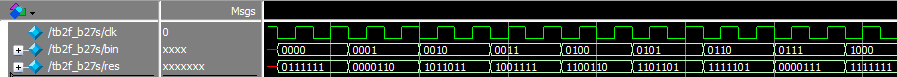
**Тест второго класса с чтением файлов.**

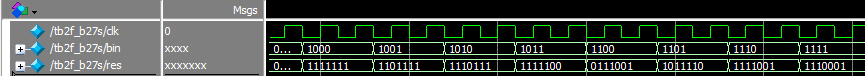
Содержимое файлов input\_b27s.dat и exp\_b27s.dat:



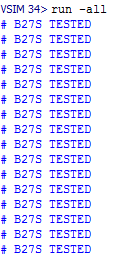
*Рис.11. Содержимое файлов input\_b27s.dat и exp\_b27s.dat*

Результаты тестирования:





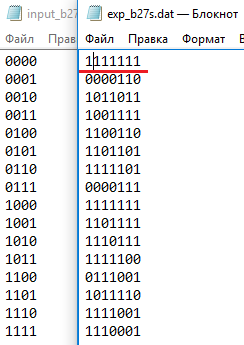
*Рис.12. Результаты тестирования*

**

*Рис.13. Сообщение об успешном прохождении тестирования*

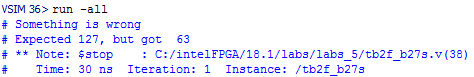
Все тесты успешно пройдены.

Совершим ошибку в ожидаемых данных:

**

*Рис.14. Ошибка в ожидаемых данных*

Тест, ожидаемо, завершился с ошибкой:

**

*Рис.15. Результаты тестирования*

# Выводы

В ходе выполнения данной лабораторной работы был описан преобразователь 4-разрядного двоичного кода в 7-сегментный. Для него были написаны тесты первого и второго классов. Тесты были успешно пройдены, из чего следует, что описанный преобразователь работает верно.