Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе № 1**

**Дисциплина**: Автоматизация проектирования дискретных устройств

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.A. Антонов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

Санкт-Петербург

2020

Оглавление

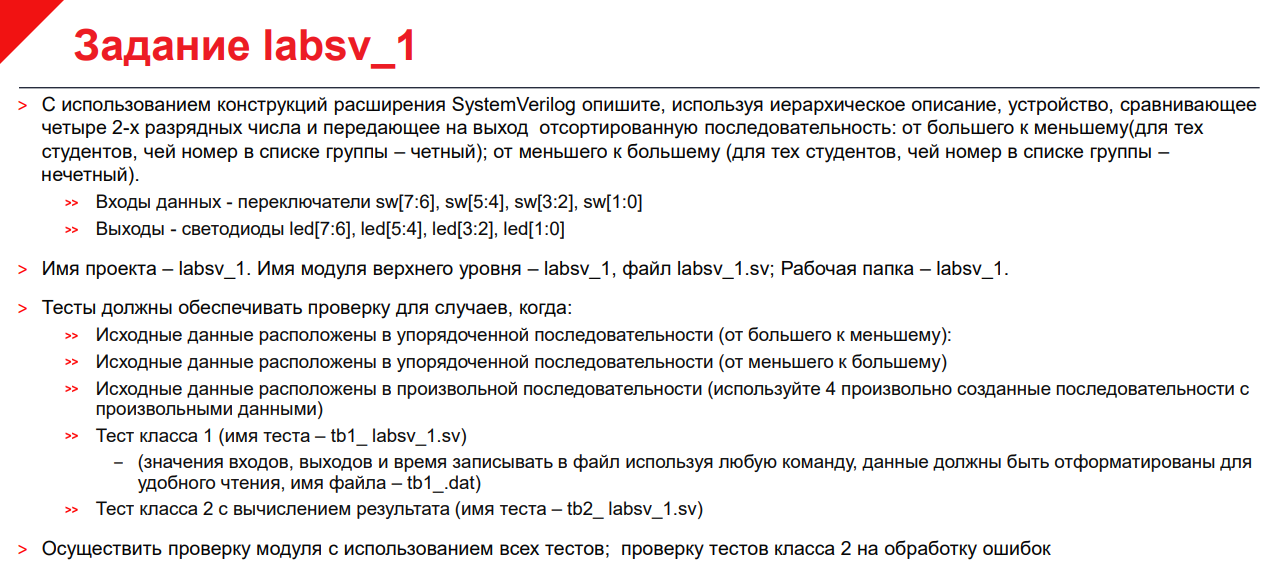
[1. Задание 3](#_Toc38549703)

[2. Описание тестируемого модуля и тестов на языке SystemVerilog 3](#_Toc38549704)

[3. Тестирование 5](#_Toc38549705)

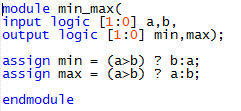
[4. Выводы 6](#_Toc38549706)

# Задание



# Описание тестируемого модуля и тестов на языке SystemVerilog

Модуль min\_max, сравнивающий два числа:



*Рис.1. Описание модуля min\_max*

Тестируемый модуль, сортирующий числа в порядке возрастания:

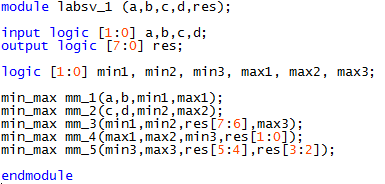
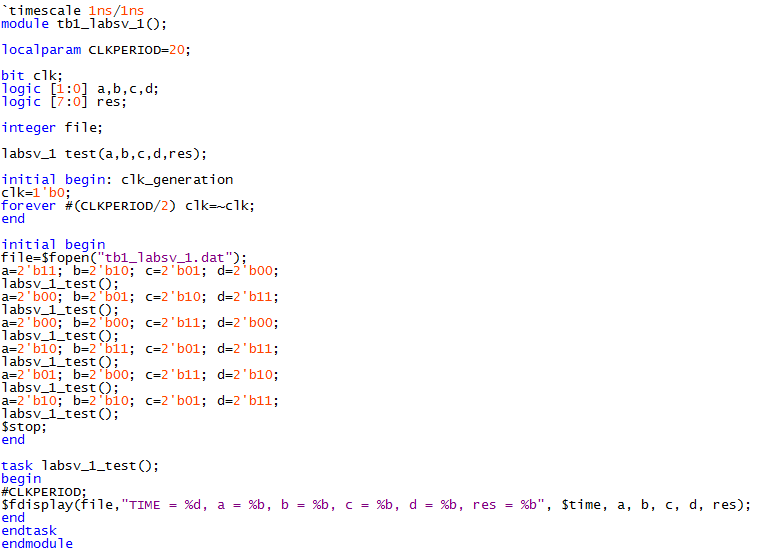


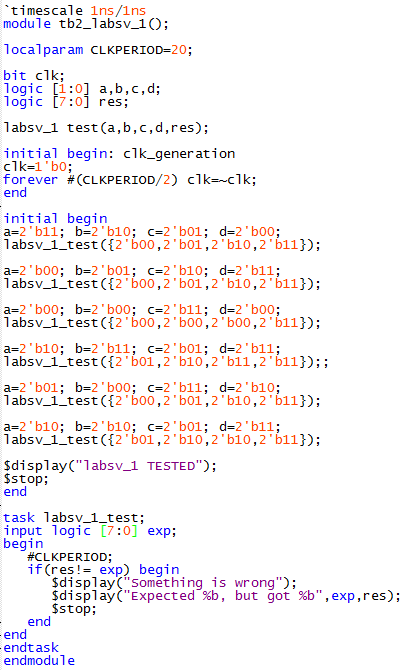
Рис.2. Описание тестируемого модуля

Тест первого класса:



*Рис.3. Описание теста первого класса*

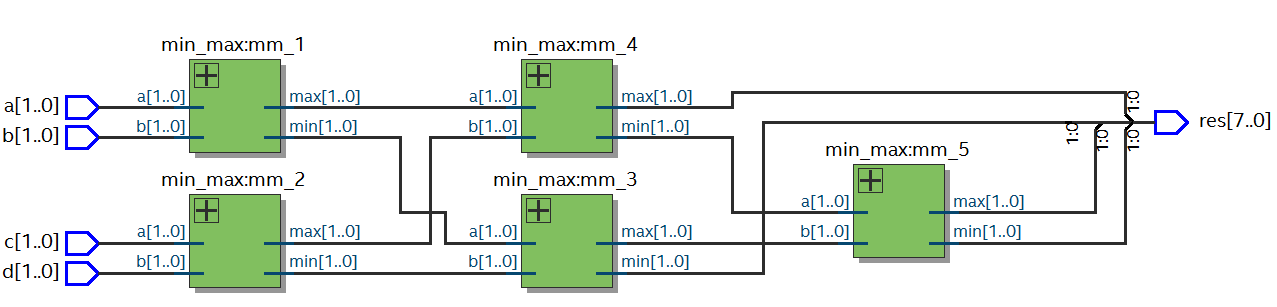
Тест второго класса с вычислением результата:



*Рис.4. Описание теста второго класса с вычислением результата*

В task labsv\_1\_test значения, полученные из модуля, сравниваются с ожидаемыми значениями. В случае, если тестирование прошло успешно для всех входных данных, выводится сообщение об успешном прохождении тестирования.

Результат синтеза описания:

**

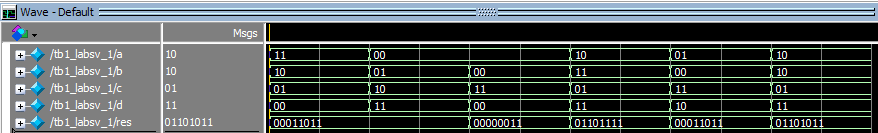
*Рис.5. Результат синтеза*

# Тестирование

**Тест первого класса.**

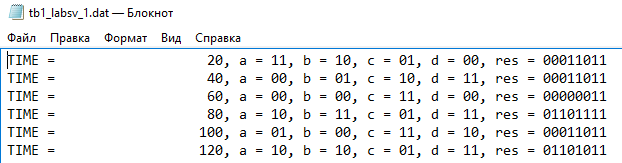
Последовательно поданы возможные входные данные. Результаты записываются в файл tb1\_labsv\_1.dat.

Результаты тестирования:

**

*Рис.6. Результаты тестирования*

Содержимое файла tb1\_labsv\_1.dat:

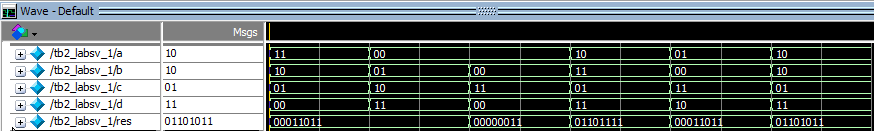


*Рис.7. Содержимое файла tb1\_labsv\_1.dat*

Результаты тестирования полностью соответствуют ожидаемым.

**Тест второго класса с вычислением результата.**

Выходные значения модуля автоматически сравниваются с ожидаемыми значениями и в консоль выводится сообщение об успешном/неуспешном прохождении тестирования.



*Рис.8. Результаты тестирования*



*Рис.9. Сообщение об успешном прохождении тестирования*

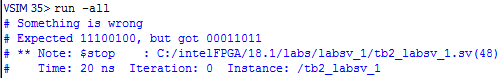
Все тесты успешно пройдены.

Подадим неверные данные в качестве ожидаемых:



*Рис.10. Неверные данные в качестве ожидаемых*

Результаты тестирования:



*Рис.11. Сообщение об ошибке во время тестирования*

Тест, ожидаемо, завершился с ошибкой.

# Выводы

В ходе выполнения данной лабораторной работы на языке SystemVerilog был описан модуль для сортировки по возрастанию 4-ех входных чисел. Для него были написаны тесты первого и второго классов. Тесты были успешно пройдены, из чего следует, что описанный модуль работает верно.