Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе № 2**

**Дисциплина**: Автоматизация проектирования дискретных устройств

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.A. Антонов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

Санкт-Петербург

2020

Оглавление

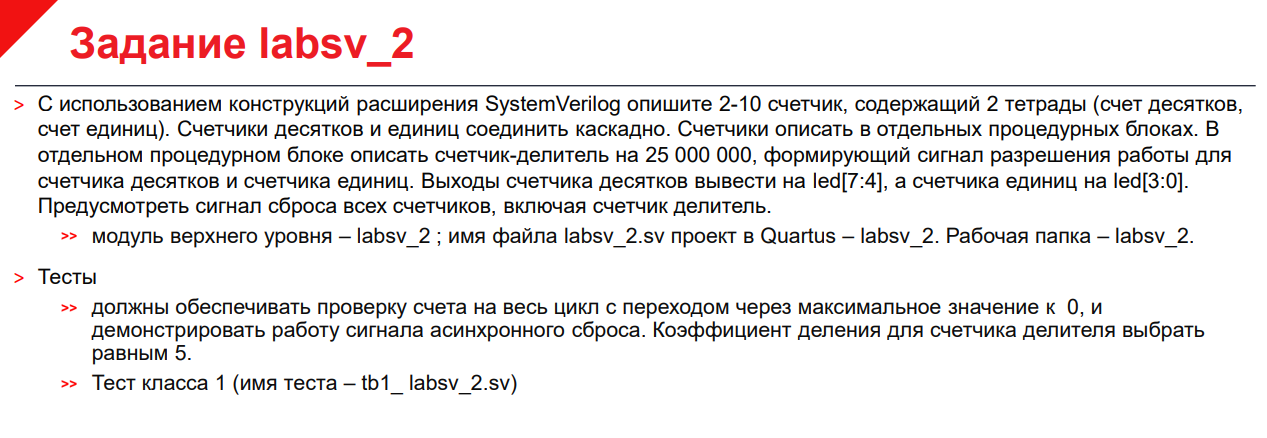
[1. Задание 3](#_Toc38575397)

[2. Описание тестируемого модуля и тестов на языке SystemVerilog 3](#_Toc38575398)

[3. Тестирование 5](#_Toc38575399)

[4. Выводы 5](#_Toc38575400)

# Задание



# Описание тестируемого модуля и тестов на языке SystemVerilog

Тестируемый модуль:

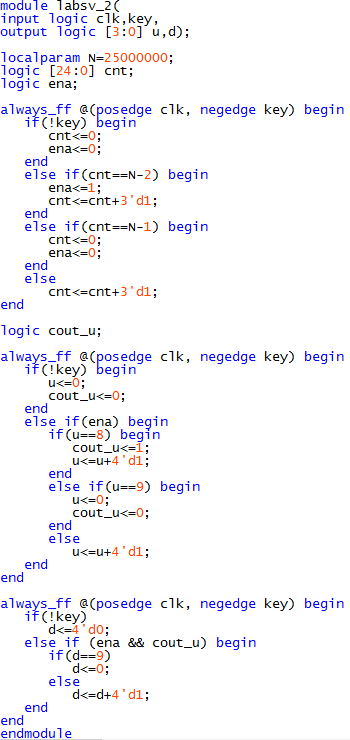
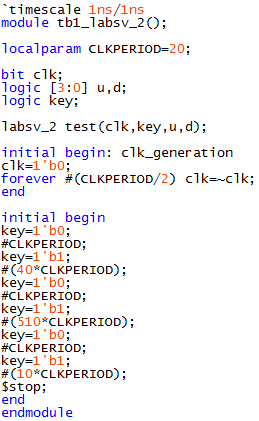


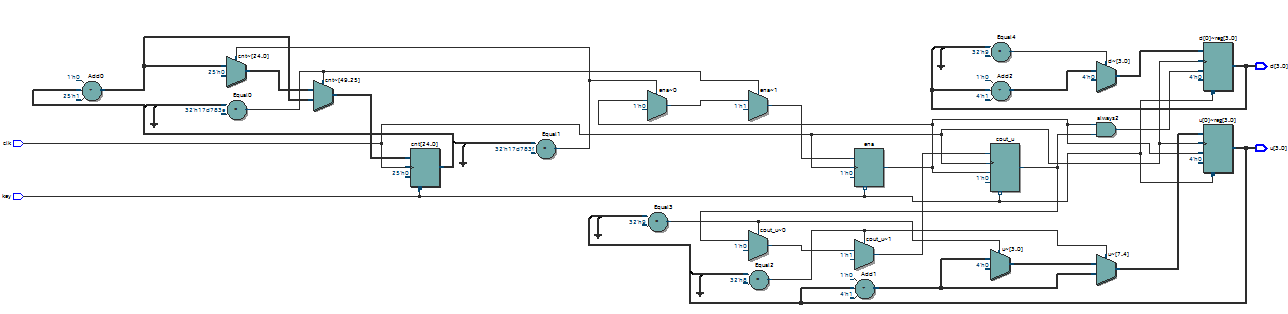
Рис.1. Описание тестируемого модуля

Тест первого класса:



*Рис.2. Описание теста первого класса*

Результат синтеза описания:

**

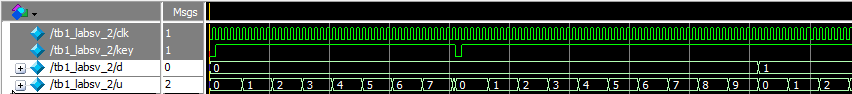
*Рис.3. Результат синтеза*

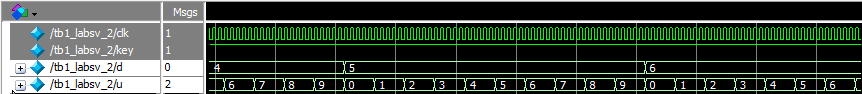
# Тестирование

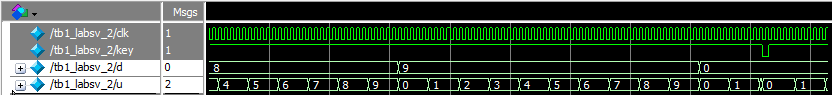
**Тест первого класса.**

Коэффициент деления для счетчика-делителя был выбран равным 5.

Результаты тестирования:

**

**

**

*Рис.4. Результаты тестирования*

Результаты тестирования полностью соответствуют ожидаемым.

# Выводы

В ходе выполнения данной лабораторной работы на языке SystemVerilog был описан 2-10 счетчик, содержащий 2 тетрады. Для него был написан тест первого класса. Тест был успешно пройден, из чего следует, что описанный счётчик работает верно.