Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе № 5**

**Дисциплина**: Автоматизация проектирования дискретных устройств

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.A. Антонов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

Санкт-Петербург

2020

Оглавление

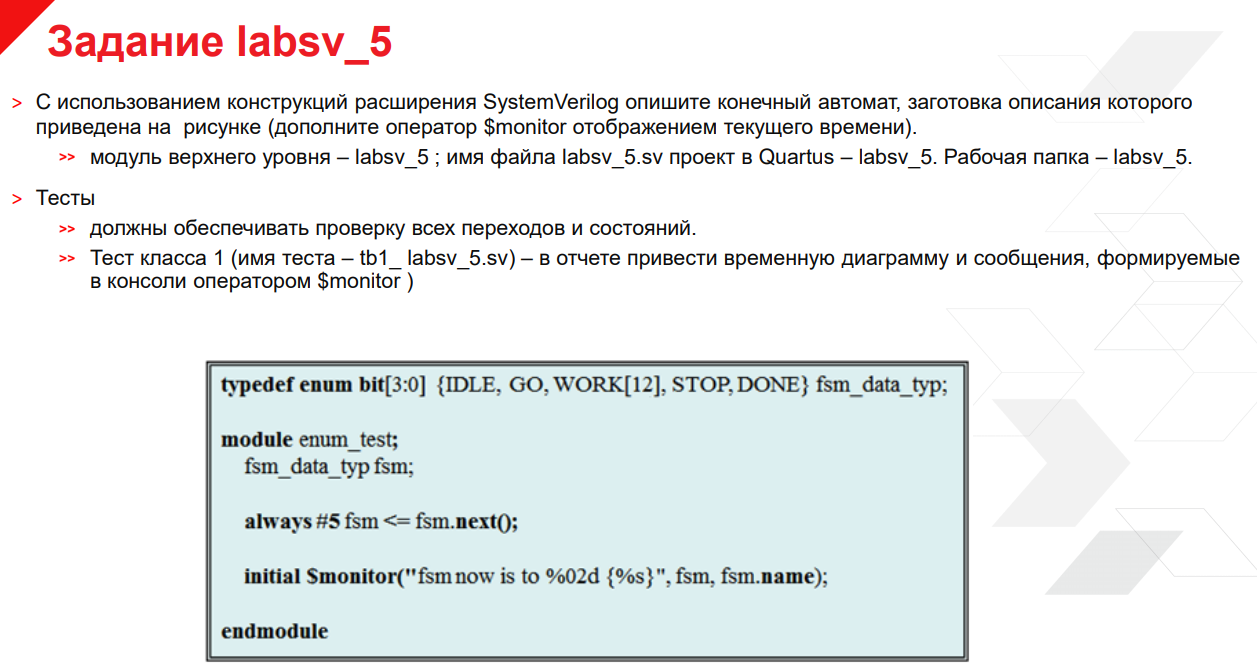
[1. Задание 3](#_Toc38628139)

[2. Описание тестируемого модуля и тестов на языке SystemVerilog 3](#_Toc38628140)

[3. Тестирование 4](#_Toc38628141)

[4. Выводы 4](#_Toc38628142)

# Задание



# Описание тестируемого модуля и тестов на языке SystemVerilog

Тестируемый модуль:

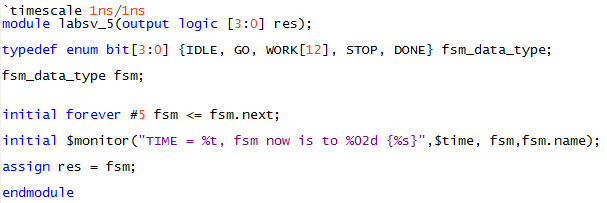
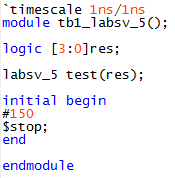


Рис.1. Описание тестируемого модуля

Тест первого класса:



*Рис.2. Описание теста первого класса*

# Тестирование

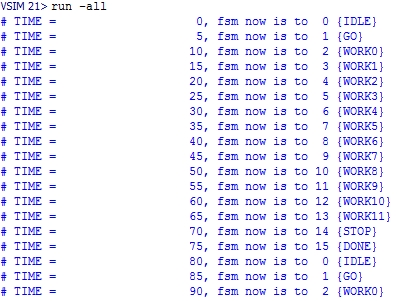
**Тест первого класса.**

Результаты тестирования:

**

*Рис.3. Результаты тестирования*

Конечный автомат циклически переходит между своими состояниями. При каждом переходе текущее состояние автомата отображается в консоли:

**

*Рис.4. Результаты тестирования*

Результаты тестирования полностью соответствуют ожидаемым, переходы между состояниями автомата осуществляются верно.

# Выводы

В ходе выполнения данной лабораторной работы на языке SystemVerilog был описан заданный конечный автомат. Для него был написан тест первого класса. Тест был успешно пройден, из чего следует, что описанный конечный автомат работает верно.