Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе № 6**

**Дисциплина**: Автоматизация проектирования дискретных устройств

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.A. Антонов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

Санкт-Петербург

2020

Оглавление

[1. Задание 3](#_Toc38633696)

[2. Описание тестируемого модуля и тестов на языке SystemVerilog 3](#_Toc38633697)

[3. Тестирование 5](#_Toc38633698)

[4. Выводы 6](#_Toc38633699)

# Задание



# Описание тестируемого модуля и тестов на языке SystemVerilog

Тестируемый модуль:

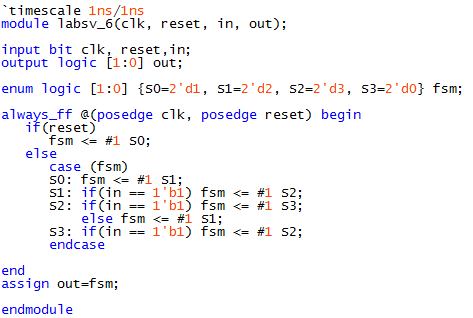
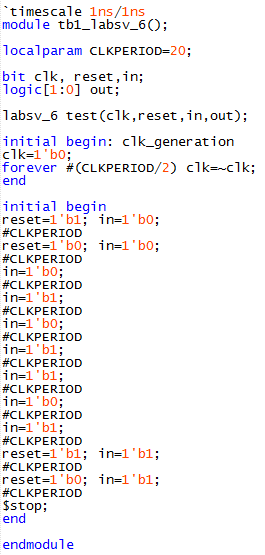


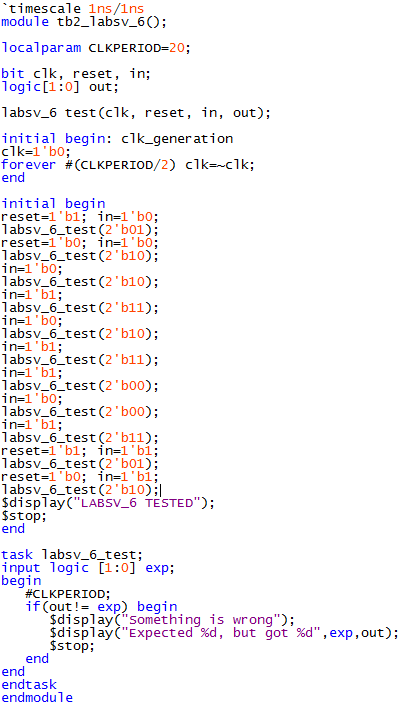
Рис.1. Описание тестируемого модуля

Тест первого класса:



*Рис.2. Описание теста первого класса*

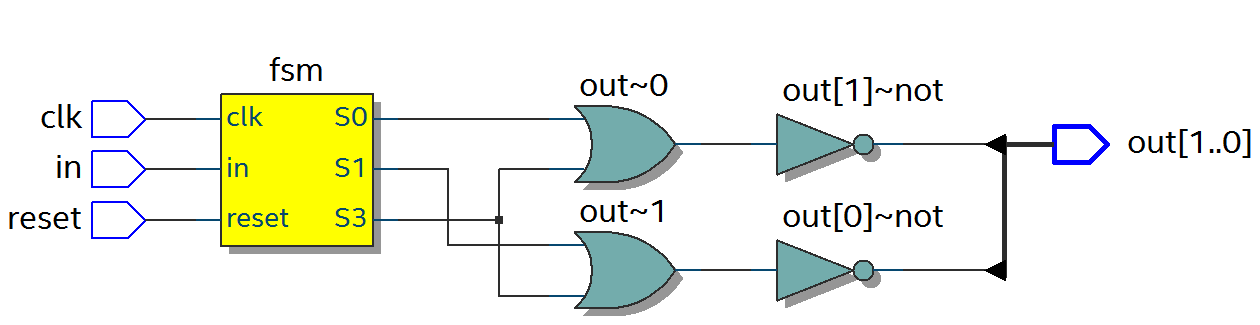
Тест второго класса с вычислением результата:



*Рис.3. Описание теста второго класса с вычислением результата*

В task labsv\_6\_test значения, полученные от автомата, сравниваются с ожидаемыми значениями. В случае, если тестирование прошло успешно для всех входных данных, выводится сообщение об успешном прохождении тестирования.

Результат синтеза описания:

**

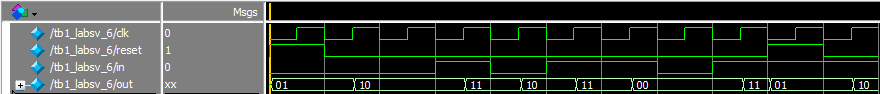
*Рис.4. Результат синтеза*

# Тестирование

**Тест первого класса.**

Последовательно поданы возможные входные данные.

Результаты тестирования:

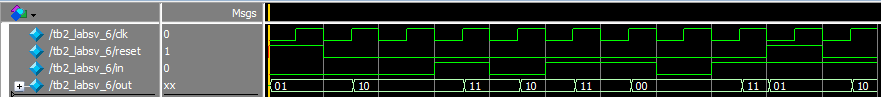
**

*Рис.5. Результаты тестирования*

Результаты тестирования полностью соответствуют ожидаемым, переходы между состояниями автомата осуществляются верно.

**Тест второго класса с вычислением результата.**

Выходные значения автомата автоматически сравниваются с ожидаемыми значениями и в консоль выводится сообщение об успешном/неуспешном прохождении тестирования.



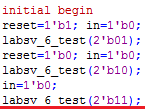
*Рис.6. Результаты тестирования*



*Рис.7. Сообщение об успешном прохождении тестирования*

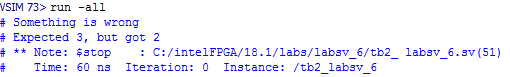
Все тесты успешно пройдены. Переходы между состояниями автомата осуществляются верно.

Подадим неверные данные в качестве ожидаемых:



*Рис.8. Неверные данные в качестве ожидаемых*

Результаты тестирования:



*Рис.9. Сообщение об ошибке во время тестирования*

Тест, ожидаемо, завершился с ошибкой.

# Выводы

В ходе выполнения данной лабораторной работы на языке SystemVerilog был описан заданный конечный автомат. Для него были написаны тесты первого и второго классов. Тесты были успешно пройдены, из чего следует, что описанный конечный автомат работает верно.