Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе**

**Дисциплина**: Языки описания аппаратных средств

вычислительных систем

**Тема**: основы VerilogHDL/SystemVerilog(синтез и моделирование)

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.С. Филиппов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

**1. Задачи работы**

Знакомство с основами VerilogHDL/SystemVerilog.

**2. Программа работы**

**2.1. Упражнение 1**

Необходимо на языке Verilog описать схему, представленную на Рис.1.

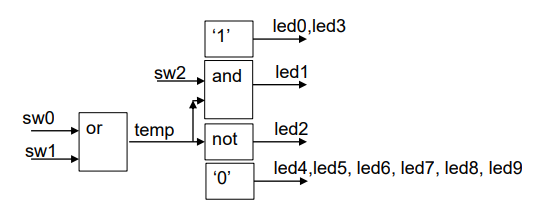


Рис.1.

Было произведено следующее текстовое описание схемы(Рис.2.):

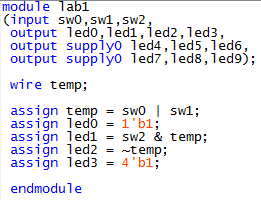


Рис.2. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.3.)

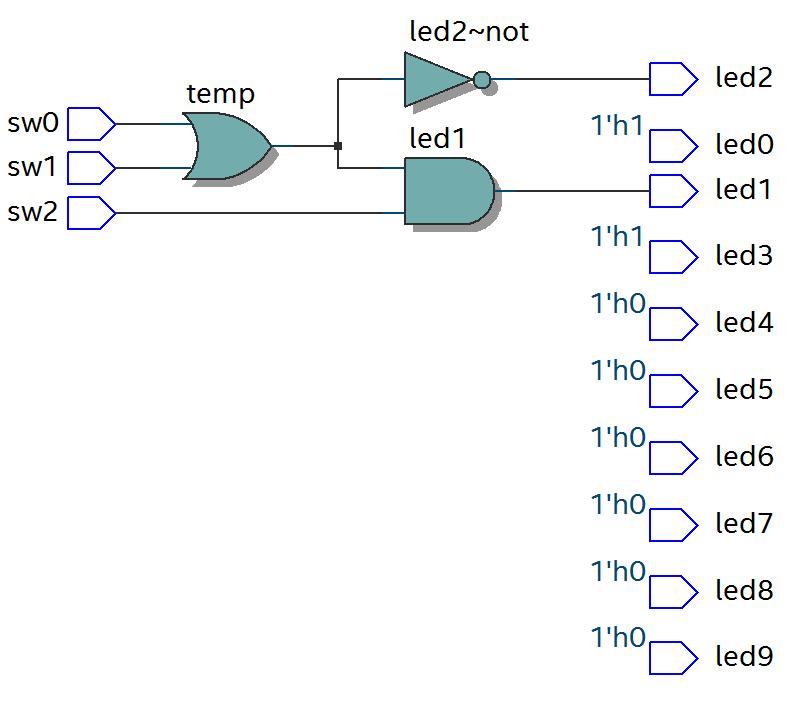


Рис. 3. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.4.

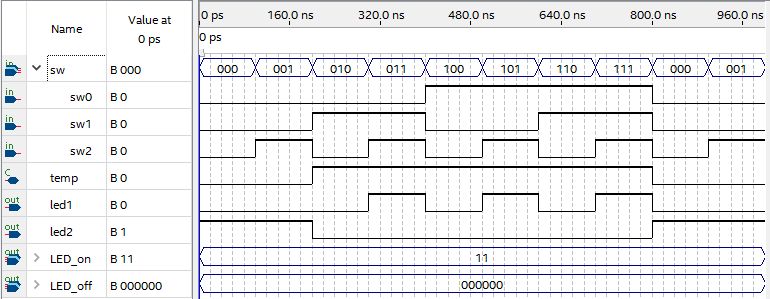


Рис.4. Результаты моделирования

Результаты моделирования полностью совпадают с демонстрационной частью лекции.

Были заданы выводы СБИС в Pin Planer(Рис.5.) и проведена полная компиляция проекта(Рис.6.).

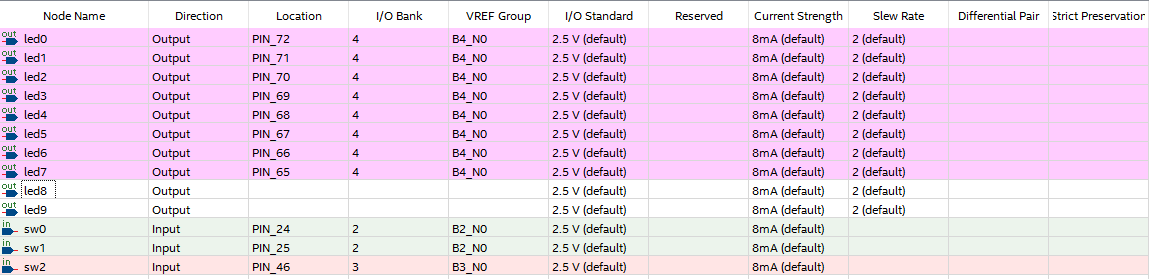


Рис.5. Вид окна Pin Planer

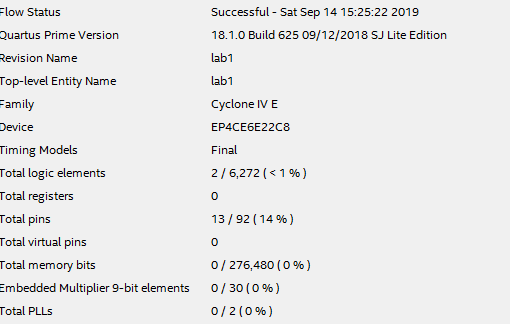


Рис.6. Результат компиляции

**2.2. Упражнение 2**

Необходимо на языке Verilog, используя логические выражения, описать мультиплексор 2(4бит) =>1(4бит).

Было произведено следующее текстовое описание схемы(Рис.7.):

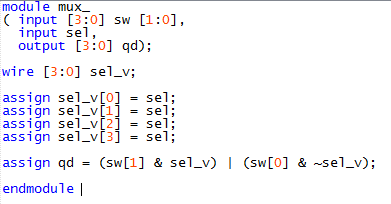


Рис.7. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.8.)

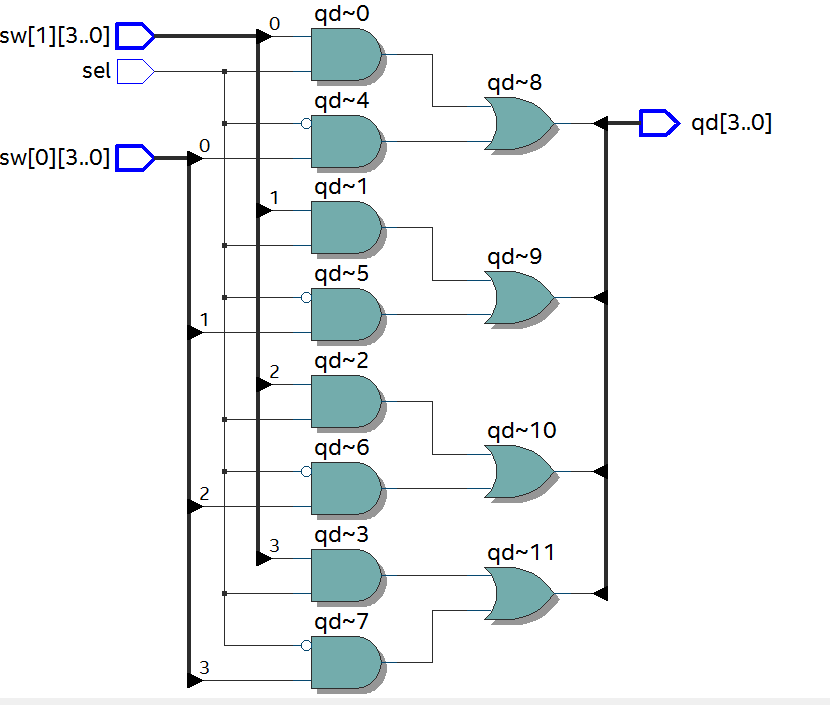


Рис.8. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.9.

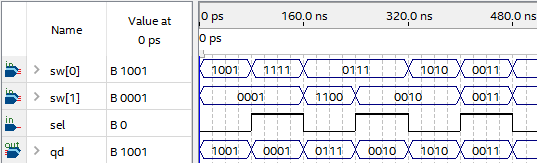


Рис.9. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.10.) и проведена полная компиляция проекта(Рис.11.)

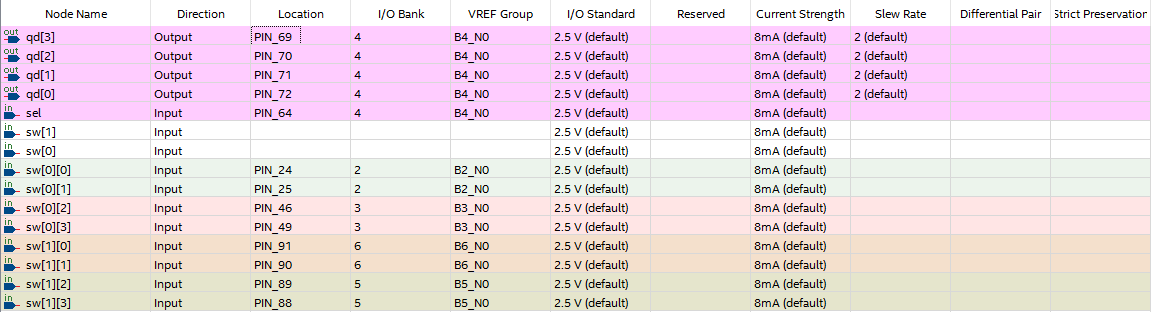


Рис.10. Вид окна Pin Planer

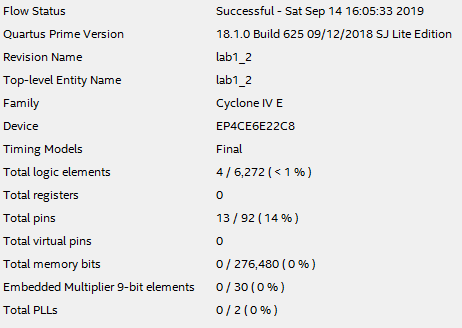


Рис.11. Результат компиляции

**2.3. Упражнение 3**

Необходимо на языке Verilog, используя логические выражения или

оператор условного выбора, описать устройство выбора

максимума из двух 4-х разрядных данных (структурная

схема приведена на Рис.12.).

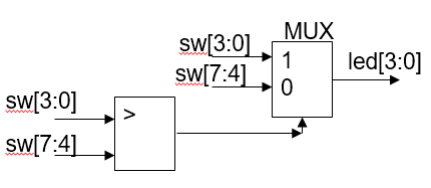


Рис.12.

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.13.):

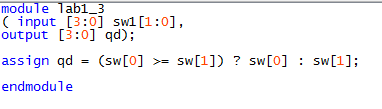


Рис.13. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.14.)

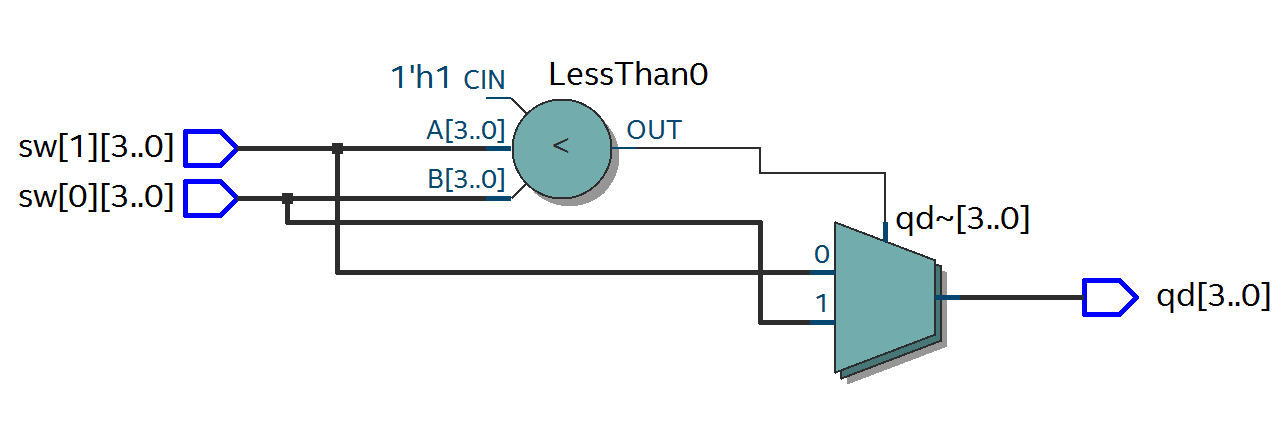


Рис.14. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.15.

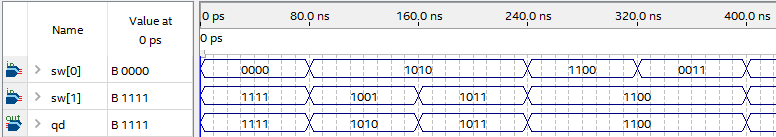


Рис.15. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.16.) и проведена полная компиляция проекта(Рис.17.).

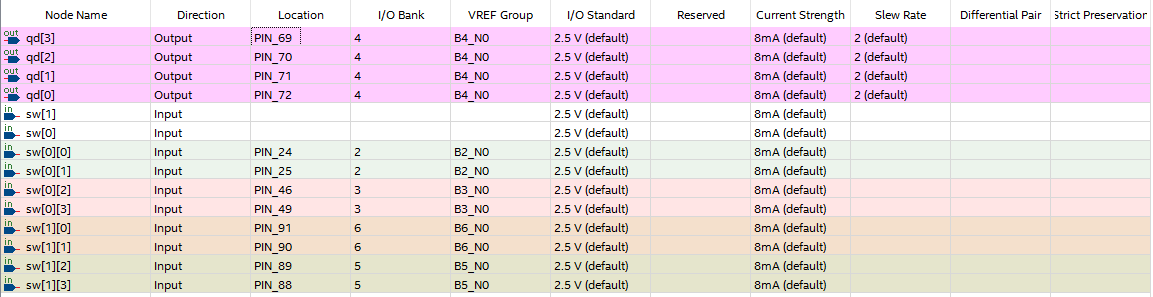
****

Рис.16. Вид окна Pin Planer

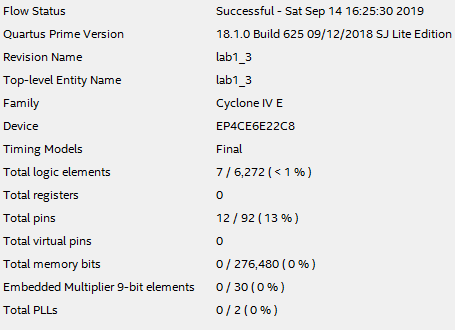


Рис.17. Результат компиляции

**2.4. Упражнение 4**

Необходимо на языке Verilog, используя логические выражения, описать преобразователь двоичного кода в позиционный код (один-из-N).

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.18.):

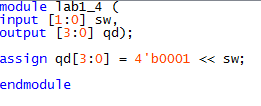


Рис.18. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.19.)

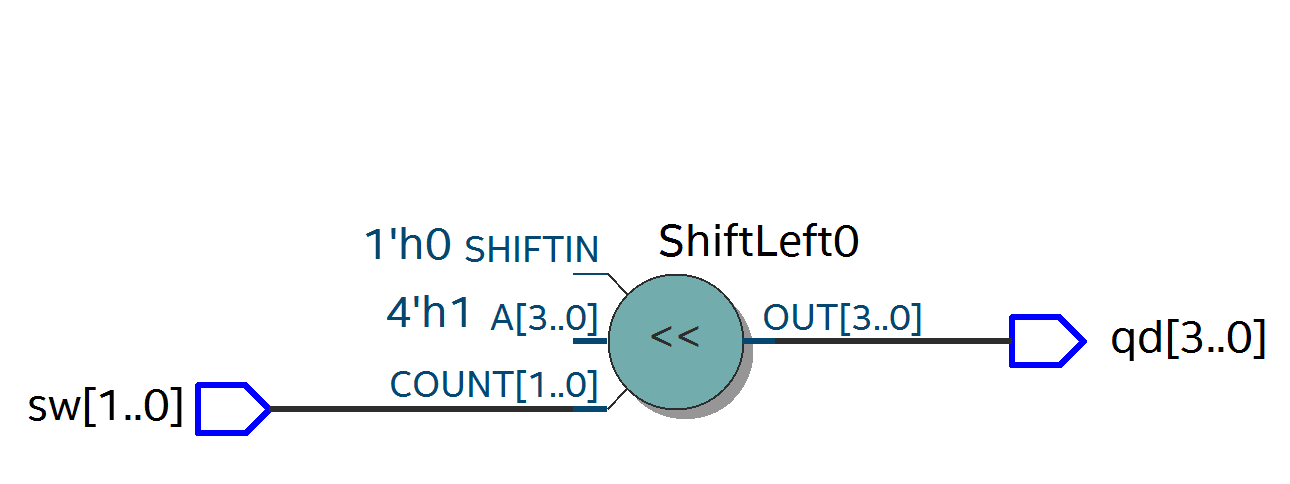


Рис.19. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.20.

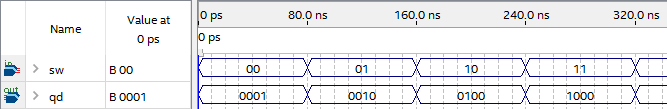


Рис.20. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.21.) и проведена полная компиляция проекта(Рис.22.).

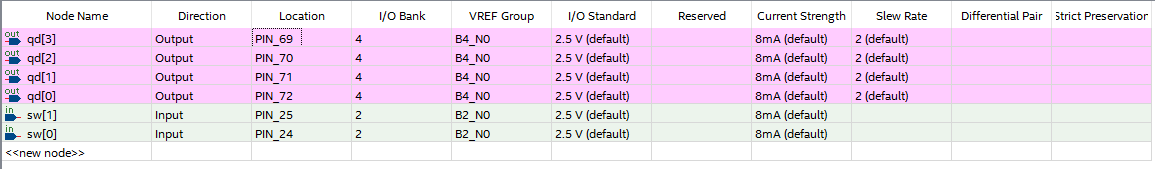


Рис.21. Вид окна Pin Planer

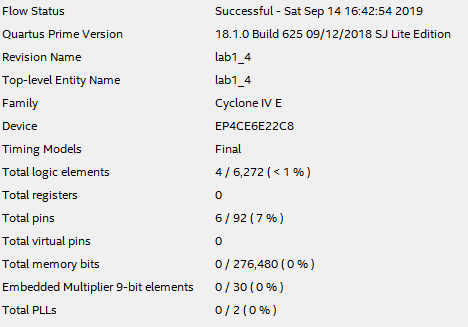


Рис.22. Результат компиляции

**2.5. Упражнение 5**

Необходимо на языке Verilog, используя логические выражения, описать полный одноразрядный сумматор.

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.23.):

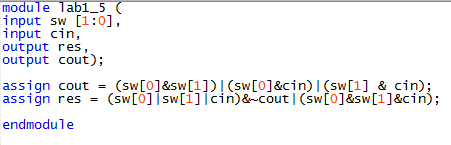


Рис.23. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.24.)

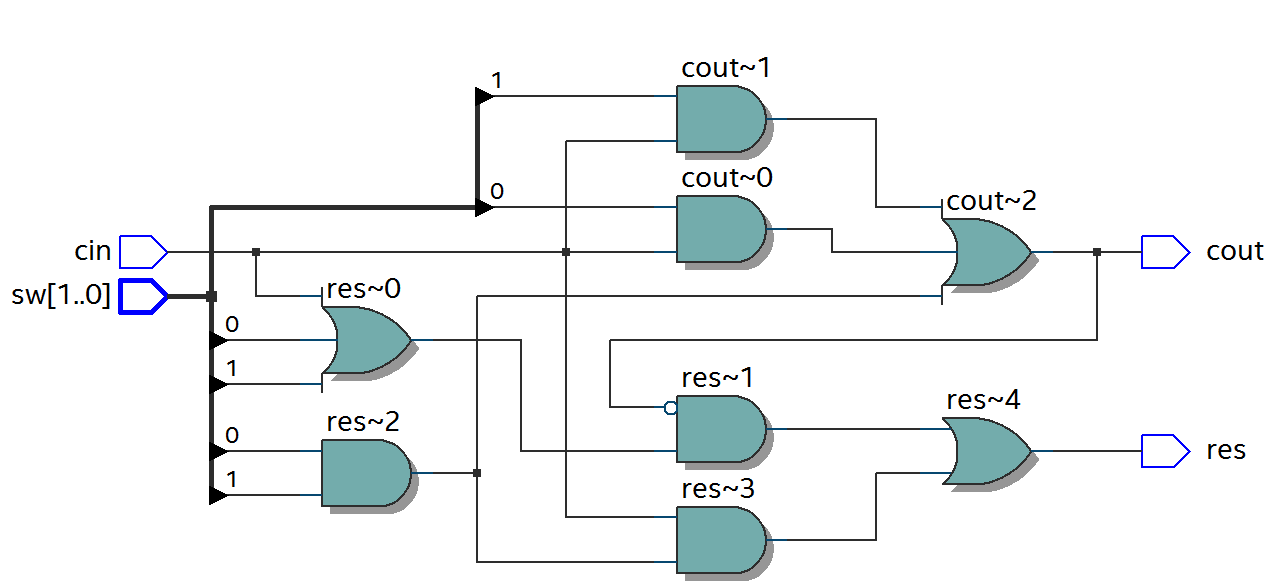


Рис.24. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.25.

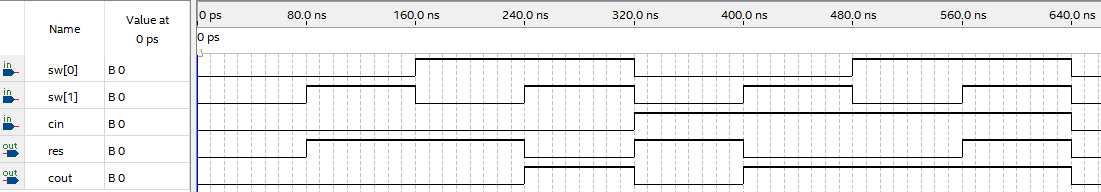


Рис.25. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.26.) и проведена полная компиляция проекта(Рис.27.).

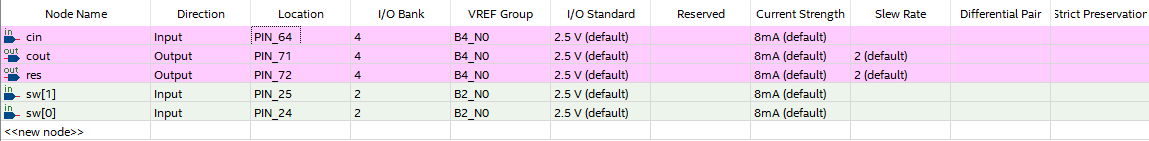


Рис.26. Вид окна Pin Planer

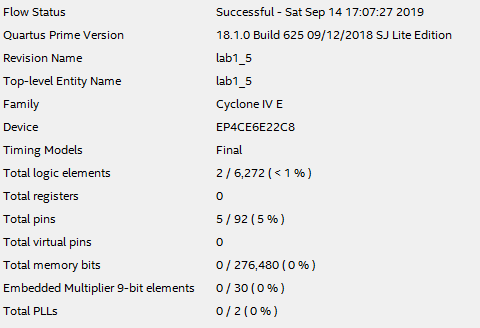


Рис.27. Результат компиляции

**3.** **Вывод**

В процессе выполнения лабораторной работы следующие устройства были описаны на языке Verilog: устройство выбора максимума из двух 4-х разрядных чисел, мультиплексор, декодер, одноразрядный сумматор. Было проведено функциональное моделирование для каждого описанного устройства. Результаты моделирования полностью совпали с ожидаемыми.