Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе**

**Дисциплина**: Языки описания аппаратных средств

вычислительных систем

**Тема**: операторы языка VerilogHDL/SystemVerilog

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.С. Филиппов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

**1. Задачи работы**

Знакомство с операторами языка VerilogHDL/SystemVerilog.

**2. Программа работы**

**2.1. Упражнение 1**

Необходимо на языке Verilog описать знаковый умножитель\сумматор.

Было произведено следующее текстовое описание схемы(Рис.1.):

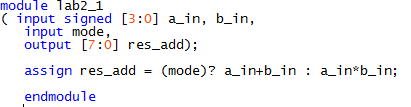


Рис.1. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.2.)

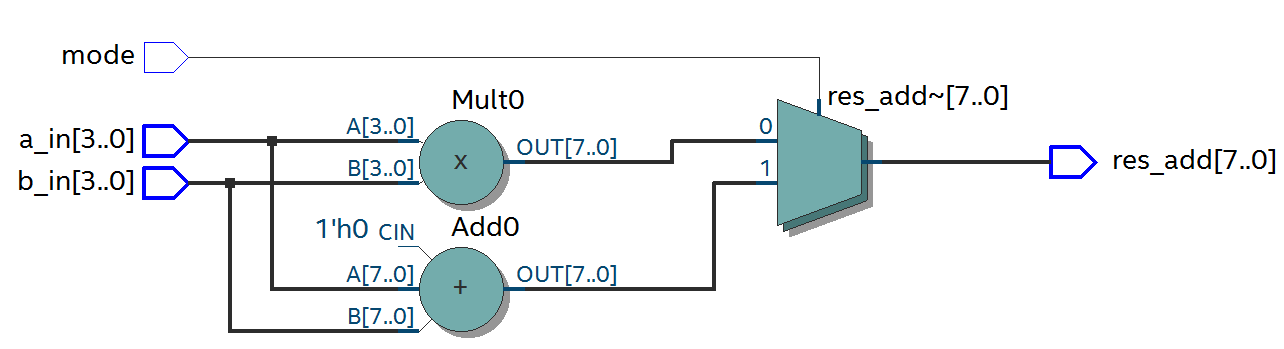


Рис. 2. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.3.

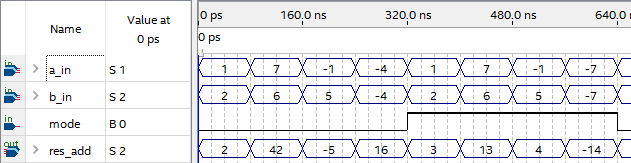


Рис.3. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.4.) и проведена полная компиляция проекта(Рис.5.).

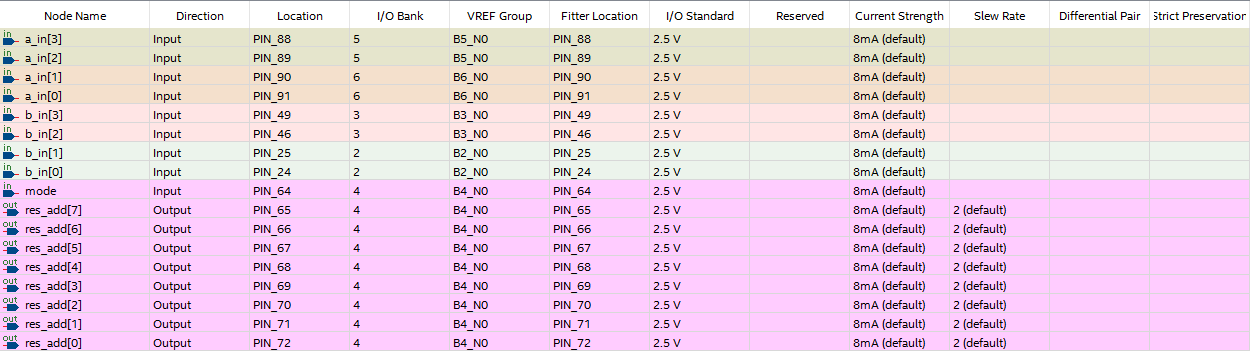


Рис.4. Вид окна Pin Planer

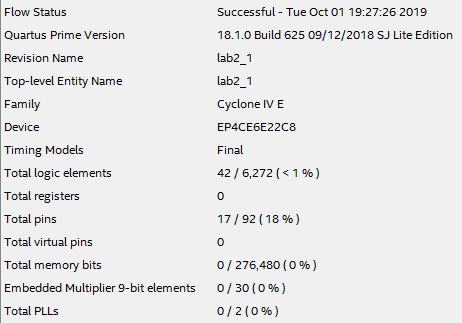


Рис.5. Результат компиляции

**2.2. Упражнение 2**

Необходимо на языке Verilog описать беззнаковый умножитель 4-х разрядного числа на фиксированные числа.

Было произведено следующее текстовое описание схемы(Рис.6.):

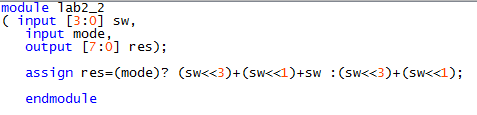


Рис.6. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.7.)

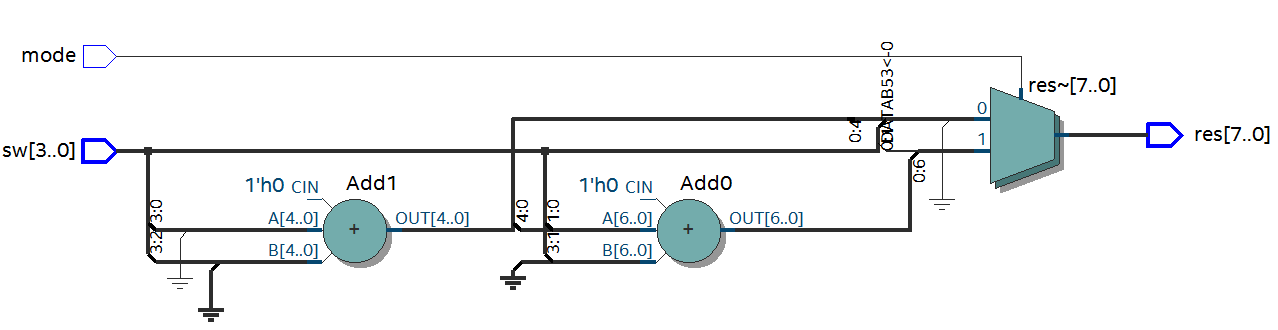


Рис.7. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.8.

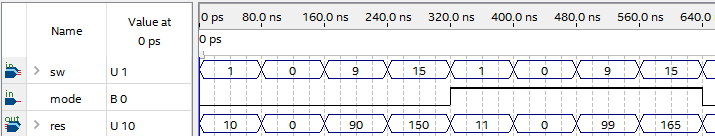


Рис.8. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.9.) и проведена полная компиляция проекта(Рис.10.)

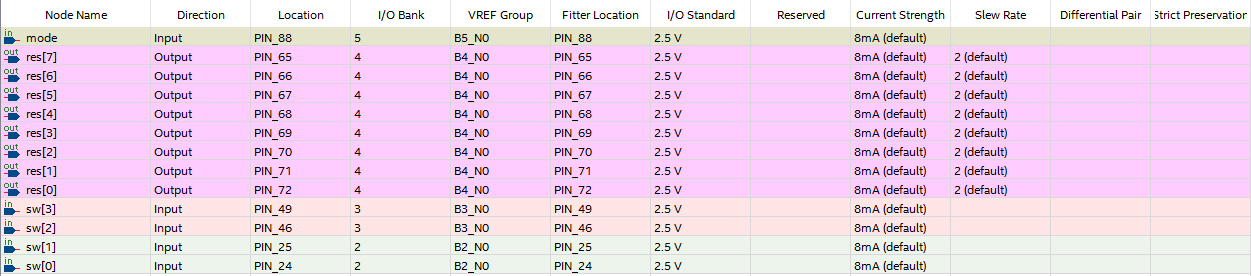


Рис.9. Вид окна Pin Planer

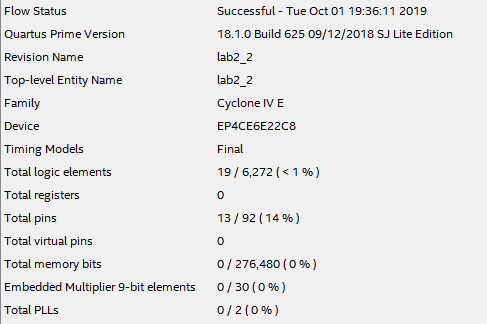


Рис.10. Результат компиляции

**2.3. Упражнение 3**

Необходимо на языке Verilog описать устройство выбора максимума из четырех 2-х разрядных данных чисел.

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.11.):

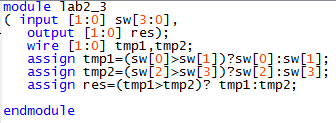


Рис.11. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.12.)

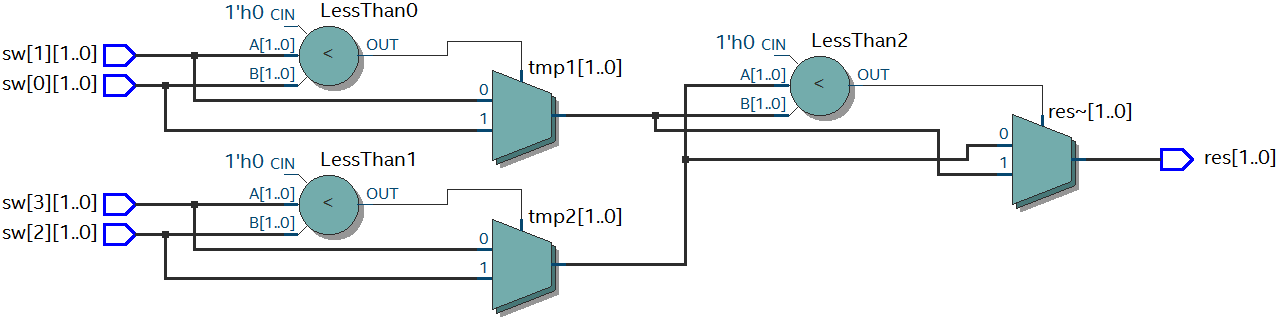


Рис.12. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.13.

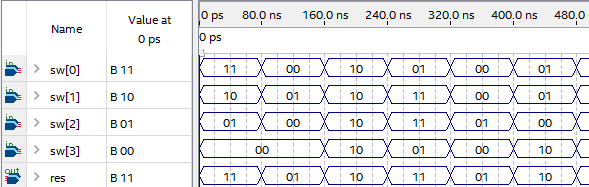


Рис.13. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.14.) и проведена полная компиляция проекта(Рис.15.).

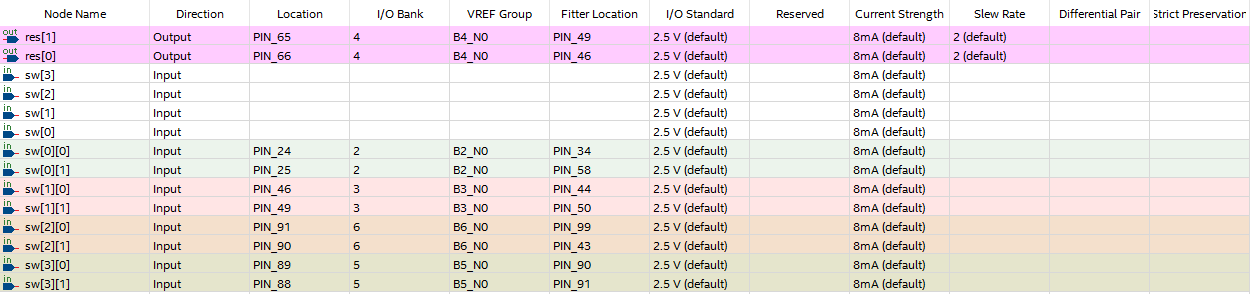
****

Рис.14. Вид окна Pin Planer

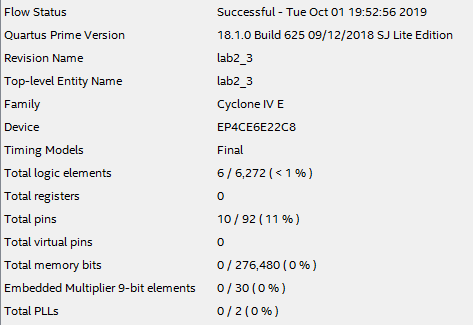


Рис.15. Результат компиляции

**2.4. Упражнение 4**

Необходимо на языке Verilog описать устройство, реализующее следующее выражение:



Было произведено следующее текстовое описание схемы на языке Verilog (Рис.16.):

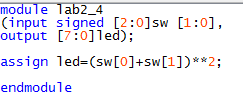


Рис.16. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.17.)

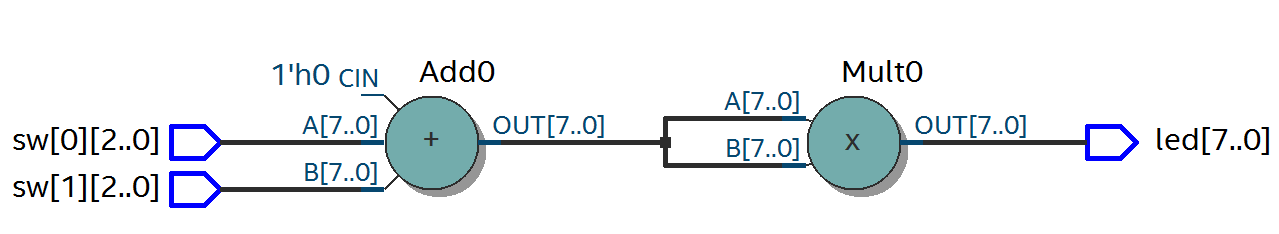


Рис.17. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.18.

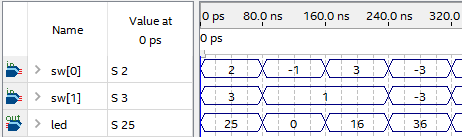


Рис.18. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.19.) и проведена полная компиляция проекта(Рис.20.).

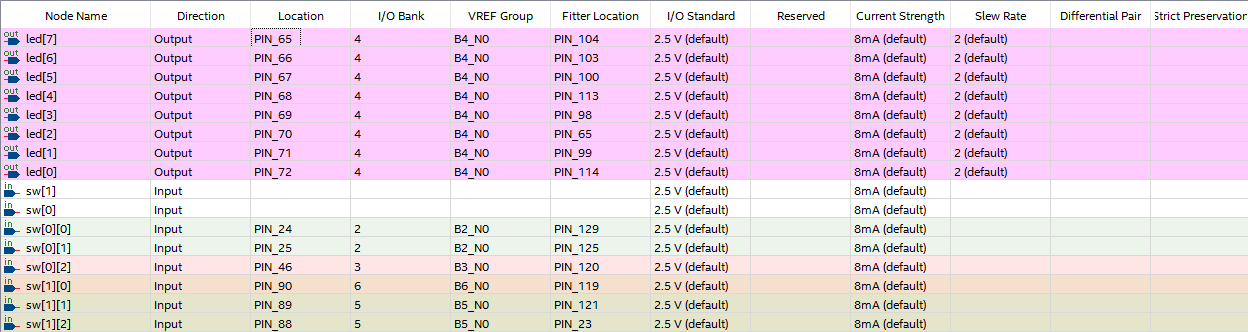


Рис.19. Вид окна Pin Planer

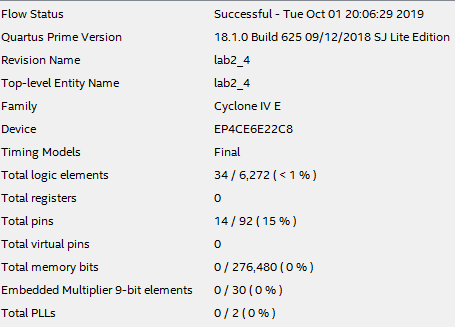


Рис.20. Результат компиляции

**3.** **Вывод**

В процессе выполнения лабораторной работы следующие устройства были описаны на языке Verilog: знаковый умножитель\сумматор, беззнаковый умножитель 4-х разрядного числа на фиксированные числа, устройство выбора максимума из четырех 2-х разрядных данных чисел, а также устройство, реализующее заданное выражение. Было проведено функциональное моделирование для каждого описанного устройства. Результаты моделирования полностью совпали с ожидаемыми.