Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе**

**Дисциплина**: Языки описания аппаратных средств

вычислительных систем

**Тема**: Два типа RTL процессов

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.С. Филиппов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

**1. Задачи работы**

Знакомство с операторами языка VerilogHDL/SystemVerilog, а также с двумя типами RTL процессов.

**2. Программа работы**

**2.1. Упражнение 1**

Необходимо на языке Verilog описать беззнаковый делитель с повышенной точностью (4 знака после запятой).

Было произведено следующее текстовое описание схемы(Рис.1.):

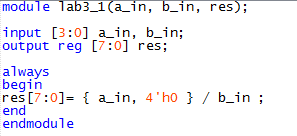


Рис.1. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.2.):

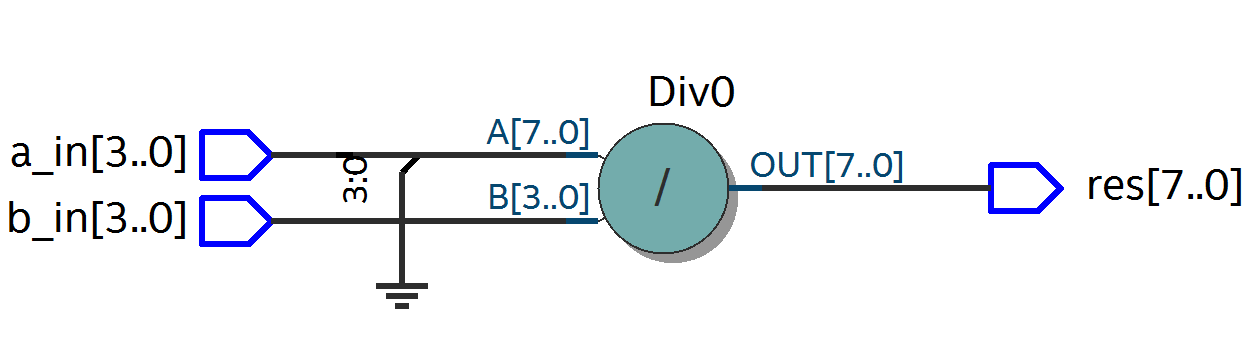


Рис. 2. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.3.

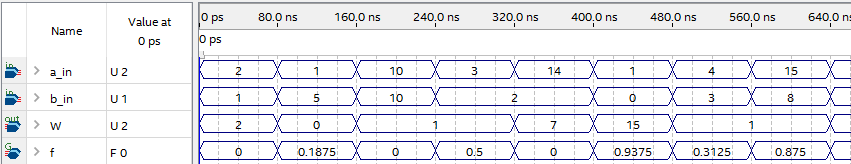


Рис.3. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.4.) и проведена полная компиляция проекта(Рис.5.).

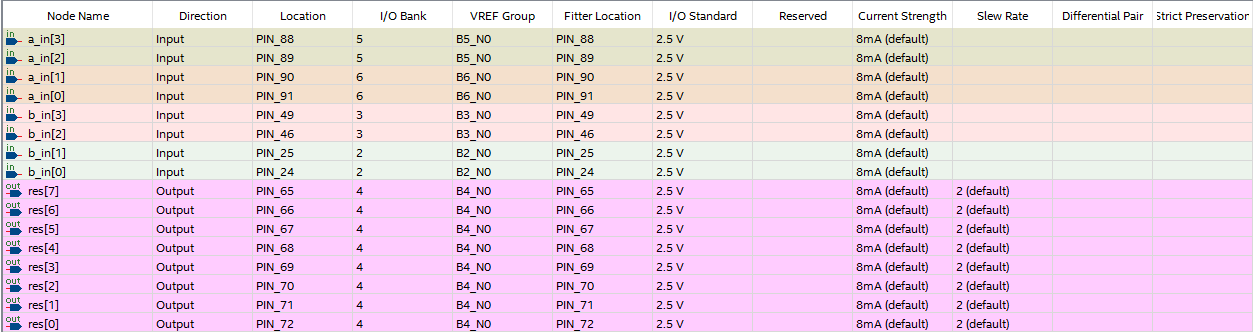


Рис.4. Вид окна Pin Planer

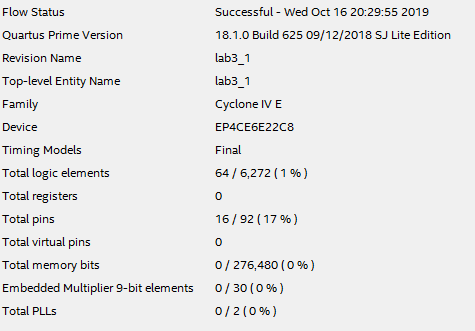


Рис.5. Результат компиляции

**2.2. Упражнение 2**

Необходимо на языке Verilog описать преобразователь двоичного 4-разрядного кода в 7-сегментный код.

Было произведено следующее текстовое описание схемы(Рис.6.):

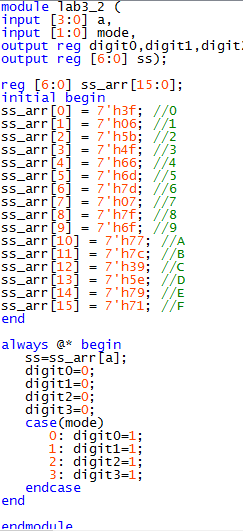


Рис.6. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.7.)

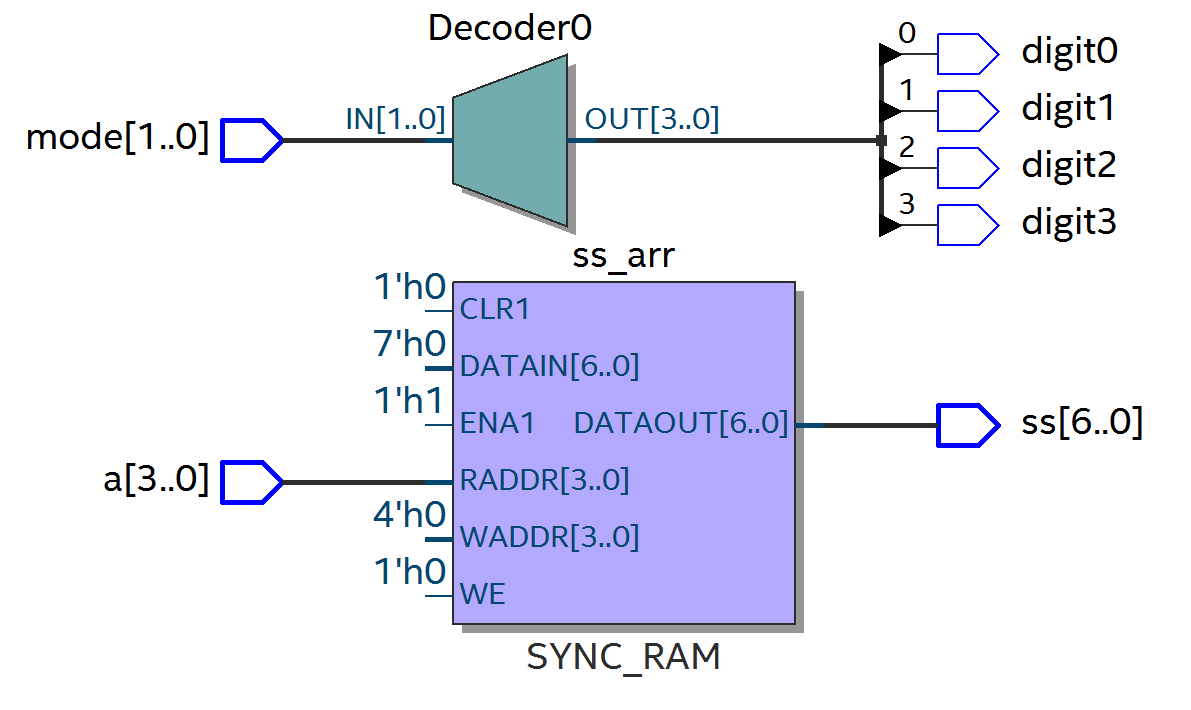


Рис.7. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.8.

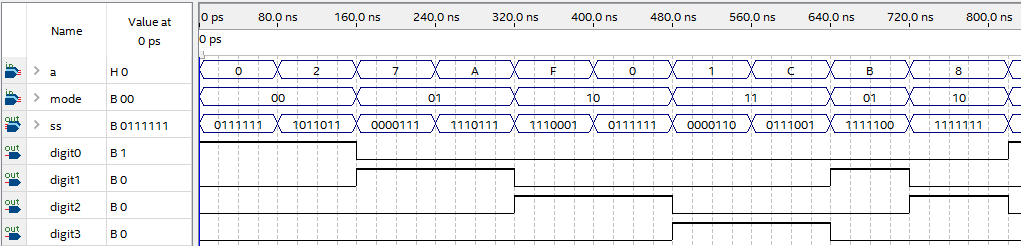


Рис.8. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.9.) и проведена полная компиляция проекта(Рис.10.)

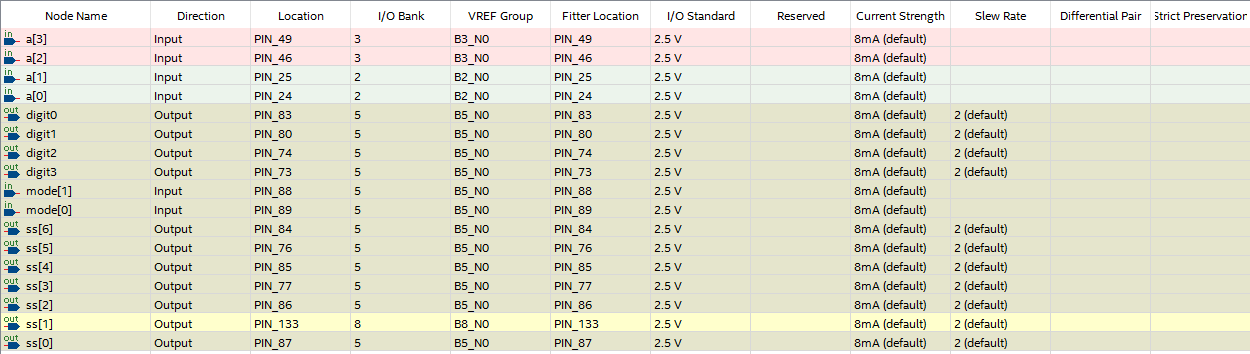


Рис.9. Вид окна Pin Planer

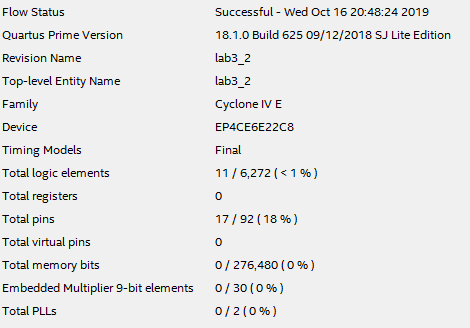


Рис.10. Результат компиляции

**2.3. Упражнение 3**

Необходимо на языке Verilog описать мажоритарное устройство с тремя 2-х разрядными входами.

Алгоритм работы устройства:

устройство анализирует три 2-х разрядных входа;

– Если любые два (или все три) входа имеют одинаковое значение, то оно передается на информационный выход устройства, при этом формируется признак достоверности данных

= 2 если значения любых двух входов были одинаковыми;

= 3 если значения трех входов были одинаковыми

– Если все входы имеют разное значение, то на информационном выходе устройства может формироваться произвольное значение, при этом формируется признак достоверности данных = 0

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.11.):

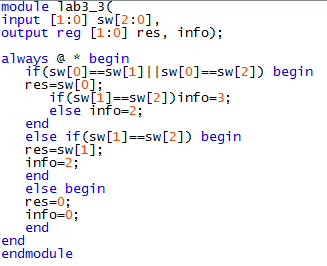


Рис.11. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.12.)

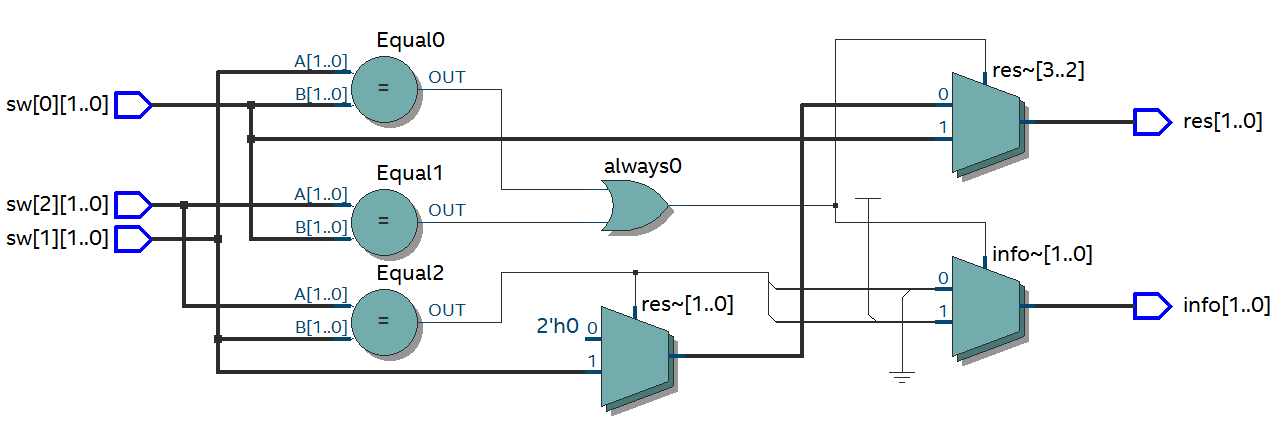


Рис.12. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.13.

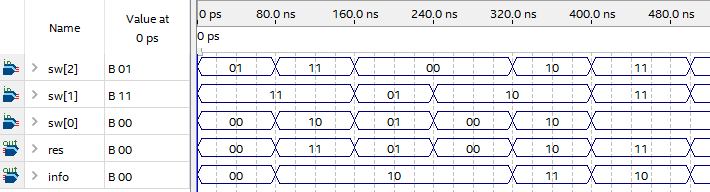


Рис.13. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.14.) и проведена полная компиляция проекта(Рис.15.).

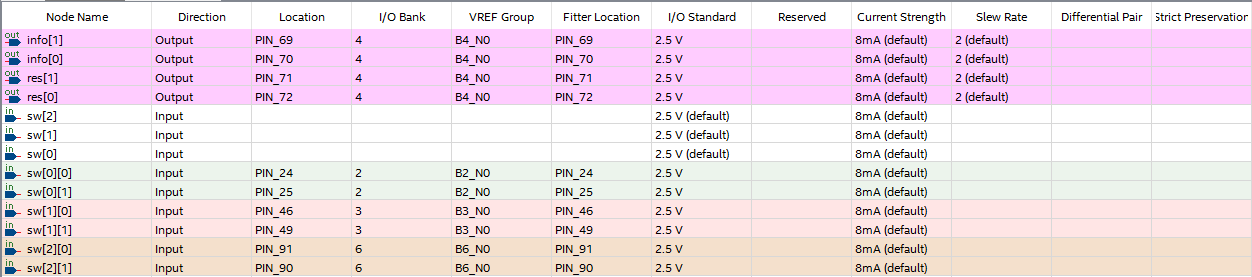
****

Рис.14. Вид окна Pin Planer

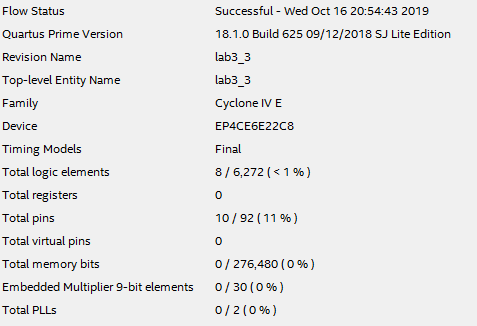


Рис.15. Результат компиляции

**2.4. Упражнение 4**

Необходимо на языке Verilog описать устройство, реализующее сортировку по возрастанию массива 2-х разрядных чисел, заданных переключателями sw[7:6] sw[5:4] sw[3:2] sw[1:0].

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.16.):

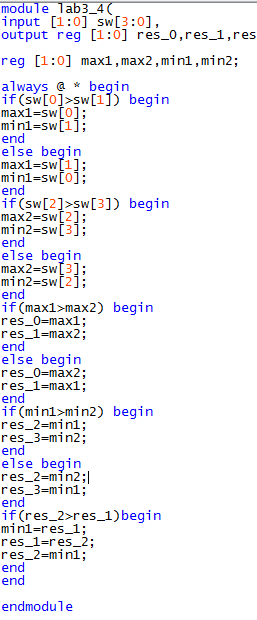


Рис.16. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.17.)

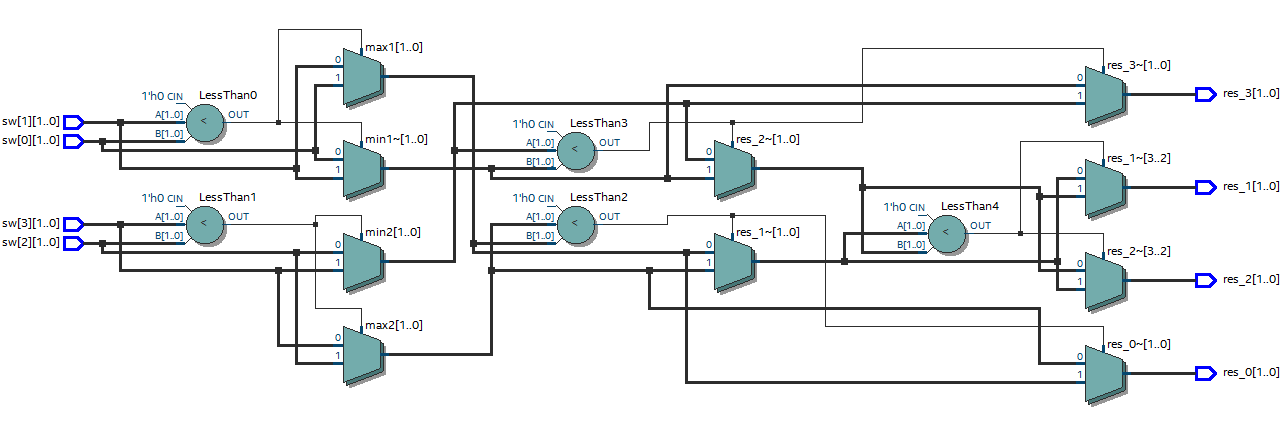


Рис.17. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.18.

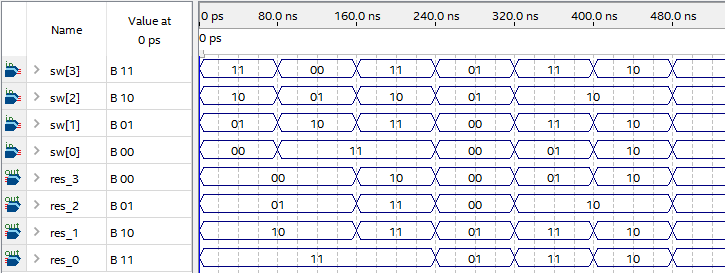


Рис.18. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.19.) и проведена полная компиляция проекта(Рис.20.).

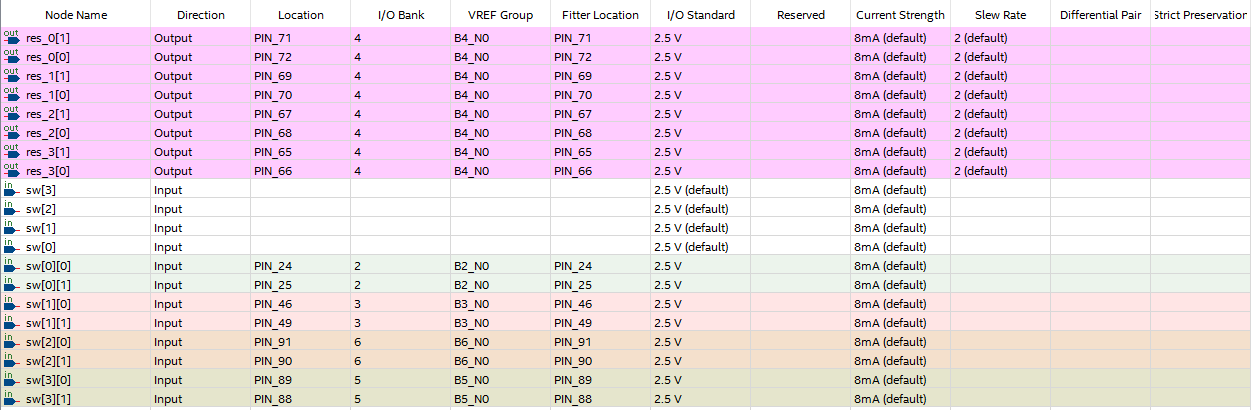


Рис.19. Вид окна Pin Planer

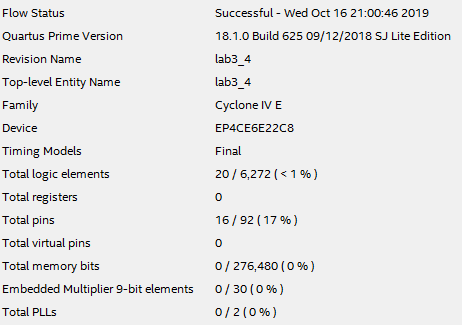


Рис.20. Результат компиляции

**3.** **Вывод**

В процессе выполнения лабораторной работы были изучены два типа RTL процессов, операторы if-else, case, следующие устройства были описаны на языке Verilog: беззнаковый делитель с повышенной точностью, преобразователь двоичного 4-разрядного кода в 7-сегментный код, мажоритарное устройство с тремя 2-х разрядными входами, а также устройство, реализующее сортировку по возрастанию массива 2-х разрядных чисел. Было проведено функциональное моделирование для каждого описанного устройства. Результаты моделирования полностью совпали с ожидаемыми.