Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе №4**

**Дисциплина**: Языки описания аппаратных средств

вычислительных систем

**Тема**: Два типа RTL процессов. Конечный автомат

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.С. Филиппов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

**1. Задачи работы**

1.1) Знакомство с операторами языка VerilogHDL/SystemVerilog

1.2) Знакомство со способами построения конечного автомата в среде Quartus

**2. Программа работы**

**2.1. Упражнение 1**

Необходимо на языке Verilog описать устройство, включающее:

* счетчик-делитель, обеспечивает счет по модулю 25 000 000 и формирование синхронного сигнала переноса (активный уровень сигнала – 1, длительность один такт тактовой частоты) по достижению счетчиком значения 25 000 000-1.
* Двоичный, 4-разрядный, счетчик, алгоритм работы, которого задан приведенной ниже таблицей

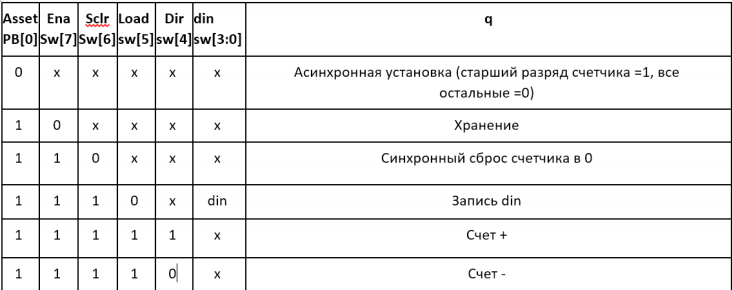


Таблица 1. Алгоритм работы счётчика

Было произведено следующее текстовое описание схемы(Рис.1.):

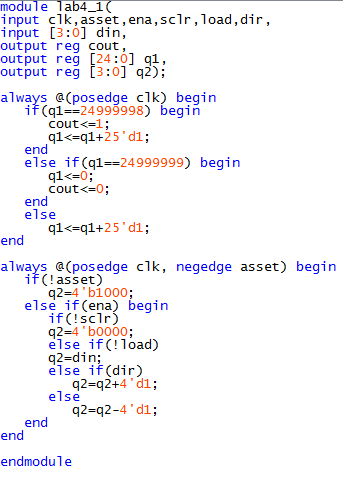


Рис.1. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.2.):

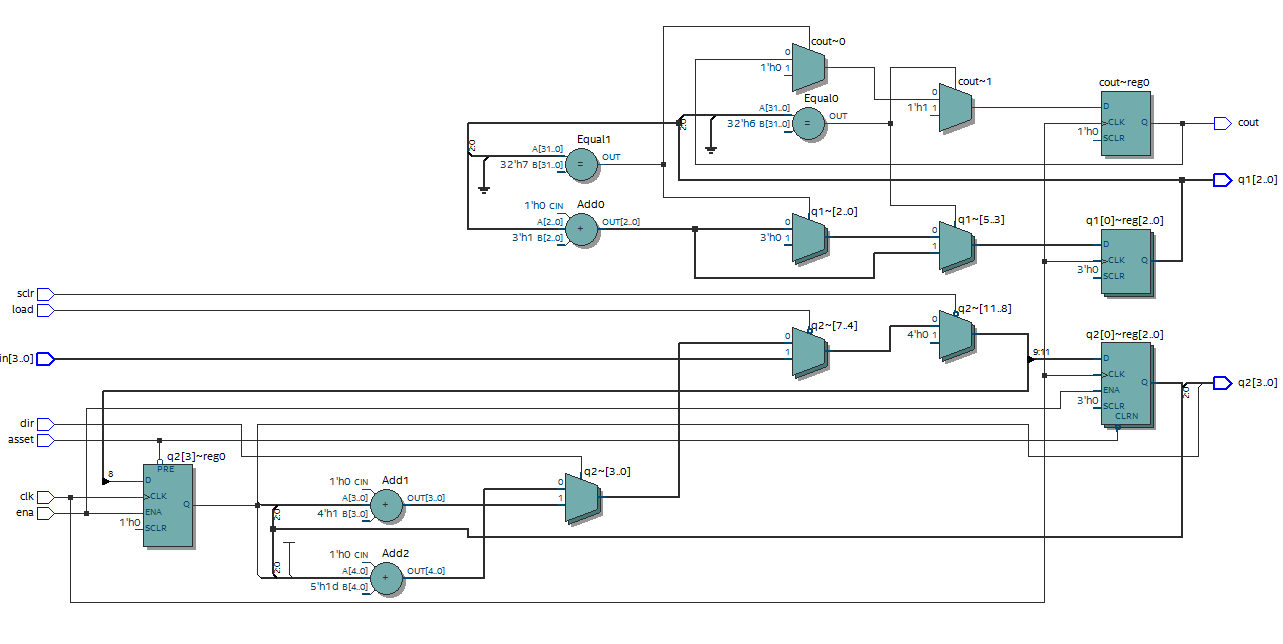


Рис. 2. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.3. и Рис.4

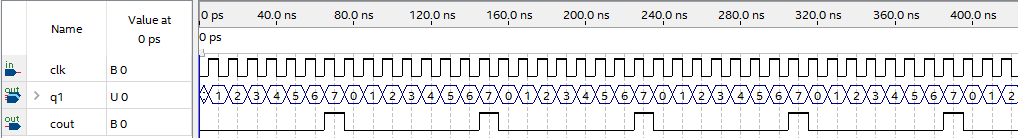


Рис.3. Результаты моделирования

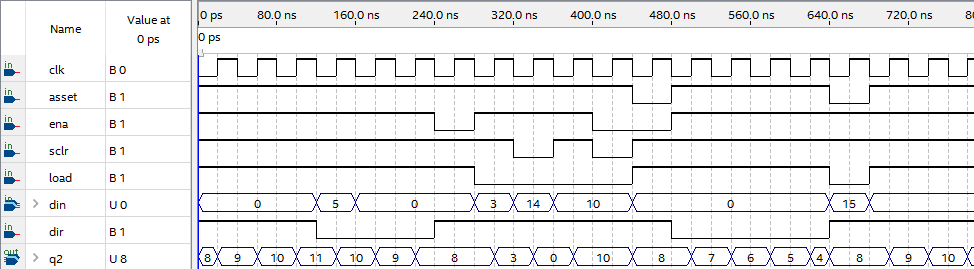


Рис.4. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.5.) и проведена полная компиляция проекта(Рис.6.).

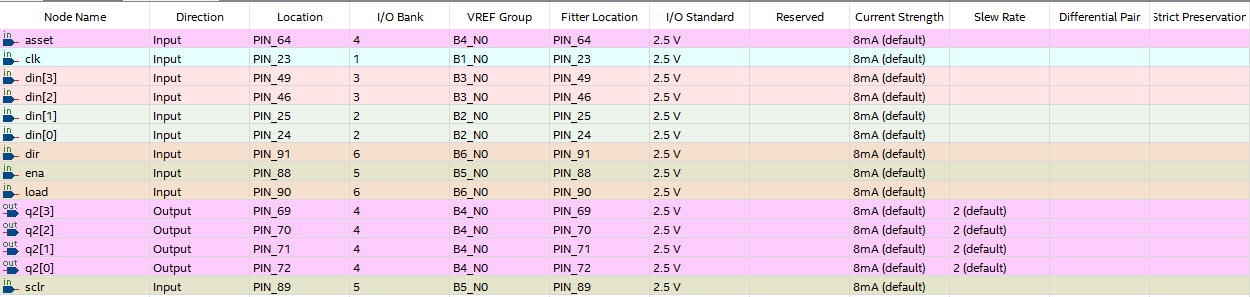


Рис.5. Вид окна Pin Planer

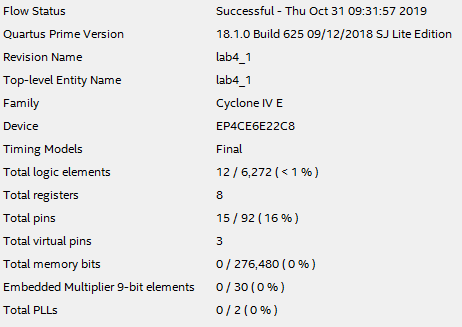


Рис.6. Результат компиляции

**2.2. Упражнение 2**

Необходимо на языке Verilog описать представленную ниже схему(Рис.7.).

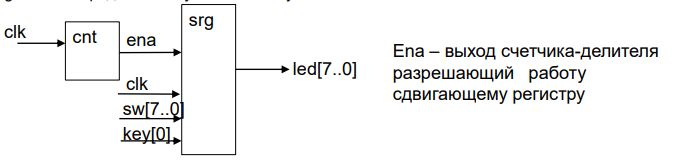


Рис.7.

сnt – счетчик-делитель: коэффициент деления задается константой; выход – сигнал переноса

srg – сдвигающий регистр;

Было произведено следующее текстовое описание схемы(Рис.8.):

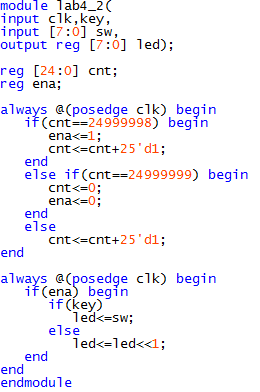


Рис.8. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.9.)

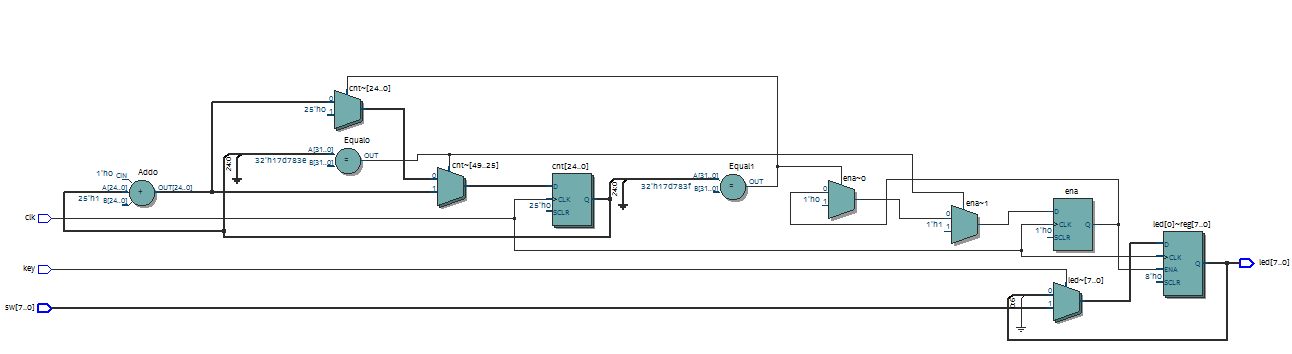


Рис.9. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.10.

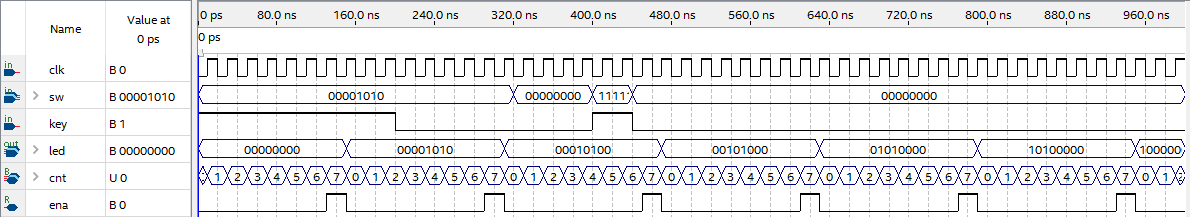


Рис.10. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.11.) и проведена полная компиляция проекта(Рис.12.)

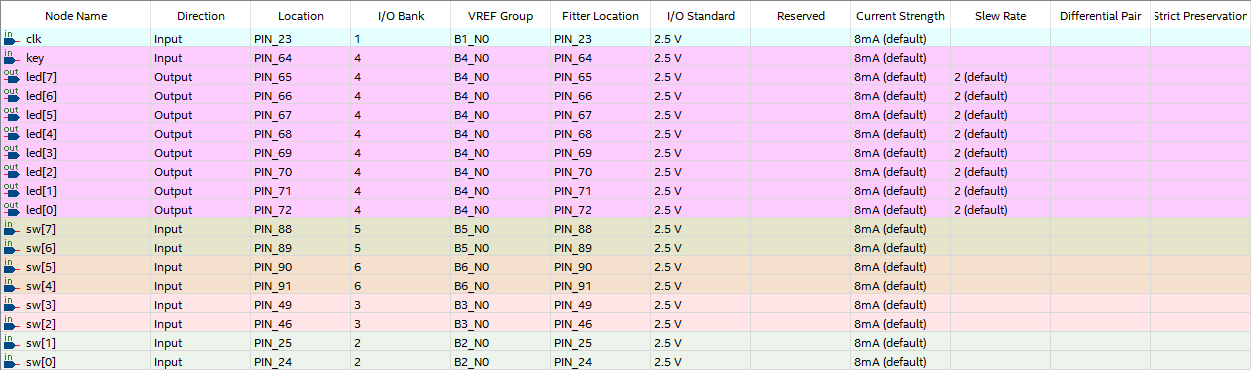


Рис.11. Вид окна Pin Planer

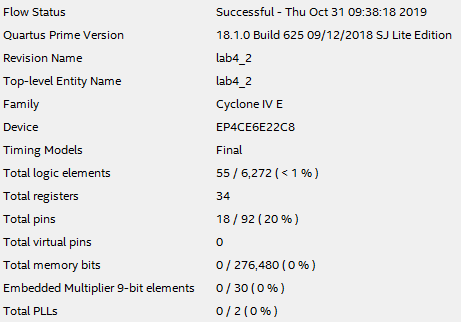


Рис.12. Результат компиляции

**2.3. Упражнение 3**

Необходимо на языке Verilog описать 2-10 счетчик, содержащий 2 тетрады (счет десятков, счет единиц).

* Счетчики десятков и единиц соединить каскадно.
* Счетчики описать в отдельных процедурных блоках.
* В отдельном процедурном блоке описать счетчик-делитель на 25 000 000, формирующий сигнал разрешения

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.13.):

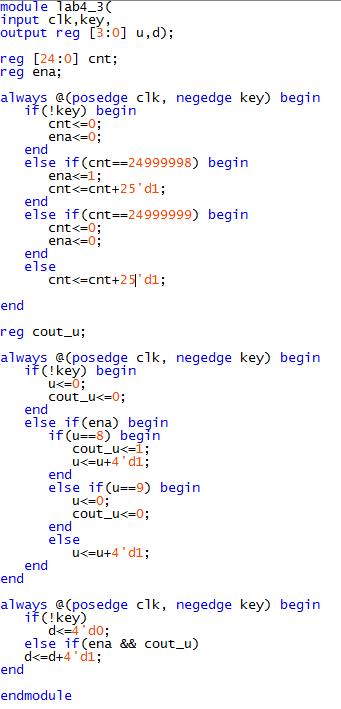


Рис.13. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.14.)

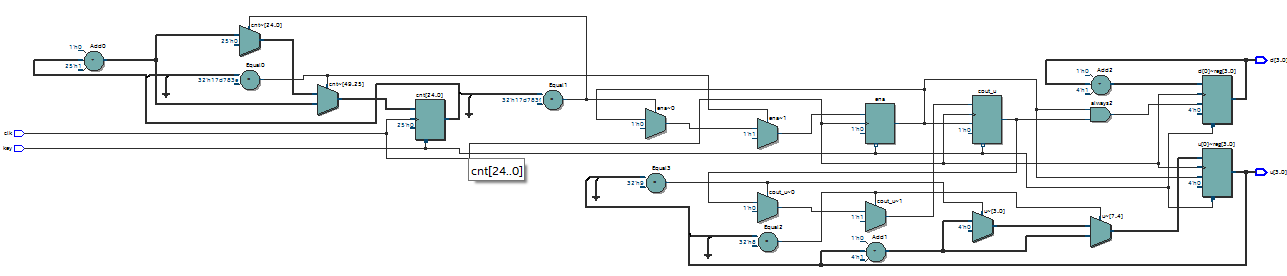


Рис.14. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.15.

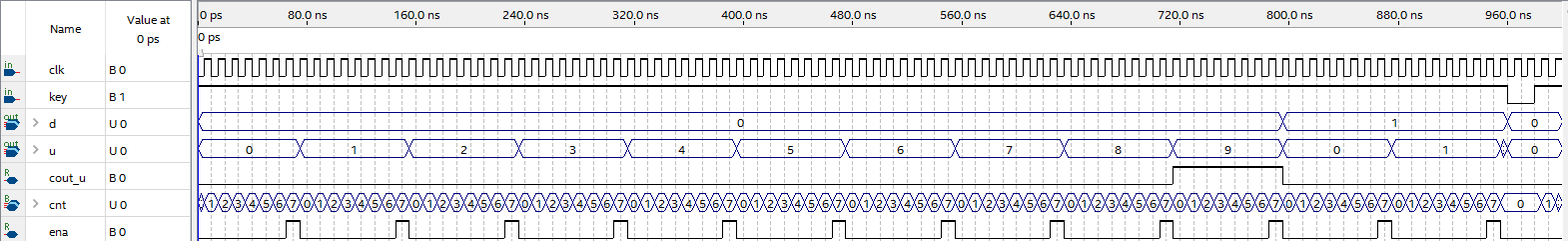


Рис.15. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.16.) и проведена полная компиляция проекта(Рис.17.).

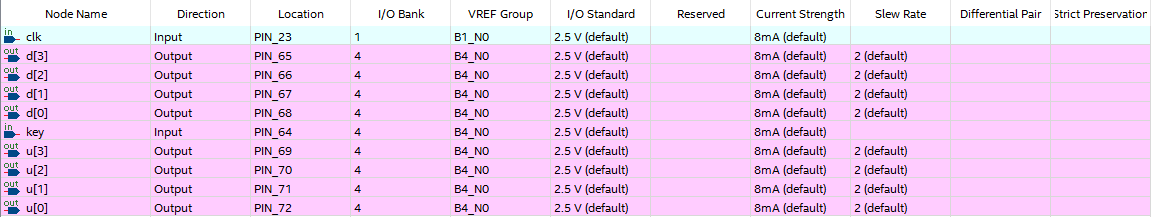
****

Рис.16. Вид окна Pin Planer

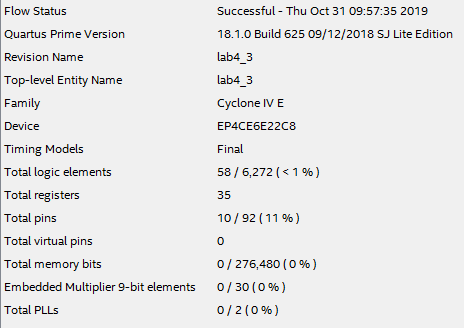


Рис.17. Результат компиляции

**2.4. Упражнение 4**

Необходимо на языке Verilog описать конечный автомат, представленный на Рис.18.

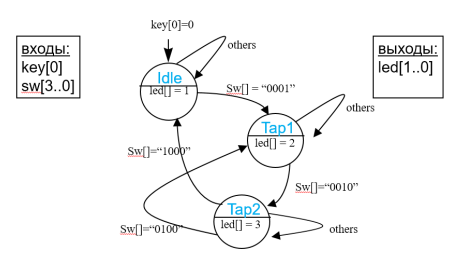


Рис.18.

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.19.):

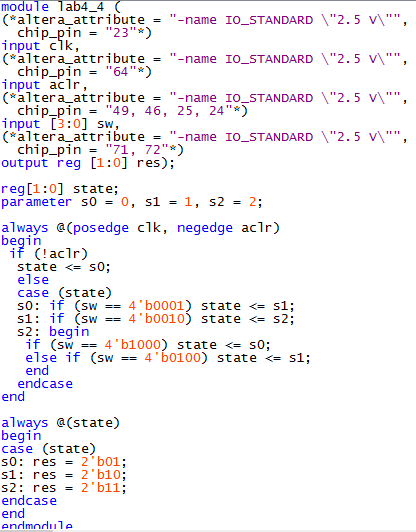


Рис.19. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.20.)

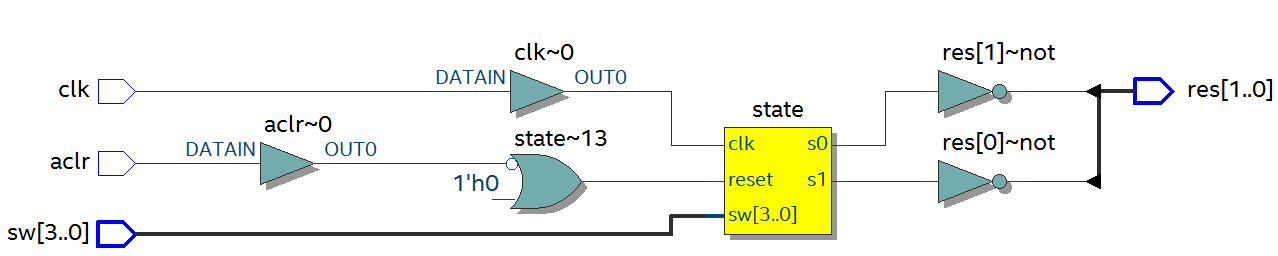


Рис.20. Схема в RTL Viewer

Вид блок схемы конечного автомата в State Machine Viewer (Рис.21.)

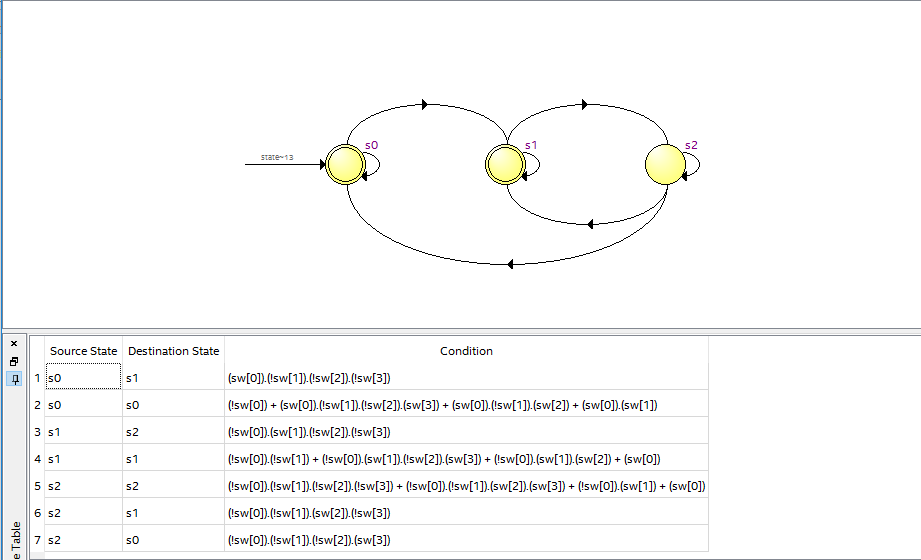


Рис.21. Конечный автомат в State Machine Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.22.

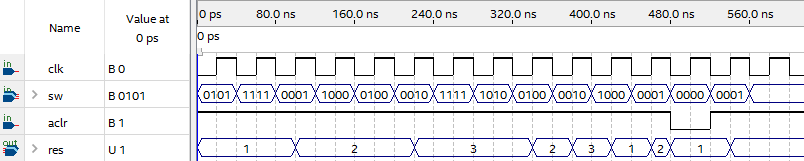


Рис.22. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.23.) и проведена полная компиляция проекта(Рис.24.).

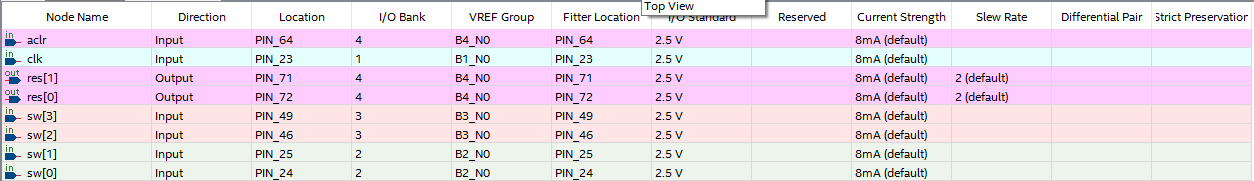


Рис.23. Вид окна Pin Planer

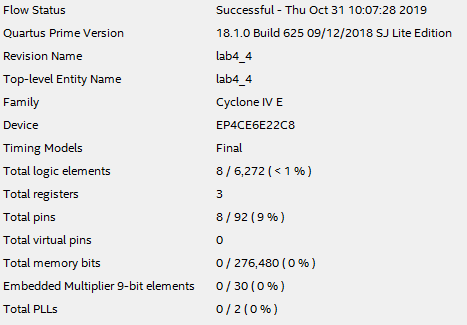


Рис.24. Результат компиляции

**3.** **Вывод**

В процессе выполнения лабораторной работы были получены навыки работы с RTL процессами, рассмотрено построение конечного автомата в среде Quartus, следующие устройства были описаны на языке Verilog: счетчик-делитель, обеспечивает счет по модулю 25 000 000 и формирование синхронного сигнала переноса; двоичный, 4-разрядный счетчик; 2-10 счетчик, содержащий 2 тетрады, а также устройство, реализующее заданный конечный автомат. Было проведено функциональное моделирование для каждого описанного устройства. Результаты моделирования полностью совпали с ожидаемыми.