Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе №5**

**Дисциплина**: Языки описания аппаратных средств

вычислительных систем

**Тема**: Параметры. Иерархическое проектирование. Операторы цикла

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.С. Филиппов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

**1. Задачи работы**

Знакомство с основами иерархического проектирования, а также с параметрами и операторами цикла в языке VerilogHDL/SystemVerilog.

**2. Программа работы**

**2.1. Упражнение 1**

Необходимо на языке Verilog разработать параметризированный модуль, который содержит:

* 2 входных регистра; Умножитель; Выходной регистр
* ena – (key[0]) – разрешение работы (при 1)
* arst - (key[1]) – асинхронный сброс (при 0)
* clk - тактовый сигнал
* da[3..0] – sw[7..4],
* db[3..0] – sw[3..0]
* result [7..0] – led [7..0]

Необходимо создать:

* Параметризированный регистр
* Параметризированный умножитель
* Параметризированное описание верхнего уровня

Было произведено следующее текстовое описание параметризированного регистра (Рис.1.):

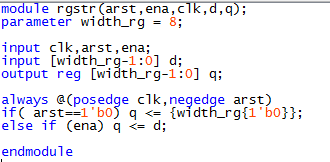


Рис.1. Текстовое описание параметризированного регистра

Вид синтезированной схемы в RTL Viewer(Рис.2.):

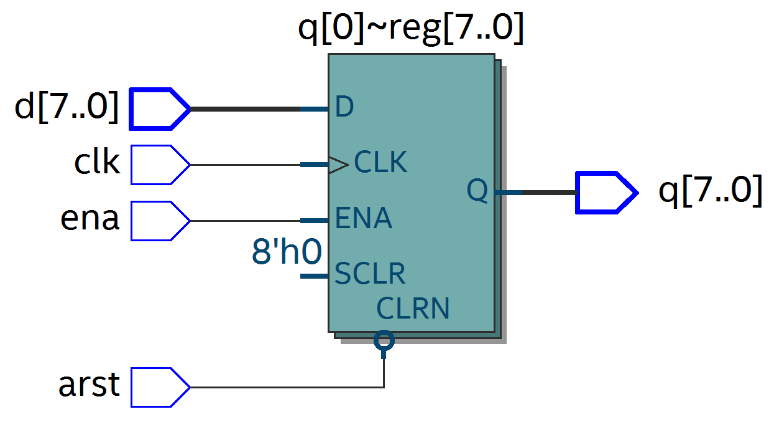


Рис. 2. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.3.

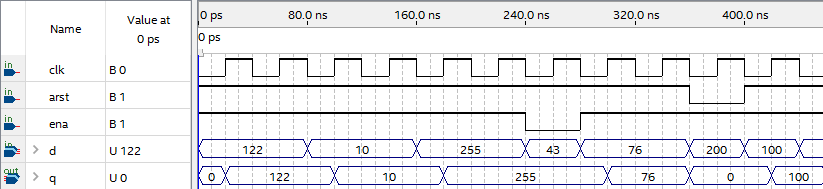


Рис.3. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Было произведено следующее текстовое описание параметризированного умножителя (Рис.4.):

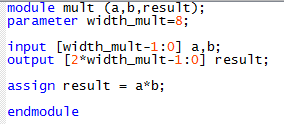


Рис.4. Текстовое описание параметризированного умножителя

Вид синтезированной схемы в RTL Viewer(Рис.5.):

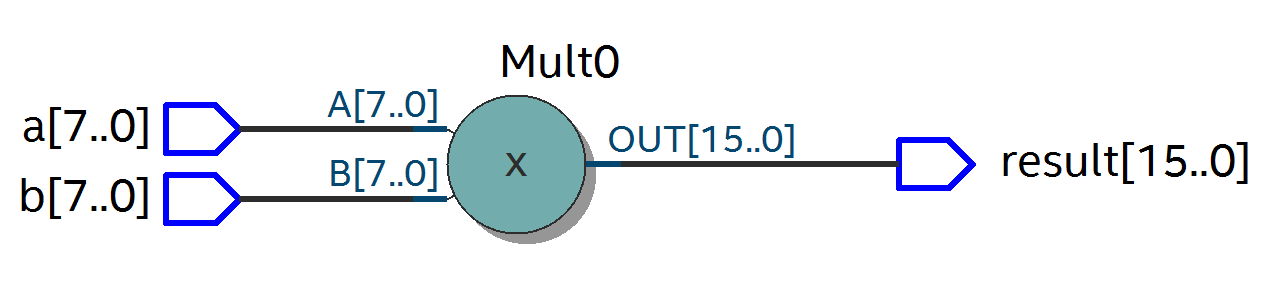


Рис. 5. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.6.

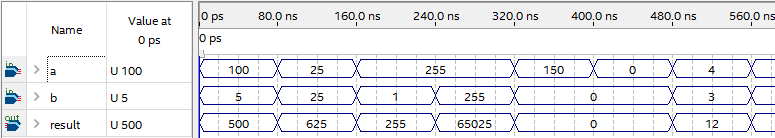


Рис.6. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Было произведено следующее текстовое описание параметризированного модуля верхнего уровня (Рис.7.):

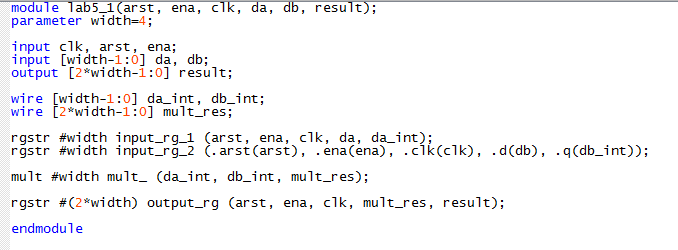


Рис.7. Текстовое описание параметризированного модуля верхнего уровня

Вид синтезированной схемы в RTL Viewer(Рис.8.):

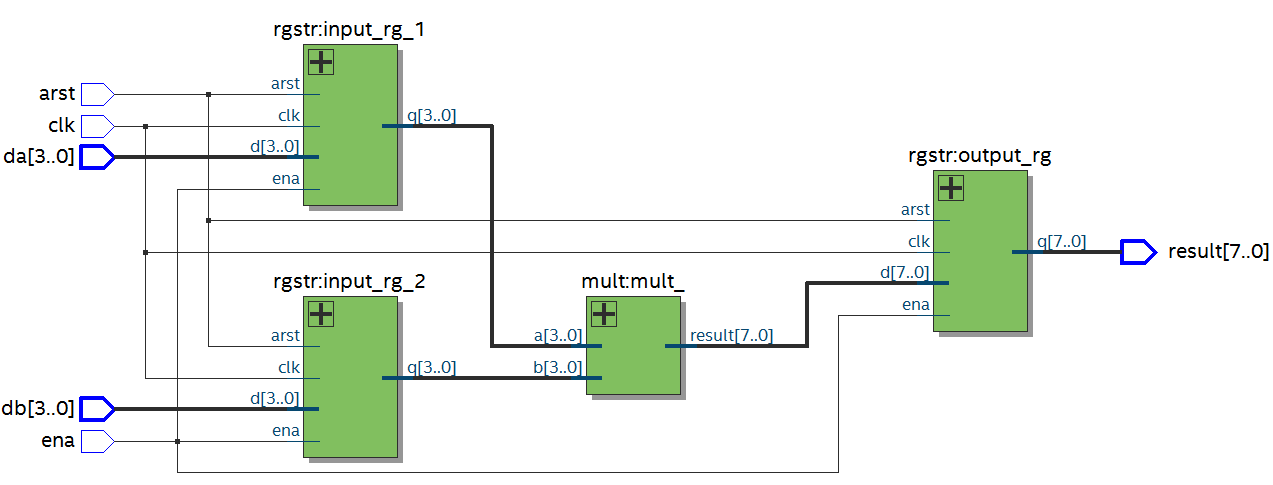


Рис. 8. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.9.

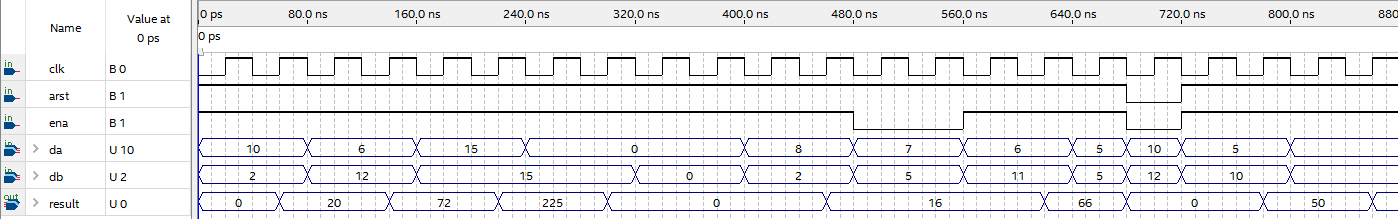


Рис.9. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.10.) и проведена полная компиляция проекта(Рис.11.).

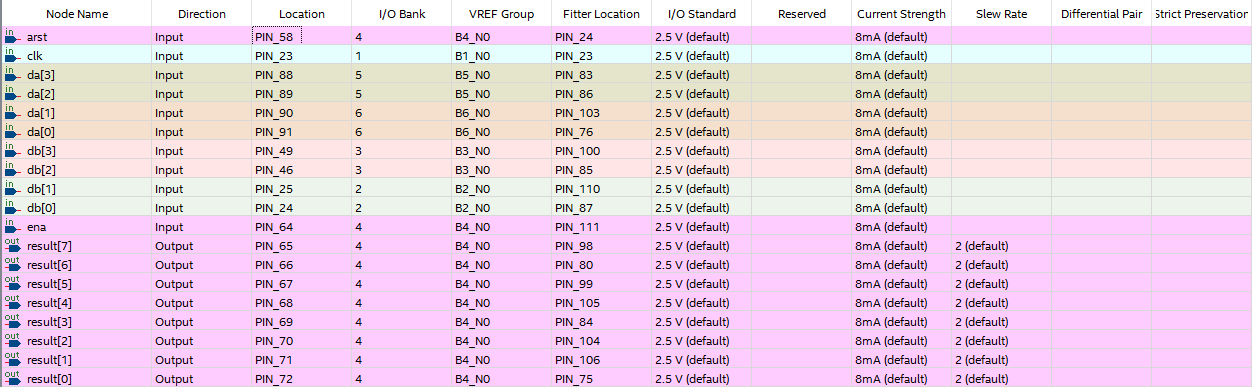


Рис.10. Вид окна Pin Planer

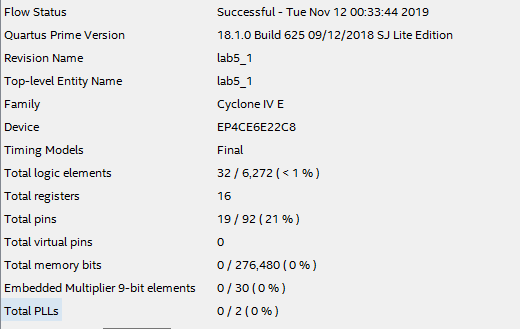


Рис.11. Результат компиляции

**2.2. Упражнение 2**

Необходимо на языке Verilog создать иерархическое описание схемы, представленной на Рис.12.

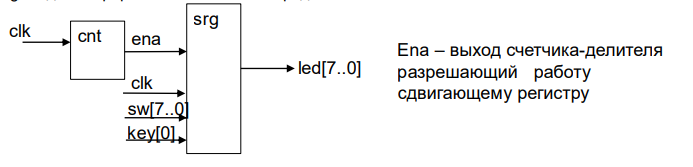


Рис.12.

сnt – параметризированный счетчик-делитель: коэффициент деления задается параметром; выход – сигнал переноса

srg – параметризированный кольцевой сдвигающий регистр с параллельной загрузкой, описание которого выполнено с помощью цикла for loop

Было произведено следующее текстовое описание параметризированного счётчика-делителя (Рис.13.):

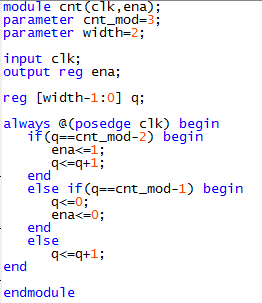


Рис.13. Текстовое описание параметризированного счётчика-делителя

Вид синтезированной схемы в RTL Viewer(Рис.14.):

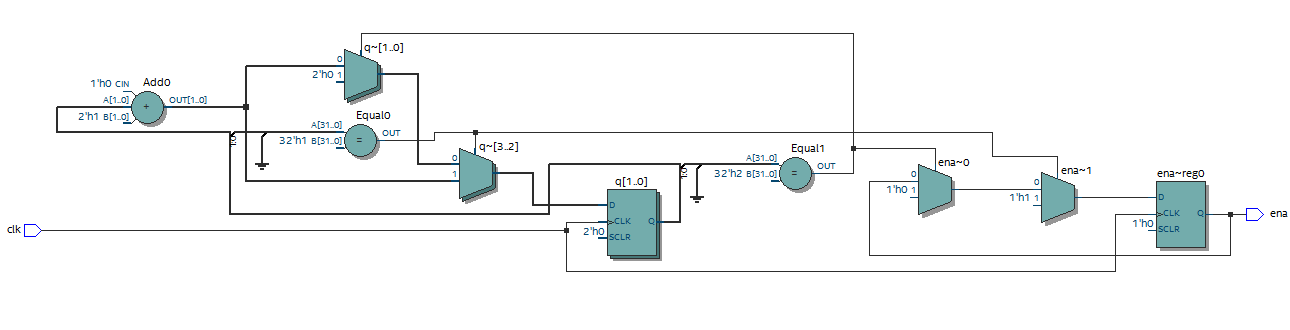


Рис. 14. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.15.

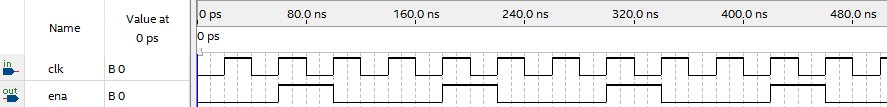


Рис.15. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Было произведено следующее текстовое описание параметризированного кольцевого сдвигающего регистра (Рис.16.):

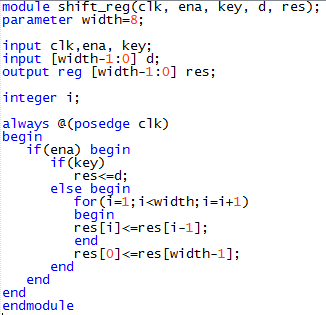


Рис.16. Текстовое описание параметризированного кольцевого сдвигающего регистра

Вид синтезированной схемы в RTL Viewer(Рис.17.):

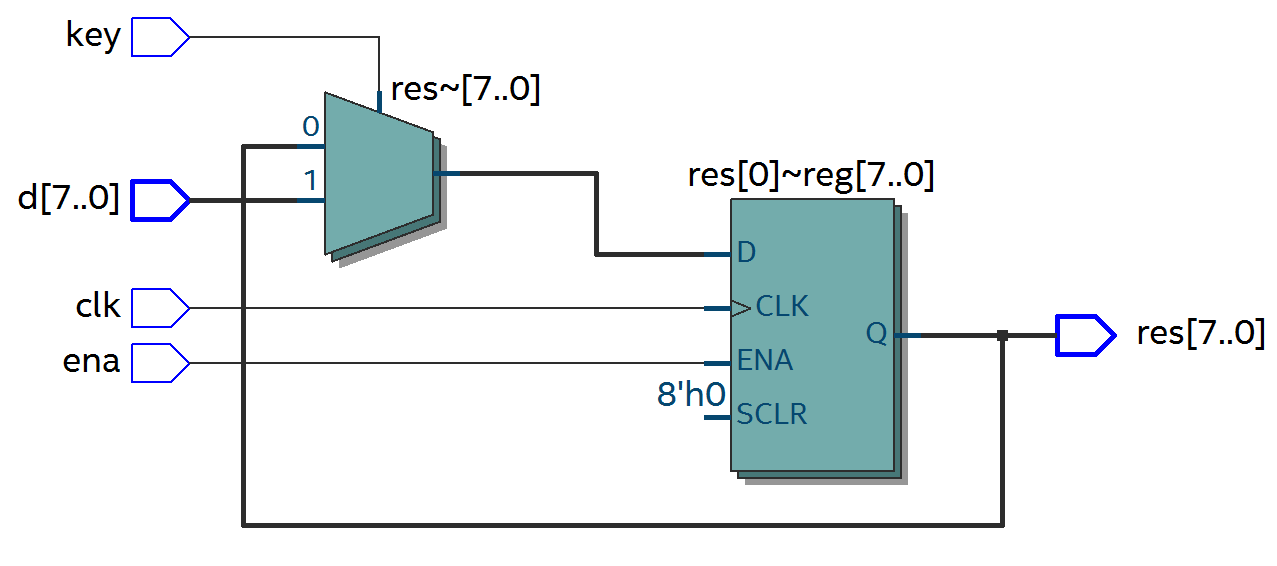


Рис. 17. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.18.

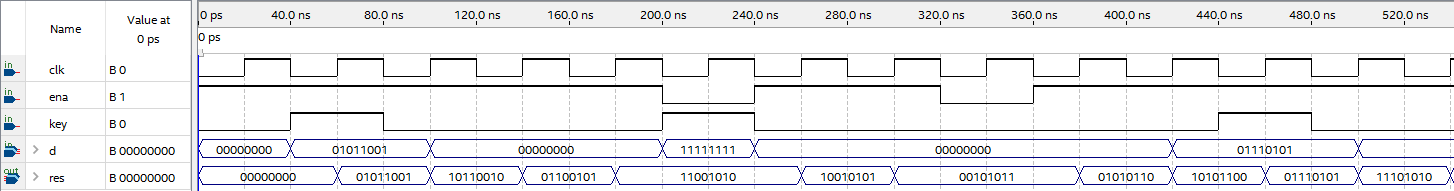


Рис.18. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Было произведено следующее текстовое описание параметризированного модуля верхнего уровня (Рис.19.):

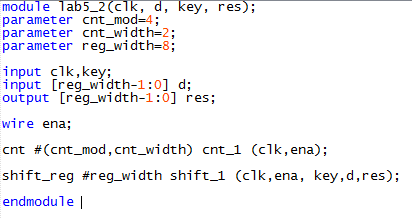


Рис.19. Текстовое описание параметризированного модуля верхнего уровня

Вид синтезированной схемы в RTL Viewer(Рис.20.):

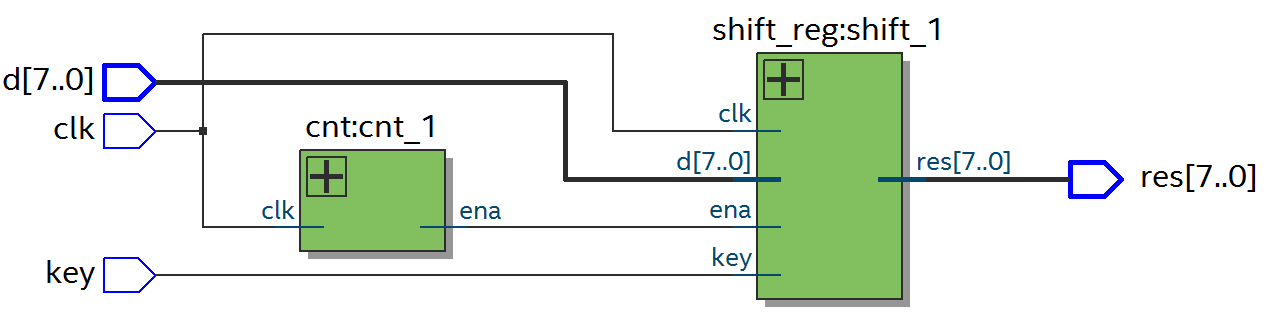


Рис. 20. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.21.

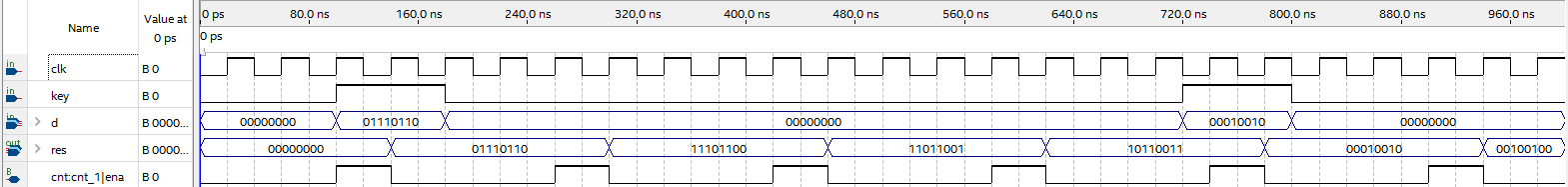


Рис.21. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС в Pin Planer(Рис.22.) и проведена полная компиляция проекта(Рис.23.).

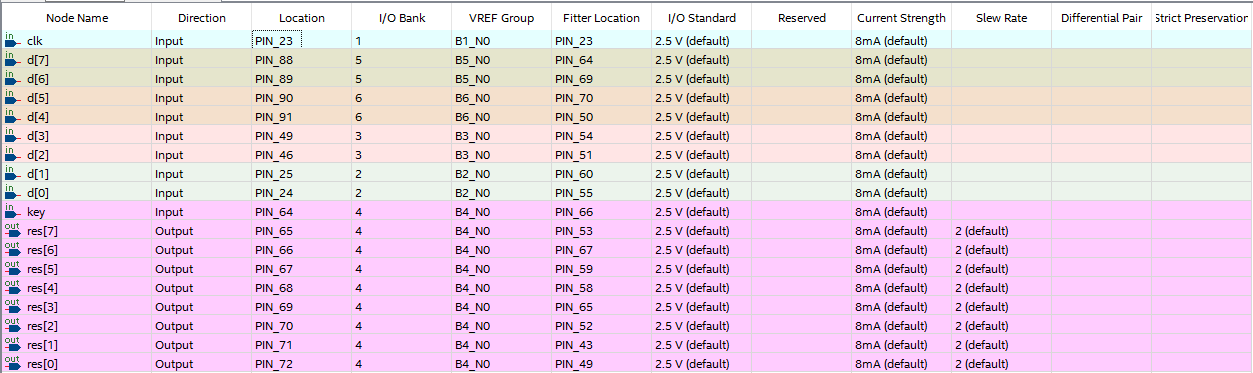


Рис.22. Вид окна Pin Planer

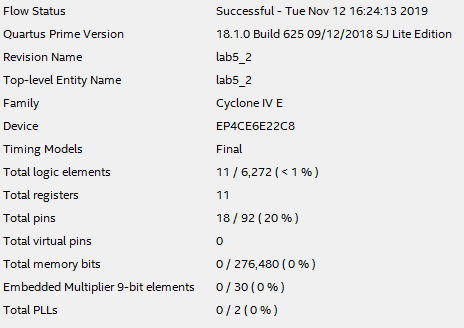


Рис.23. Результат компиляции

**3.** **Вывод**

В процессе выполнения лабораторной работы были получены навыки работы с параметрами и операторами цикла в языке VerilogHDL/SystemVerilog. Были изучены основы иерархического проектирования. Следующие устройства были описаны на языке Verilog: параметризированный счетчик-делитель, параметризированный кольцевой сдвигающий регистр, параметризированный умножитель, а также два параметризированных модуля верхнего уровня. Было проведено функциональное моделирование для каждого описанного устройства. Результаты моделирования полностью совпали с ожидаемыми.