Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе №6**

**Дисциплина**: Языки описания аппаратных средств

вычислительных систем

**Тема**: Функции и задачи. Описание модулей памяти

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.С. Филиппов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

**1. Задачи работы**

Знакомство с функциями, задачами и описанием модулей памяти в языке VerilogHDL/SystemVerilog.

**2. Программа работы**

**2.1. Упражнение 1**

Необходимо на языке Verilog описать:

• Функцию, обеспечивающую преобразование двоичного кода в код Грея и обратное преобразование кода Грея в двоичный код

• Модуль параметризированный (параметр W - разрядность преобразуемого кода), содержащий два экземпляра разработанной функции:

◦ Один экземпляр функции преобразует входной двоичный код в код Грея (разрядность задается параметром W)

◦ Второй экземпляр функции преобразует код Грея в выходной двоичный код (разрядность задается параметром W)

Было произведено следующее текстовое описание схемы(Рис.1.):



Рис.1. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.2.):

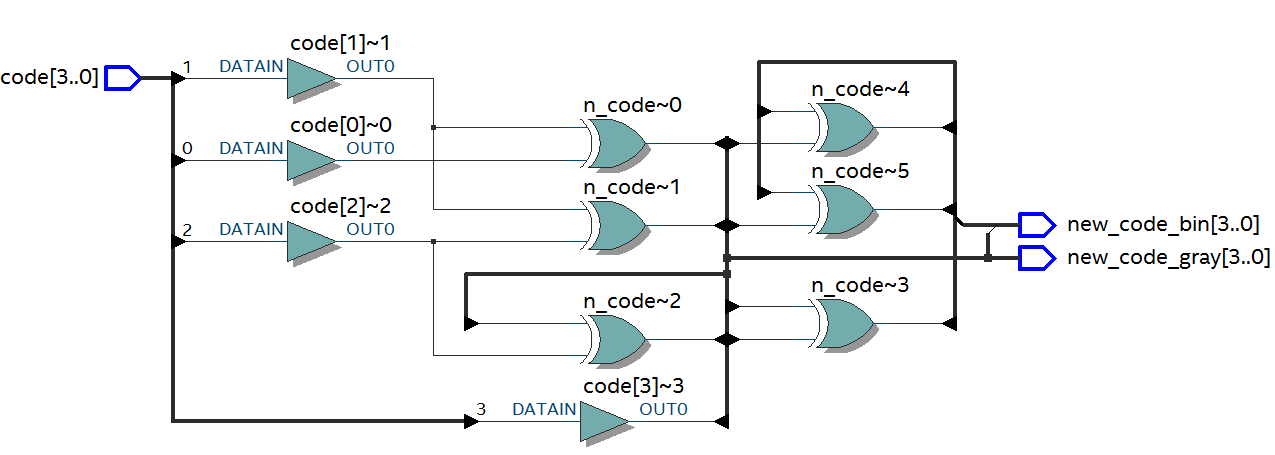


Рис. 2. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.3.

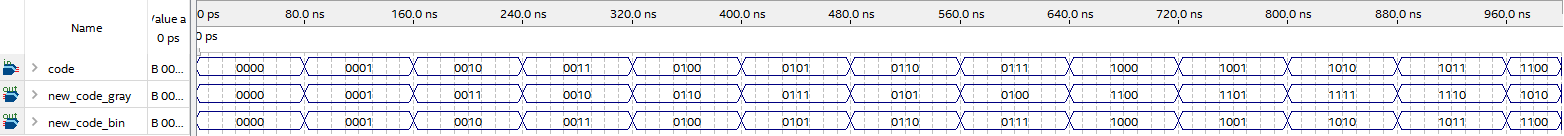


Рис.3. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС(Рис.4.) и проведена полная компиляция проекта(Рис.5.).

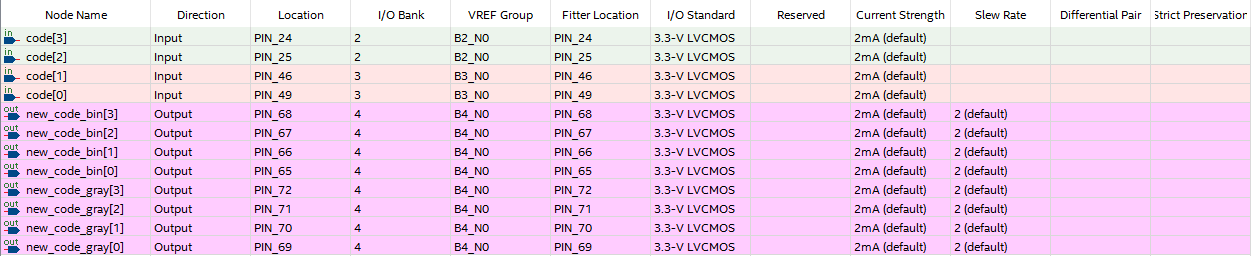


Рис.4. Вид окна Pin Planer

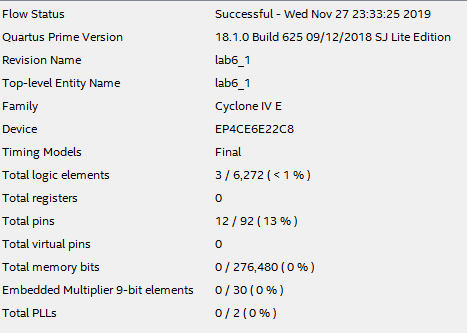


Рис.6. Результат компиляции

**2.2. Упражнение 2**

Необходимо на языке Verilog описать:

* Task(задачи) сортировки двух чисел (комбинационная схема)

Передаваемые значений –два числа a и b

Возвращаемые значения: min – меньшее из a и b; max – большее из a и b.

* Устройства (комбинационная схема) сортировки четырех 2-разрядных чисел, использующего созданную задачу.

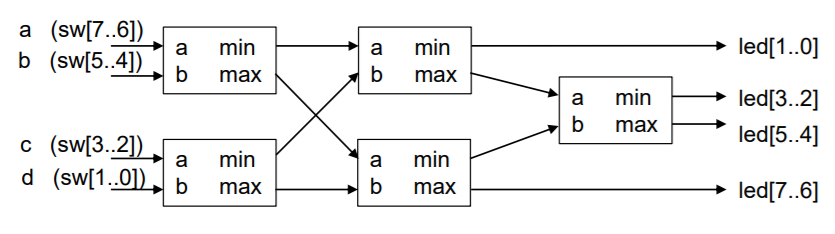


Рис.7. Схема устройства

Было произведено следующее текстовое описание схемы(Рис.8.):

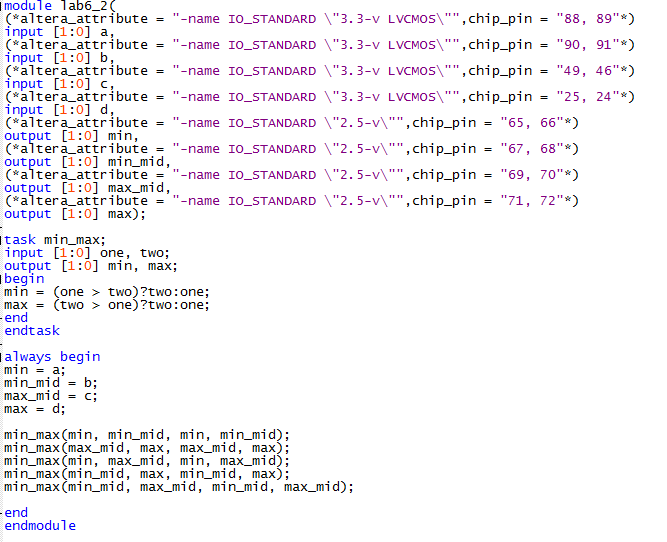


Рис.8. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.9.)

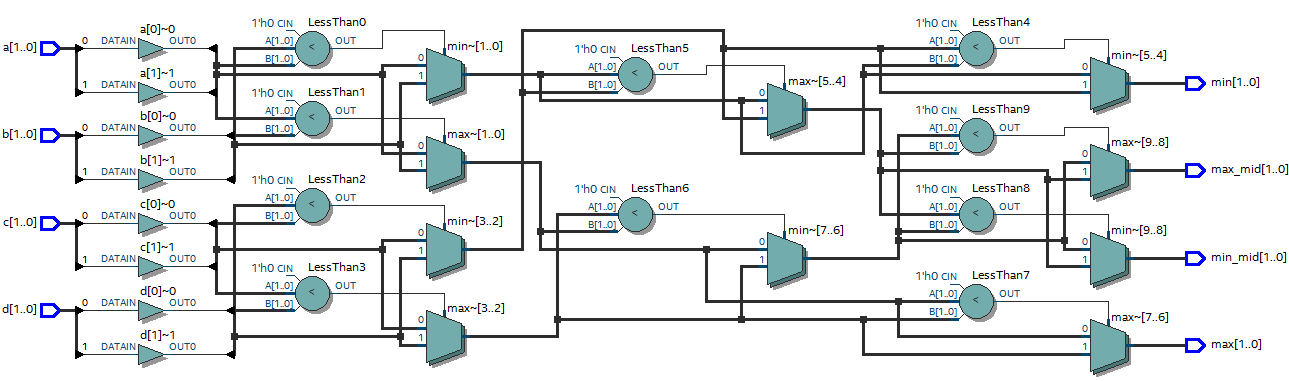


Рис.9. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.10.

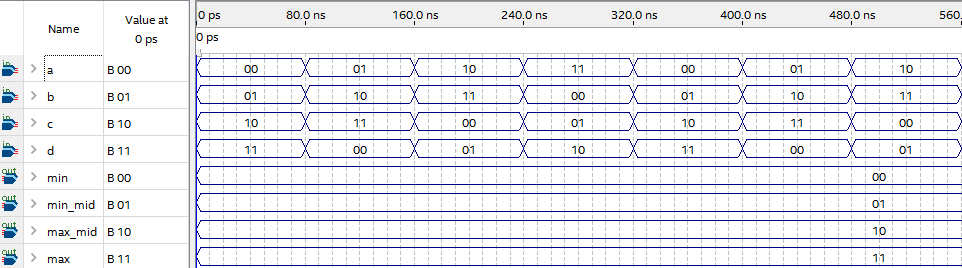


Рис.10. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС(Рис.11.) и проведена полная компиляция проекта(Рис.12.)

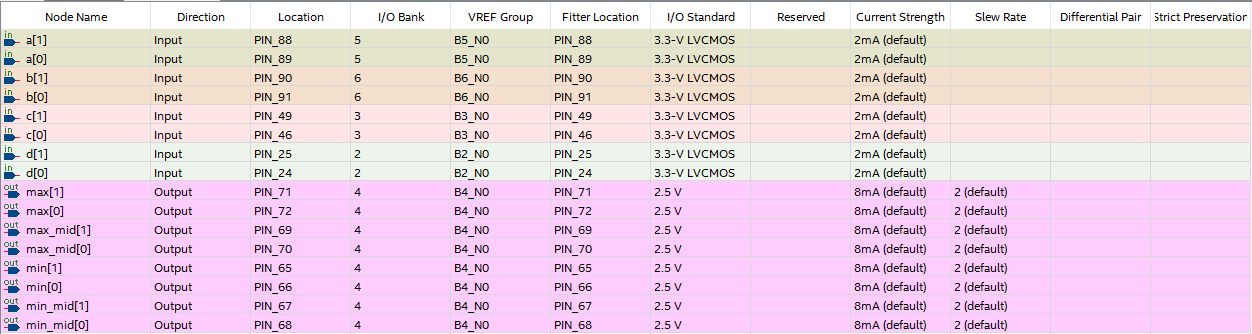


Рис.11. Вид окна Pin Planer

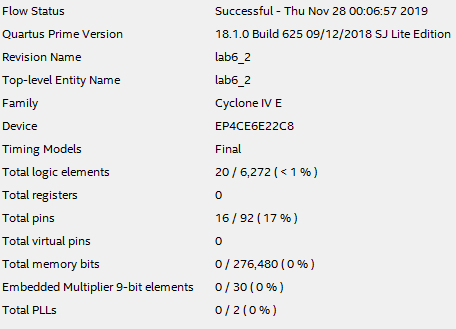


Рис.12. Результат компиляции

**2.3. Упражнение 3**

Необходимо на языке Verilog создать структурное описание устройства, приведенного на Рис.13:

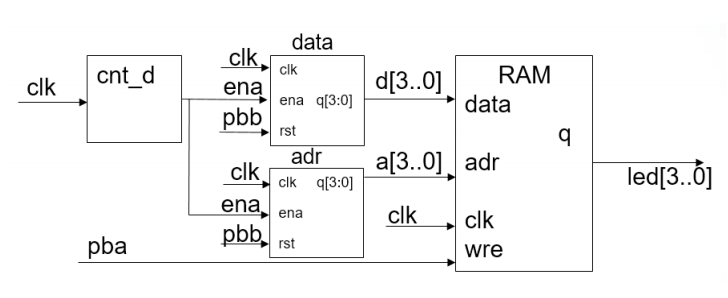


Рис.13. Схема устройства

В состав устройства входят:

• cnt\_d - cчетчик делитель (параметризированный, параметр – DIV)

счетчик-делитель, обеспечивает счет по модулю DIV (базовое значение - 3) и формирование синхронного сигнала переноса (активный уровень сигнала – 1, длительность один такт тактовой частоты) по достижению счетчиком значения DIV-1.

• Параметризированный счетчик cnt\_N

двоичный счетчик на сложение с параметризированной разрядностью (параметр N, базовое значение - 4), имеющий вход тактовых сигналов (clk), вход разрешения работы (ena), вход асинхронного сброса (rst) и выход – q[N-1:0]

• data – формирователь данных для модуля памяти

реализован на базе параметризированного счетчика cnt\_N

• adr – формирователь адреса для модуля памяти

реализован на базе параметризированного счетчика cnt\_N 

• RAM – модуль памяти (простая одно портовая память с чтением старых данных в процессе записи) параметризированный, параметры:

word\_num – число слов – базовое значение 16,

data\_W – разрядность данных – базовое значение 4

Было произведено следующее текстовое описание cnt\_d(Рис.14.):

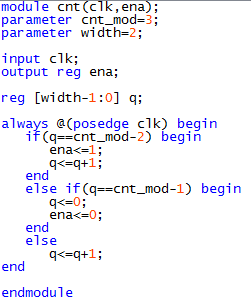


Рис.14. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.15.)

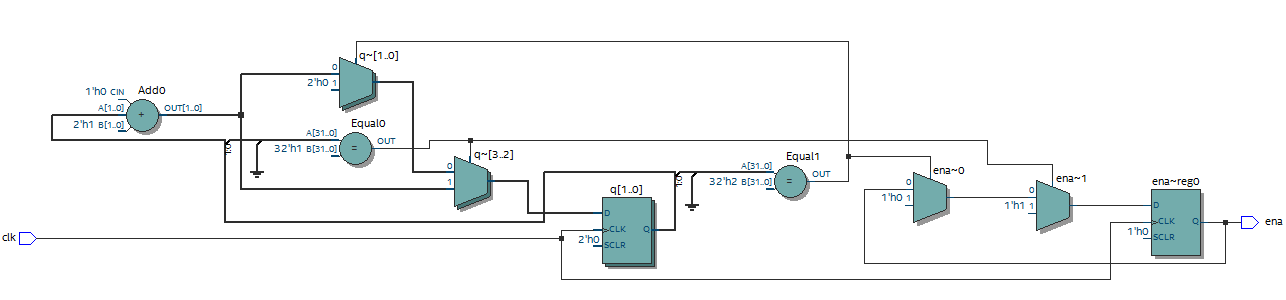


Рис.15. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.16.

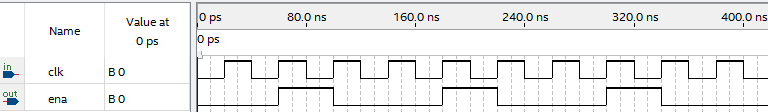


Рис.16. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Было произведено следующее текстовое описание cnt\_N(Рис.17.):

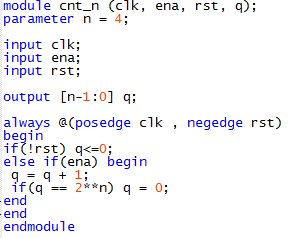
****

Рис.17. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.18.)

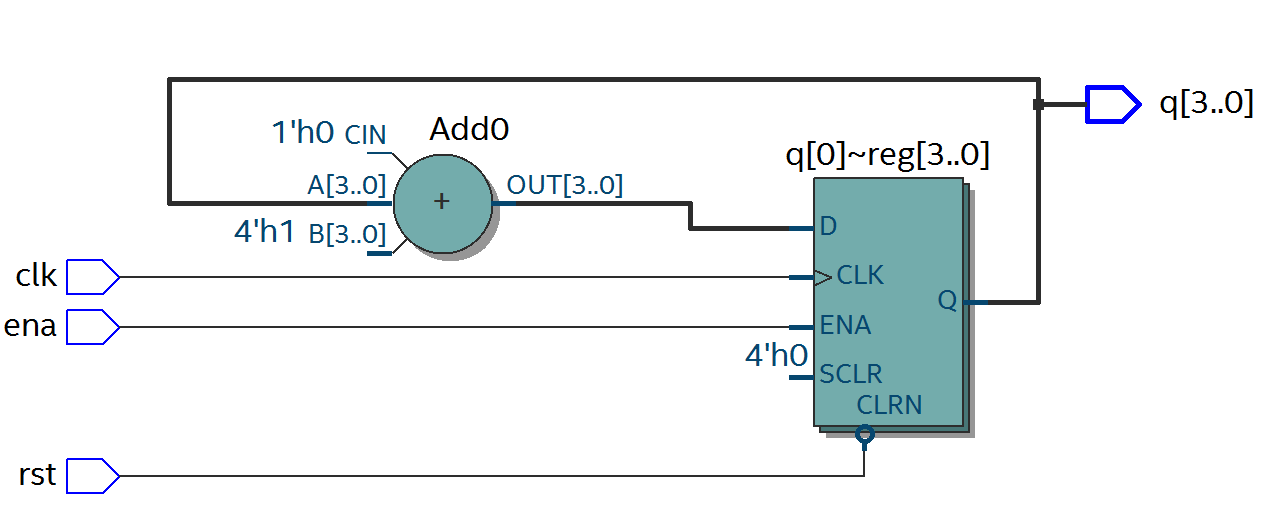


Рис.18. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.19.

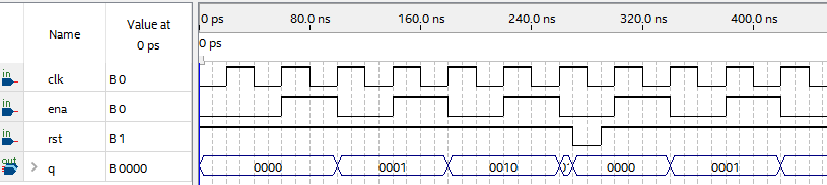


Рис.19. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Было произведено следующее текстовое описание RAM(Рис.20.):

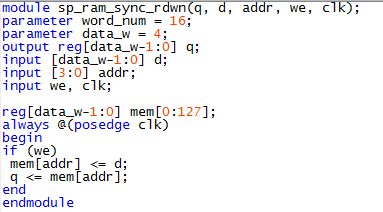
****

Рис.20. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.21.)

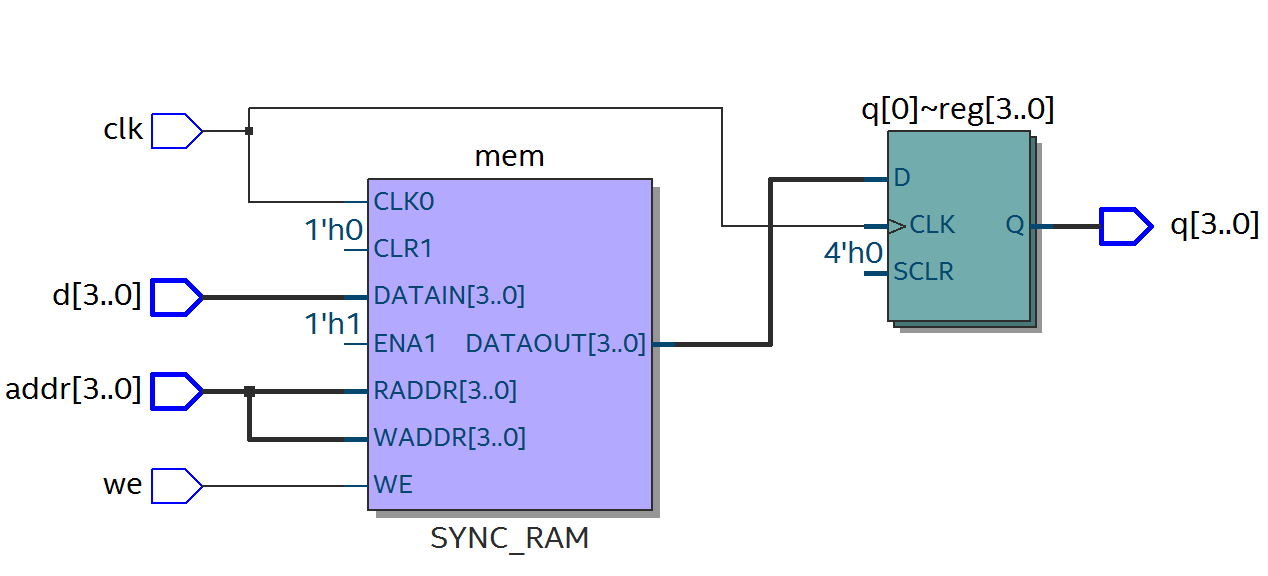


Рис.21. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.22.

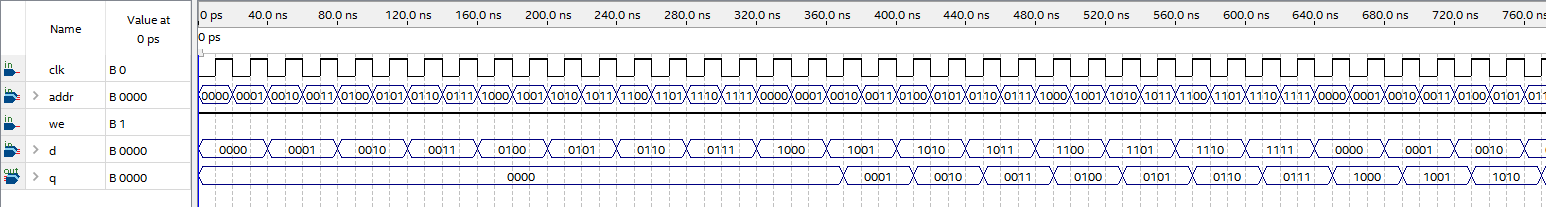


Рис.22. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Было произведено следующее текстовое описание параметризированного модуля верхнего уровня (Рис.23.):

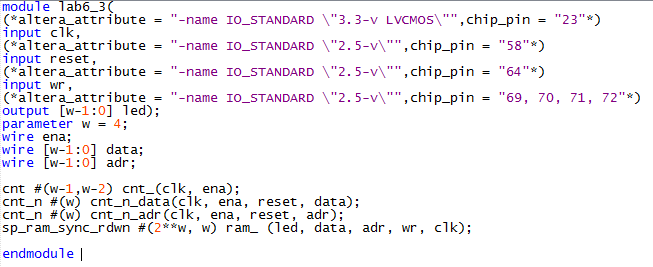


Рис.23. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.24.)

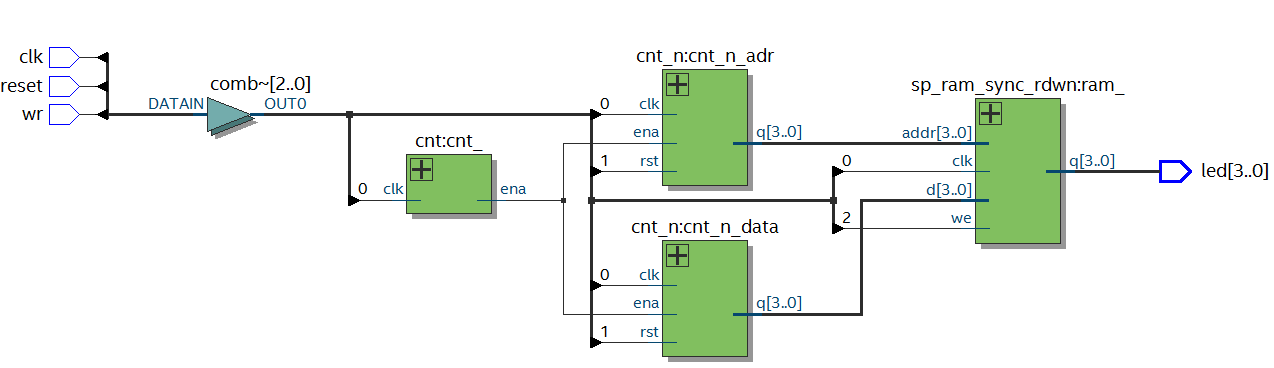


Рис.24. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.25.

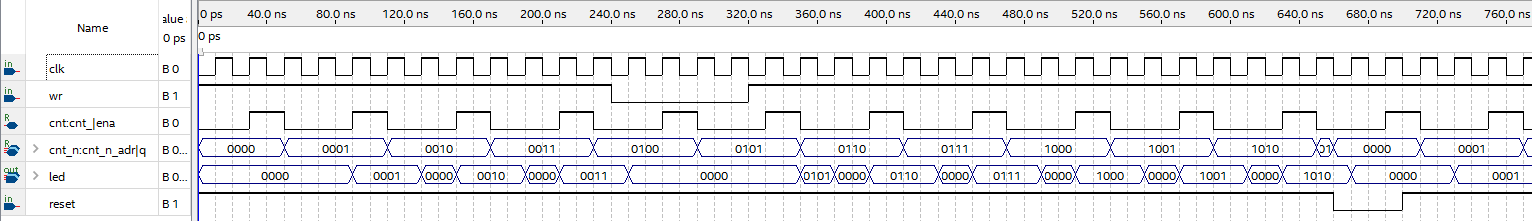


Рис.25. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС(Рис.26.) и проведена полная компиляция проекта(Рис.27.)

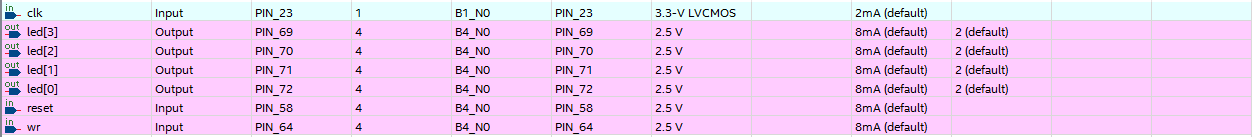


Рис.26. Вид окна Pin Planer

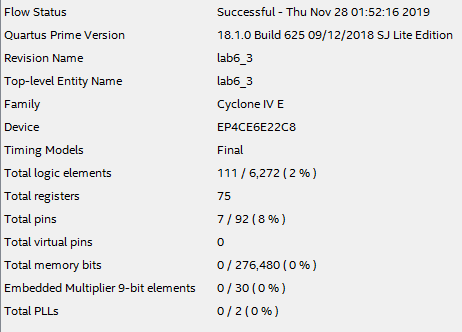


Рис.27. Результат компиляции

**3.** **Вывод**

В ходе выполнения лабораторной работы были получены навыки написания функций, задач и модулей памяти на языке Verilog. Разработаны 3 устройства: преобразователь бинарного кода в код Грея и кода Грея в бинарный, устройство, сортирующее четыре двузначных числа по возрастанию, и устройство с модулем памяти. Все результаты совпали с ожидаемыми, что говорит о правильности выполнения работы.