Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе №7**

**Дисциплина**: Языки описания аппаратных средств

вычислительных систем

**Тема**: Оптимизация Verilog описания. Триггеры Защелки

Выполнил студент гр. 3530901/70203 И.Д. Иванов

(подпись)

Преподаватель А.С. Филиппов (подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

**1. Задачи работы**

1.1) Знакомство с оптимизацией в языке VerilogHDL/SystemVerilog

1.2) Знакомство с триггерами защёлками и способами ухода от их появления при синтезе

**2. Программа работы**

**2.1. Упражнение 1**

Необходимо на языке Verilog осуществить текстовое описание схемы, представленное на Рис.1.

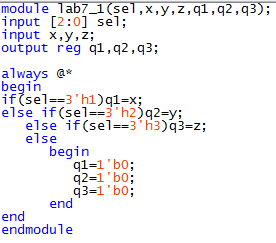


Рис.1. Текстовое описание схемы

При осуществлении анализа и синтеза схемы получены предупреждения компилятора о существовании триггеров защёлок:

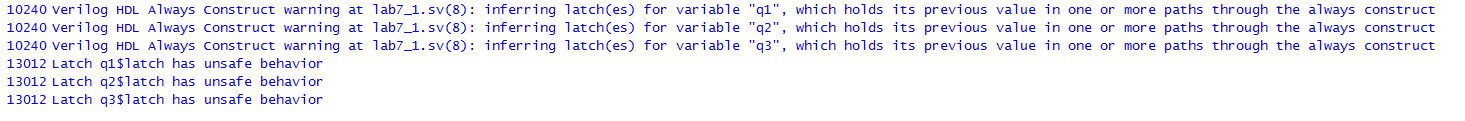


Рис.2. Предупреждение о существовании триггеров защёлкок

При просмотре синтезированной схемы в RTL Viewer также видны триггеры защёлки(Рис.3.):

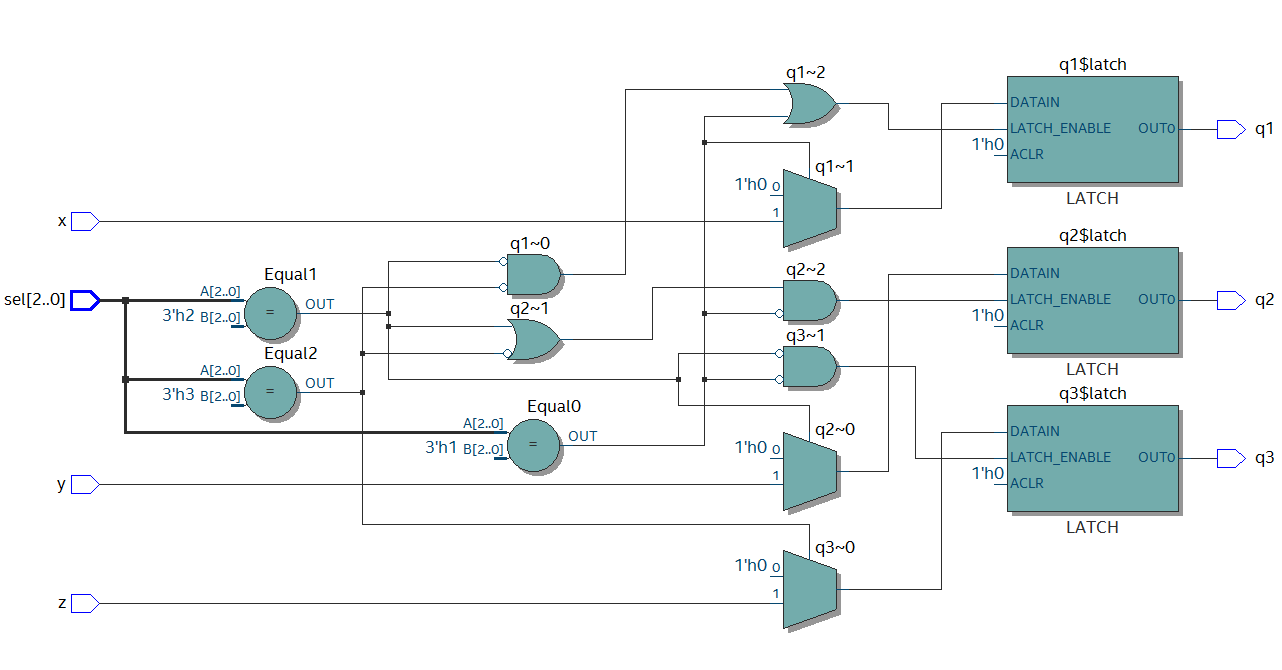


Рис. 3. Схема в RTL Viewer

Аппаратные затраты(Рис.4.):



Рис. 4. Аппаратные затраты

Исправленное текстовое описание схемы(Рис.5.)

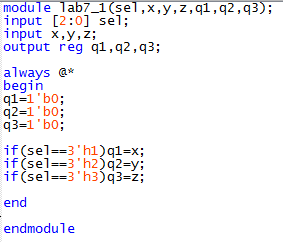


Рис. 5. Исправленное текстовое описание схемы

Компилятор более не выдаёт предупреждений о существовании триггеров защёлок при анализе и синтезе.

При просмотре схемы в RTL Viewer триггеров защёлок также нет(Рис.6.):

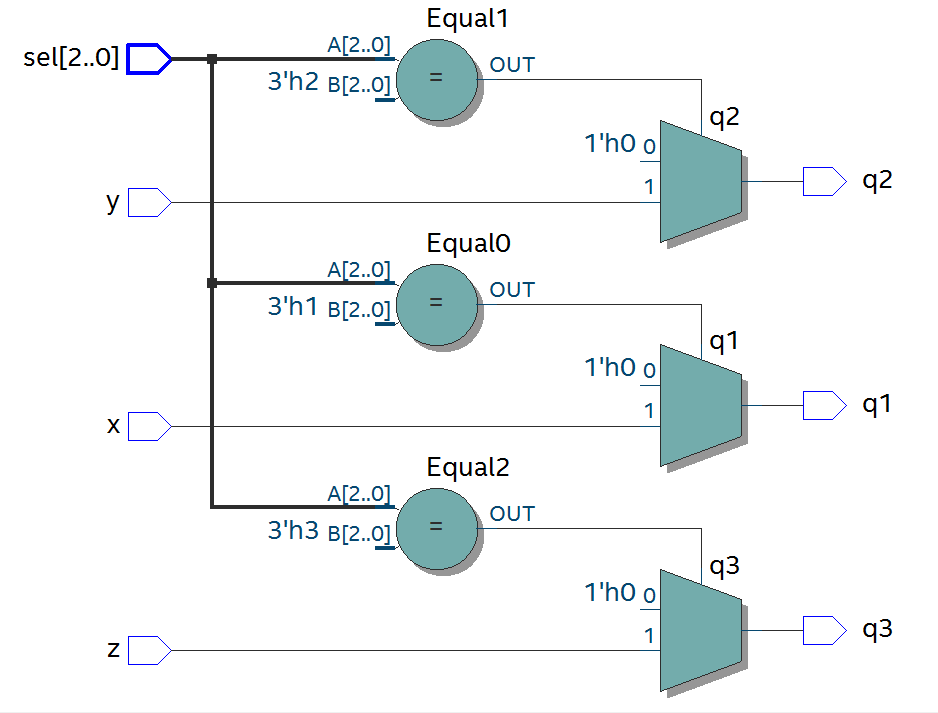


Рис. 6. Схема в RTL Viewer

Аппаратные затраты(Рис.7.):



Рис. 7. Аппаратные затраты

**2.2. Упражнение 2**

Необходимо на языке Verilog описать устройство, реализующее 2 арифметических выражения:

* x=a\*c\*d+b\*c\*d
* y=a\*c\*d+c\*\*2\*d

Входы a, b, c, d – 2-разрядные (поступают с переключателей sw[7..0])

Результат (8 разрядный) подается на светодиоды (led[7..0]): если кнопка pba=1, то на выход передается x; если pba=0 =>y;

Было произведено следующее текстовое описание схемы(Рис.8.):

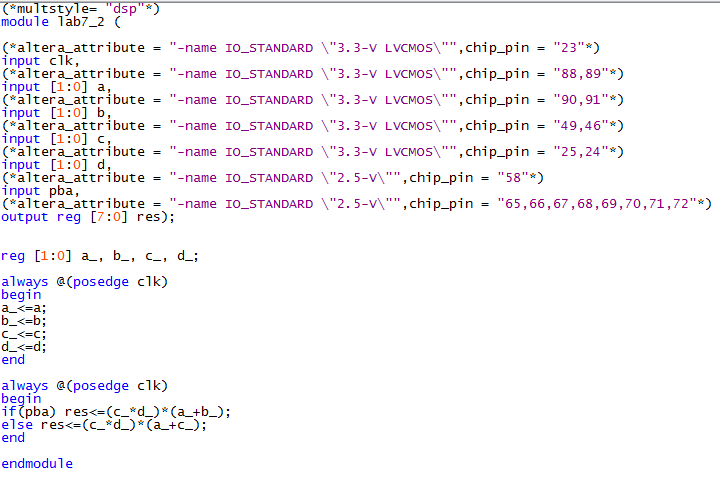


Рис.8. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.9.)

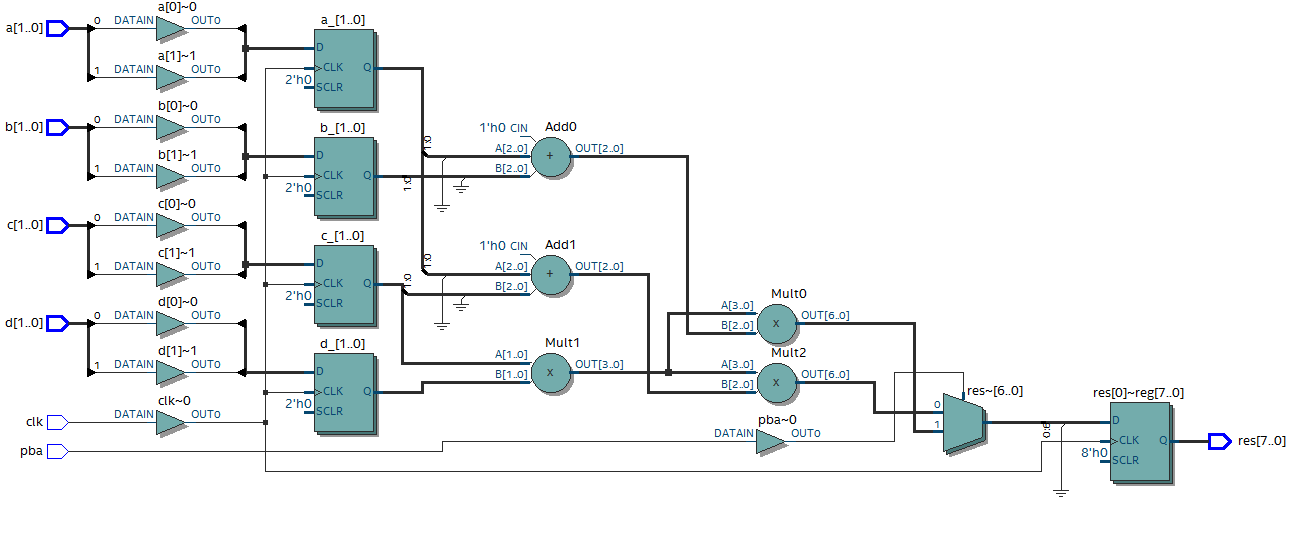


Рис.9. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.10.

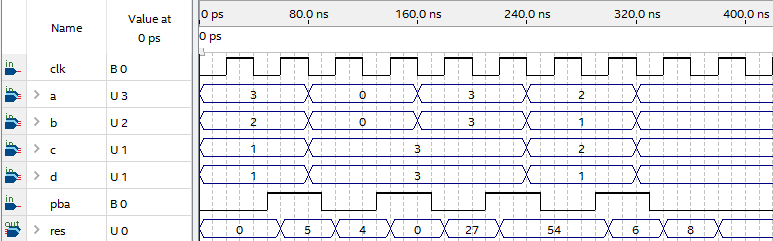


Рис.10. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС(Рис.11.) и проведена полная компиляция проекта(Рис.12.)

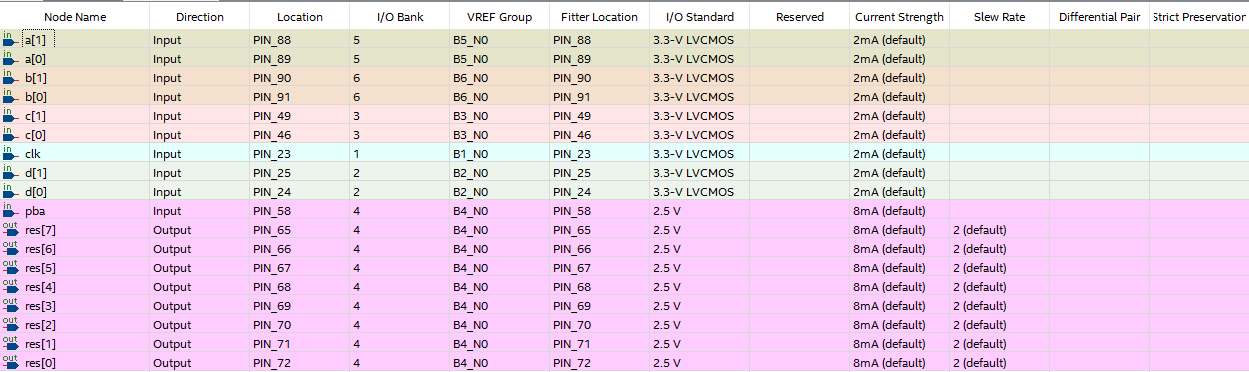


Рис.11. Вид окна Pin Planer

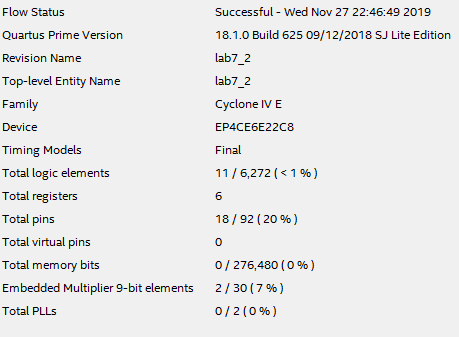


Рис.12. Результат компиляции

Максимальная тактовая частота (для режима slow 1200mV 85C): 122.1 MHz

**2.3. Упражнение 3**

Необходимо осуществить конвейеризацию устройства из части lab7\_2.

Было произведено следующее текстовое описание схемы на языке Verilog (Рис.13.):

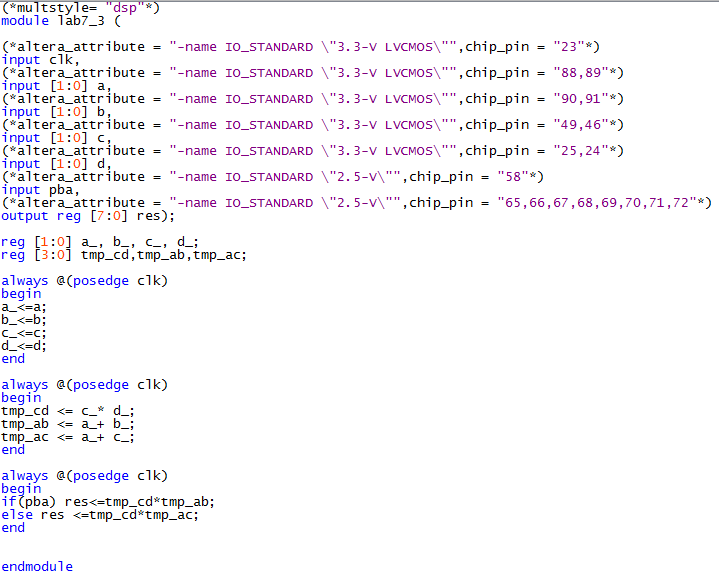


Рис.13. Текстовое описание схемы

Вид синтезированной схемы в RTL Viewer(Рис.14.)

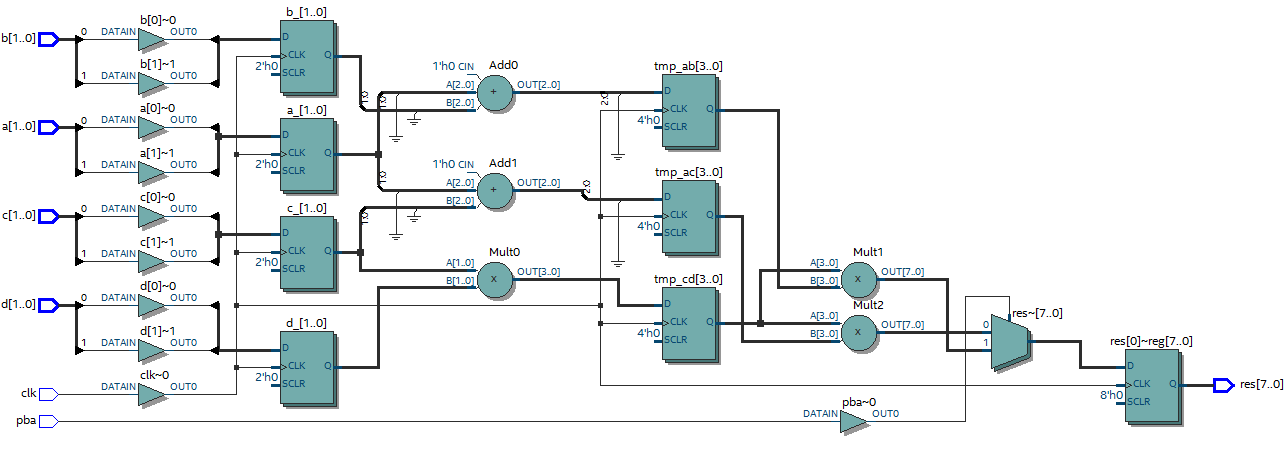


Рис.14. Схема в RTL Viewer

Было осуществлено функциональное моделирование. Результаты моделирования приведены на Рис.15.

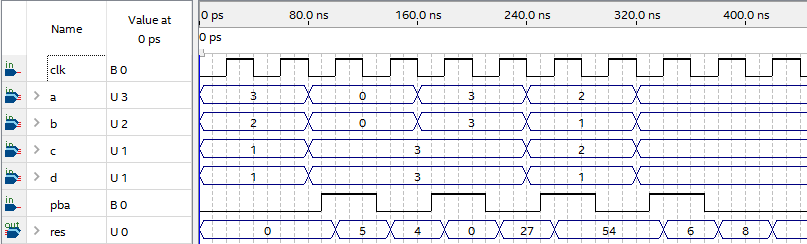


Рис.15. Результаты моделирования

Результаты моделирования полностью совпадают с ожидаемыми.

Были заданы выводы СБИС(Рис.16.) и проведена полная компиляция проекта(Рис.17.).

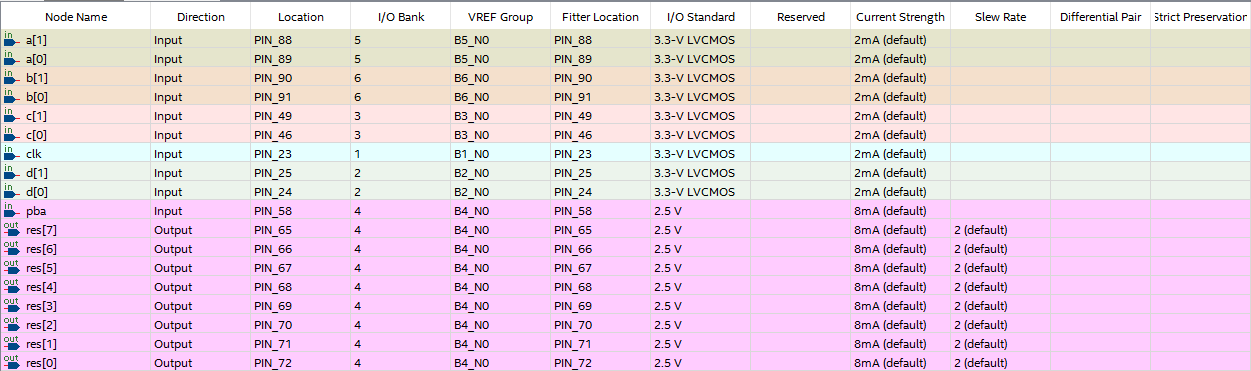
****

Рис.16. Вид окна Pin Planer

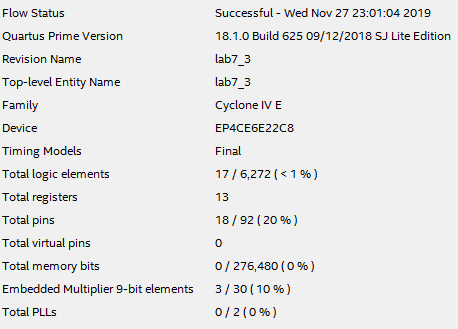


Рис.17. Результат компиляции

Максимальная тактовая частота (для режима slow 1200mV 85C): 151.17 MHz

**3.** **Вывод**

В процессе выполнения лабораторной работы были получены навыки оптимизации в языке VerilogHDL/SystemVerilog, а также осуществлено знакомство с триггерами защёлками и способами ухода от их появления при синтезе.